

## 8주차 결과보고서

20191621 이민영

### 1. 실험 목적

7-Segment Display의 개념에 대해서 이해하고, Verilog를 사용하여 이를 직접 구현해보는 시간을 가진다. 입력 신호를 생성한 후, Simulation을 통해서 구현된 각 Gate의 동작을 확인한다. FPGA를 통해서 Verilog로 구현된 회로의 동작을 확인한다.

### 2. 7-Segment Display의 결과 및 Simulation 과정에 대해서 설명하시오. (Truth table 작성 및 k-map 포함, 0~F)

In A	In B	In C	In D	Ou A	Ou B	Ou C	Ou D	Ou E	Ou F	Ou G	Ou Dp
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1	0
0	0	1	1	1	1	1	1	0	0	1	0
0	1	0	0	0	1	1	0	0	1	1	0
0	1	0	1	1	0	1	1	0	1	1	0
0	1	1	0	1	0	1	1	1	1	1	0
0	1	1	1	1	1	1	0	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1	0
1	0	0	1	1	1	1	0	0	1	1	0
1	0	1	0	1	1	1	0	1	1	1	0
1	0	1	1	0	0	1	1	1	1	1	0
1	1	0	0	1	0	0	1	1	1	0	0
1	1	0	1	0	1	1	1	1	0	1	0
1	1	1	0	1	0	0	1	1	1	1	0
1	1	1	1	1	0	0	0	1	1	1	0

#### 1) Output A

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

<k-map>

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

<SOP>

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

<POS>

<SOP>

$$B'D' + A'C + BC + A'BD + AD' + AB'C'$$

<POS>

보수를 구해보면, 보수 =  $A'B'C'D + A'BC'D' + ABC'D + AB'CD$  이므로 다시 보수를 취해보면,  
 $(A'B'C'D + A'BC'D' + ABC'D + AB'CD)' = (A'B'C'D)'(A'BC'D')'(ABC'D)'(AB'CD)'$

$$= (A+B+C+D')(A+B'+C+D)(A'+B'+C+D')(A'+B+C'+D') \text{ 이다.}$$

## 2) Output B

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	0	1	1	1
10	1	1	0	1

<k-map>

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	0	1	0	0
10	1	1	0	1

<SOP>

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	0	1	0	0
10	1	1	0	1

<POS>

<SOP>

$$A'B' + A'C'D' + A'CD + AC'D + B'D' \text{ 이다.}$$

<POS>

보수를 구해보면  $A'BC'D + ABD' + ACD + BCD'$  이다. 다시 보수를 취해주면,

$$(A'BC'D + ABD' + ACD + BCD')' = (A'BC'D)'(ABD')'(ACD)'(BCD')'$$

$$= (A+B'+C+D')(A'+B'+D)(A'+C'+D')(B'+C'+D) \text{ 이다.}$$

## 3) Output C

AB \ CD	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	0	1	0	0
10	1	1	1	1

<k-map>

AB \ CD	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	0	1	0	0
10	1	1	1	1

<SOP>

AB \ CD	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	0	1	0	0
10	1	1	1	1

<POS>

<SOP>

$$A'C' + A'D + A'B + C'D + AB' \text{ 이다.}$$

<POS>

보수를 구해보면,  $A'B'CD' + ABC + ABD'$  이다. 따라서 다시 보수를 취해보면

$$(A'B'CD' + ABC + ABD')' = (A'B'CD')'(ABC)'(ABD')' = (A+B+C'+D)(A'+B'+C')(A'+B'+D) \text{ 이다.}$$

#### 4) Output D

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	1	1	0	1
10	1	0	1	0

<k-map>

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	1	1	0	1
10	1	0	1	0

<SOP>

CD \ AB	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	1	1	0	1
10	1	0	1	0

<POS>

<SOP>

$A'B'D' + AC'D' + BC'D + B'CD + BCD'$  이다.

<POS>

보수를 구해보면,  $A'BC'D' + B'C'D + BCD + AB'CD'$  이므로 다시 보수를 취해주면,

$(A'BC'D' + B'C'D + BCD + AB'CD')' = (A'BC'D')'(B'C'D)'(BCD)'(AB'CD')'$

$= (A+B'+C+D)(B+C+D')(B'+C'+D')(A'+B+C+D)$  이다.

#### 5) Output E

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	1	1	1	1
10	1	0	1	1

<k-map>

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	1	1	1	1
10	1	0	1	1

<SOP>

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	1	1	1	1
10	1	0	1	1

<POS>

<SOP>

$B'D' + AB + AC + CD'$  이다.

<POS>

보수를 구해보면,  $A'BC' + A'D + B'C'D$  이고, 이를 다시 보수를 취해보면,

$(A'BC' + A'D + B'C'D)' = (A'BC')'(A'D)'(B'C'D)' = (A+B'+C)(A+D')(B+C+D')$  이다.

6) Output F

CD \ AB	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	1	0	1	1
10	1	1	1	1

<k-map>

CD \ AB	00	01	11	10
00	1	0	0	0
01	1	1	1	0
11	1	0	1	1
10	1	1	1	1

<SOP>

CD \ AB	00	01	11	10
00	1	0	0	0
01	1	1	1	0
11	1	0	1	1
10	1	1	1	1

<POS>

<SOP>

$C'D' + AB' + AC + A'BD$  이다.

<POS>

보수를 구해보면,  $ABC'D + A'B'D + A'CD'$  이다. 다시 보수를 취해보면,  
 $(ABC'D + A'B'D + A'CD')' = (ABC'D)'(A'B'D)'(A'CD')' = (A'+B'+C+D')(A+B+D')(A+C'+D)$  이다.

7) Output G

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	0	1	1	1
10	1	1	1	1

<k-map>

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	0	1	1	1
10	1	1	1	1

<SOP>

CD \ AB	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	0	1	1	1
10	1	1	1	1

<POS>

<SOP>

$A'BC' + AB' + AD + B'C + CD'$  이다.

<POS>

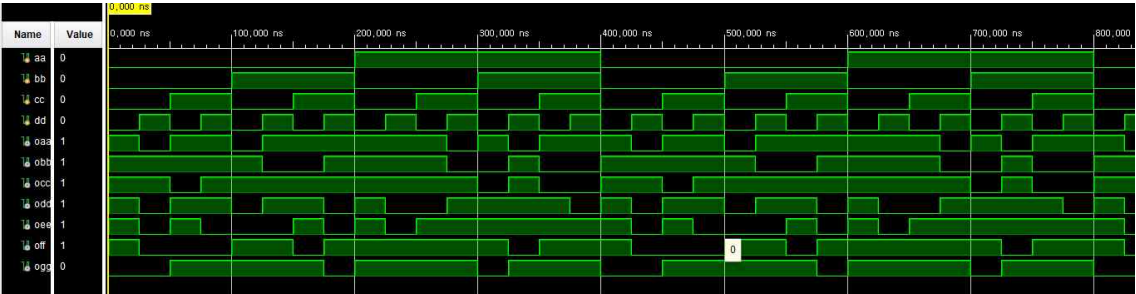
보수를 구해보면,  $A'B'C' + A'BCD + ABC'D'$  이므로, 다시 보수를 취해보면,  
 $(A'B'C' + A'BCD + ABC'D')' = (A'B'C')'(A'BCD)'(ABC'D')' = (A+B+C)(A+B'+C'+D')(A'+B'+C+D)$  이다.

8) Output Dp

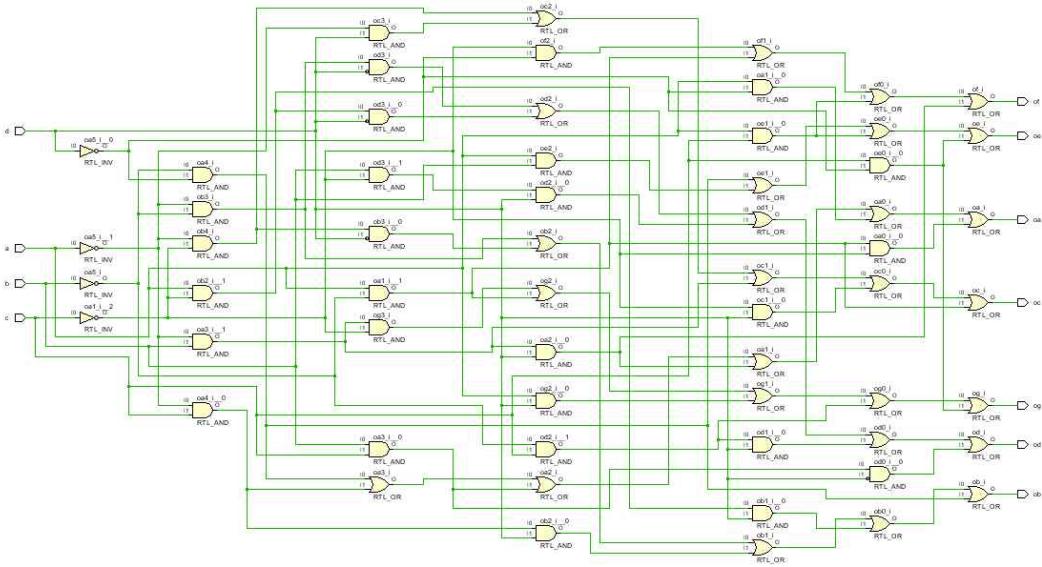
<div>CD</div> <div>AB</div>	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

<div>CD</div> <div>AB</div>	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

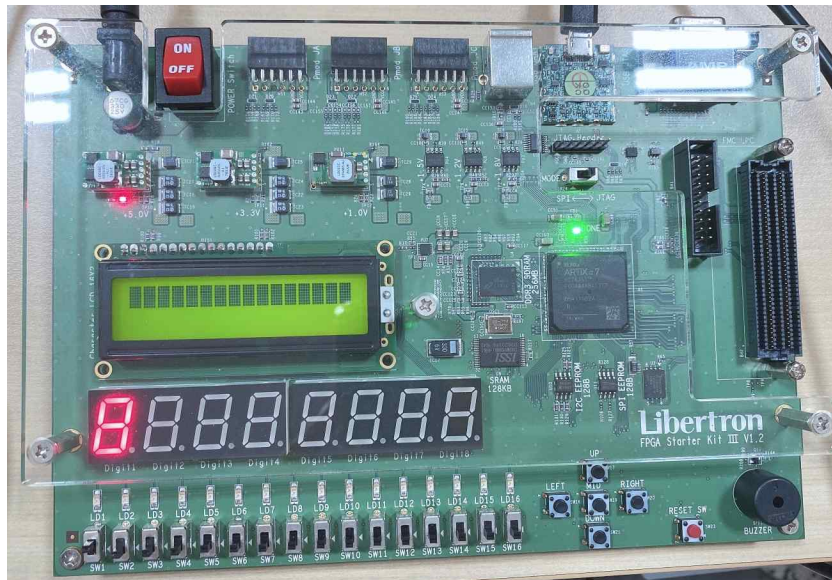
<div>CD</div> <div>AB</div>	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0



<Simulation 결과>



<Schematic>



7-Segment Display의 각각의 A~G까지의 세그먼트를 4개의 입력값에 대한 Truth Table을 표현해 보았다. 이를 각각의 카르노 맵을 그려보았고, SOP, POS 방법으로 이를 간략하게 나타내어보았다. 간략하게 나타낸 식을 이용해서 Verilog 코드를 작성해보았다. 이 작성된 코드를 바탕으로 Simulation을 돌려보았을 때, 진리표와 동일한 값을 나타내는 것을 알 수 있었다. 또한 Schematic을 통해서도 확인해볼 수 있었다.

FPGA를 이용해서 실습을 진행해보았을 때 4개의 input 스위치 조절을 통해서 숫자를 다르게 나타낼 수 있음을 눈으로 확인해볼 수 있었다.