# SIP HW1:

Parameterized fixed-point adder (參數化小數定點加法器)

### SIP HW1: Subject (1/5)

- ▶ 請設計一個參數化的小數定點加法器(fx\_pt\_add),將兩個包含小數位數的訊號相加, 並將相加結果(含小數位數)作為輸出訊號。
- 兩個輸入訊號:a、b ,使用參數 "WIDTH" 定義兩個輸入訊號 a 與 b 的位元寬度 (1< WIDTH < 16) ,再利用參數 "A\_INT\_W" 定義輸入訊號 a 的整數位元寬度 (0<A\_INT\_W < WIDTH) ,利用參數 "B\_INT\_W" 定義輸入訊號 b 的整數位元寬度 (0<B\_INT\_W < WIDTH) 。此外,利用參數 "SGN" 定義兩數的表示方式: SGN 為 0 ,兩數為無號數表示法(unsigned); SGN 為 1 ,兩數為有號2補數表示法(signed-2's-complement); SGN 為其他值,兩數為有號量數表示法(signed-magnitude)。
- ▶ 輸出訊號: sum, sum 的位元寬度為 "2\*WIDTH+1", 其中整數位元寬度為 "WIDTH+1", 小數位元寬度為"WIDTH"。依據參數 "SGN"定義 sum 的表示方式: SGN 為 0 , sum 為無號數表示法(unsigned); SGN 為 1 , sum 為有號2補數表示法(signed-2's-complement); SGN 為其他值, sum 為有號量數表示法(signed-magnitude)。

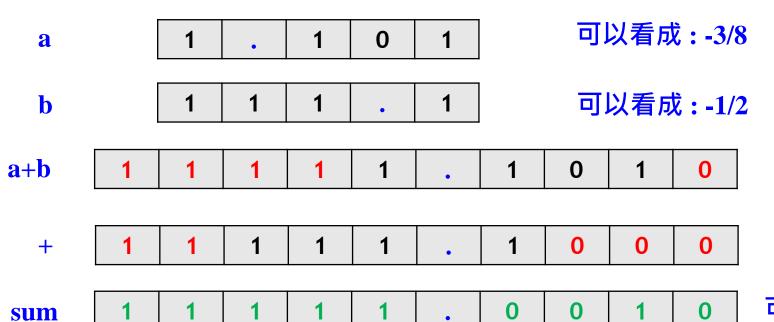
# SIP HW1: Subject (2/5)

▶ 舉例 1: WIDTH = 4 、 A\_INT\_W=1 、 B\_INT\_W=3 、 SGN=0 。



# SIP HW1: Subject (3/5)

▶ 舉例 2: WIDTH = 4 、 A\_INT\_W=1 、 B\_INT\_W=3 、 SGN=1 。



可以看成:-14/16

# SIP HW1: Subject (4/5)

+

▶ 舉例 3: WIDTH = 4 、 A\_INT\_W=1 、 B\_INT\_W=3 、 SGN=4 。

 a
 1 . 1 0 1
 可以看成:-5/8

 b
 1 1 1 1 . 1
 可以看成:-7/2

 a+b
 1 0 0 0 0 . 1 0 1 0

1 0 0 1 1 . 1 0 0

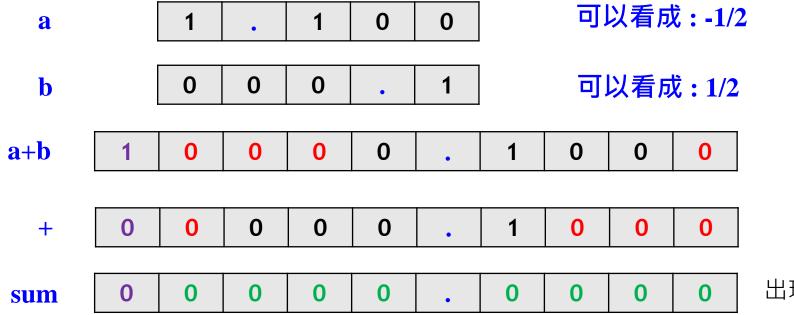
 sum
 1
 0
 1
 0
 0
 .
 0
 0
 1
 0

可以看成:-66/16

### SIP HW1: Subject (5/5)

▶ 舉例 4 (特殊): WIDTH = 4 、 A\_INT\_W=1 、 B\_INT\_W=3 、 SGN=4 。

有號量數表示法有 "+0" 與 "-0" 兩種方式表示 "0",本作業設計的 IP 需考慮這兩種方式作為輸入訊號,但為了統一輸出結果,當結果出現 "-0" 時請把結果轉成 "+0" 的表示法。



出現 0 時請轉成 "+0" 表示。

#### SIP HW1: Interface

務必依照以下的模組與埠列名稱定義,不依照者會大扣分。

```
module fx_pt_add(a, b, sum);

parameter SGN = 0;
parameter WIDTH = 4;
parameter A_INT_W = 1;
parameter B_INT_W = 3;

input [WIDTH-1:0] a, b;
output [2*WIDTH:0] sum;
```

# SIP HW1: Uploading Results (1/3)

► Verilog file (file name: **fx\_pt\_add.v**)。 (務必依照此檔名,不依照者會大扣分。)

註:若有引用下層子模組,為了方便老師驗證電路,也請放在這個檔案裏面。但是一般業界的做法,最好是一個模組儲存成一個.v 檔,並且使用這個模組的名稱為檔名。然後寫一個 run.f 把需要編譯(含測試檔)的整個電路階層描述進去。

► Test Verilog file (including waveform generating) (file name: **fx\_pt\_add\_tb.v**) ∘ (務必依照此檔名,不依照者會大扣分。)

註:若是採用讀取 test patterns 的驗證方式,請將輸入資料以及正確結果資料的相關檔案一併附上,並在 PowerPoint document 中的測試檔的演算法(或是方法)處說明如何產生輸入資料以及正確結果資料,以及使用的軟體工具。

### SIP HW1: Uploading Results (2/3)

- ▶ Verilog file & Test Verilog file 階段評分 (佔 HW1 成績 70%)

  - ◆ fx\_pt\_add.v 只完成兩種設定(SGN),且其中 WIDTH 、 A\_INT\_W 、 B\_INT\_W 皆能參數化。 (75分)
  - ◆ fx\_pt\_add.v 完成三種設定(SGN),且其中 WIDTH、A\_INT\_W、B\_INT\_W 皆能參數化。(80分)
  - ◆ fx\_pt\_add\_tb.v 依照以下達成的目標加分,最高加 18 分。
    - 各種設定(SGN), 各種 WIDTH、A\_INT\_W、B\_INT\_W 皆能大量輸入資料自動化測試比對 (測試檔也參數化)。(加 18 分)
    - 只能針對一種設定(SGN),一種 WIDTH、A\_INT\_W、B\_INT\_W 進行大量自動化比對 (測試檔無法參數化)。(加 10 分)
       註:若是採用讀取 test patterns 的驗證方式,會類規在此種,除非提供三種設定(SGN),以及每一種設定中至少 二種以上 WIDTH、A\_INT\_W、B\_INT\_W 的 test patterns 資料。
    - 只有辦法利用幾筆測試資料進行測試。(加 5分)

# SIP HW1: Uploading Results (3/3)

- ➤ A PowerPoint document (佔 HW1 成績 30%):
  - ◆ IP 設計的演算法(方法或是架構)
  - ◆ 測試檔的演算法(或是方法)
  - ◆ 測試波形檔 (截圖) 並簡易說明
  - ◆ Code coverage result (截圖)
  - ◆ 不需要把 Verilog code 貼上去
- ▶ 上述的檔案(fx\_pt\_add.v、fx\_pt\_add\_tb.v 、 PowerPoint) 請以組為單位上傳到 EClass 作業區(HW1) (deadline: 11/10, 23:59)