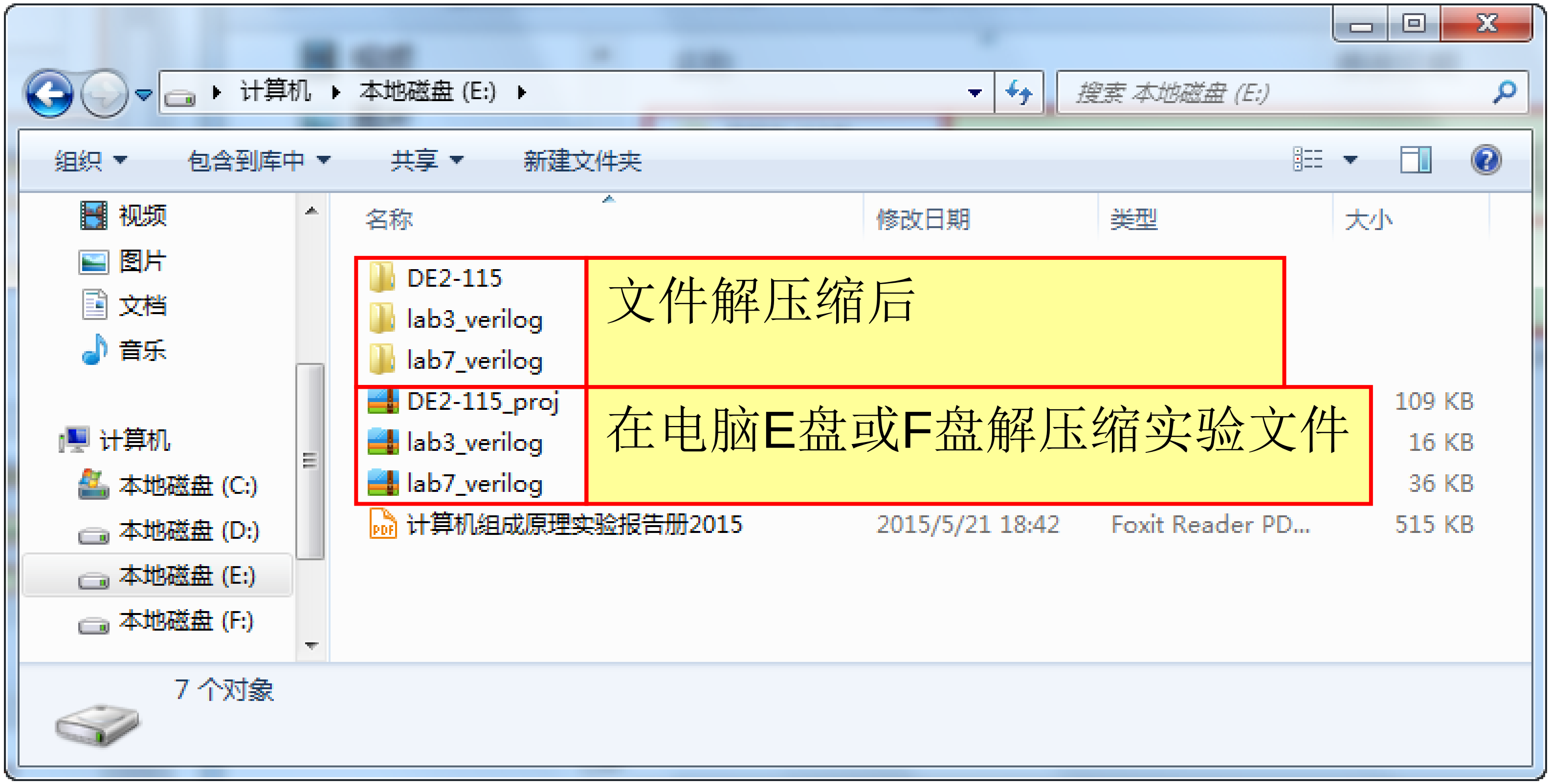
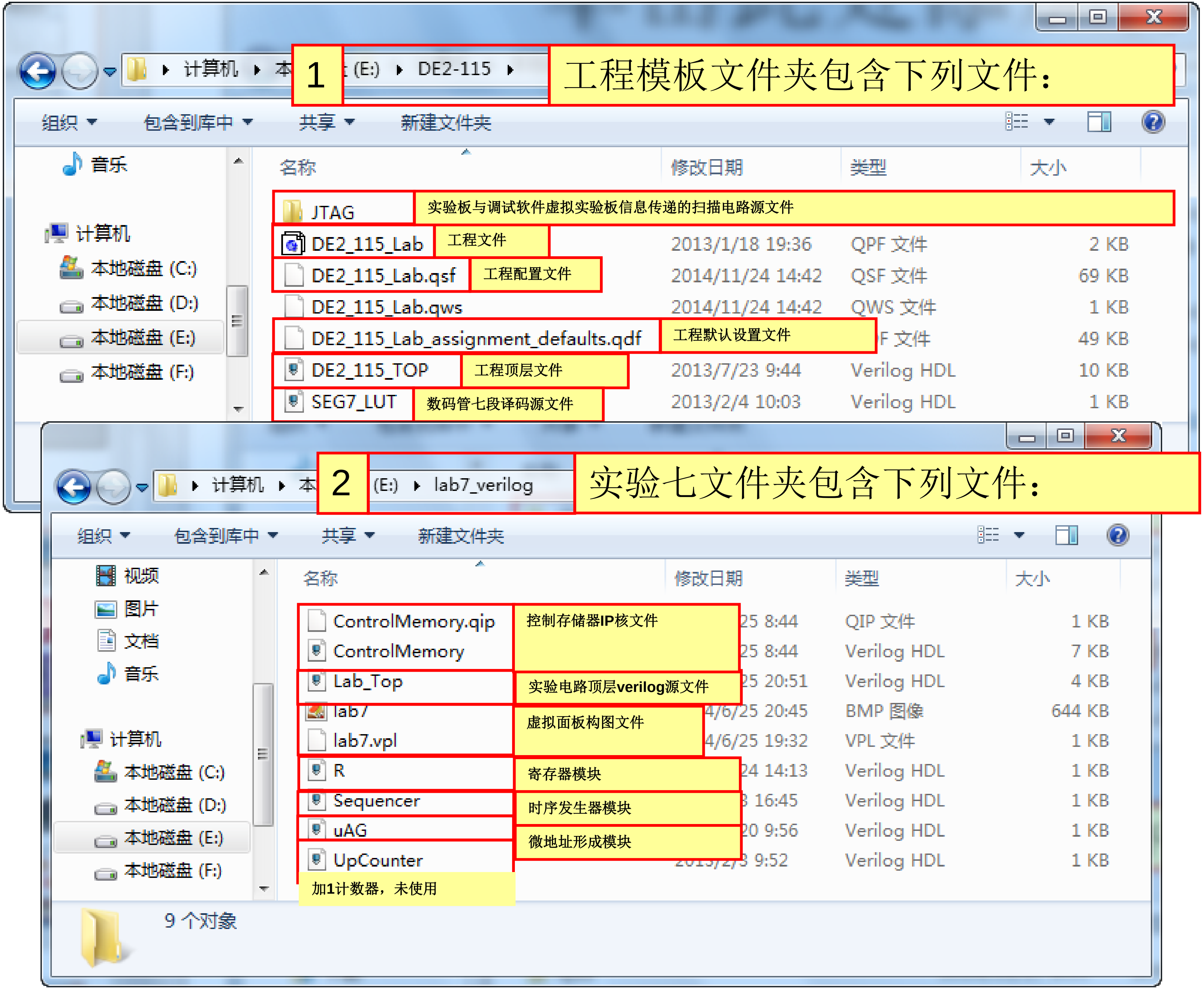
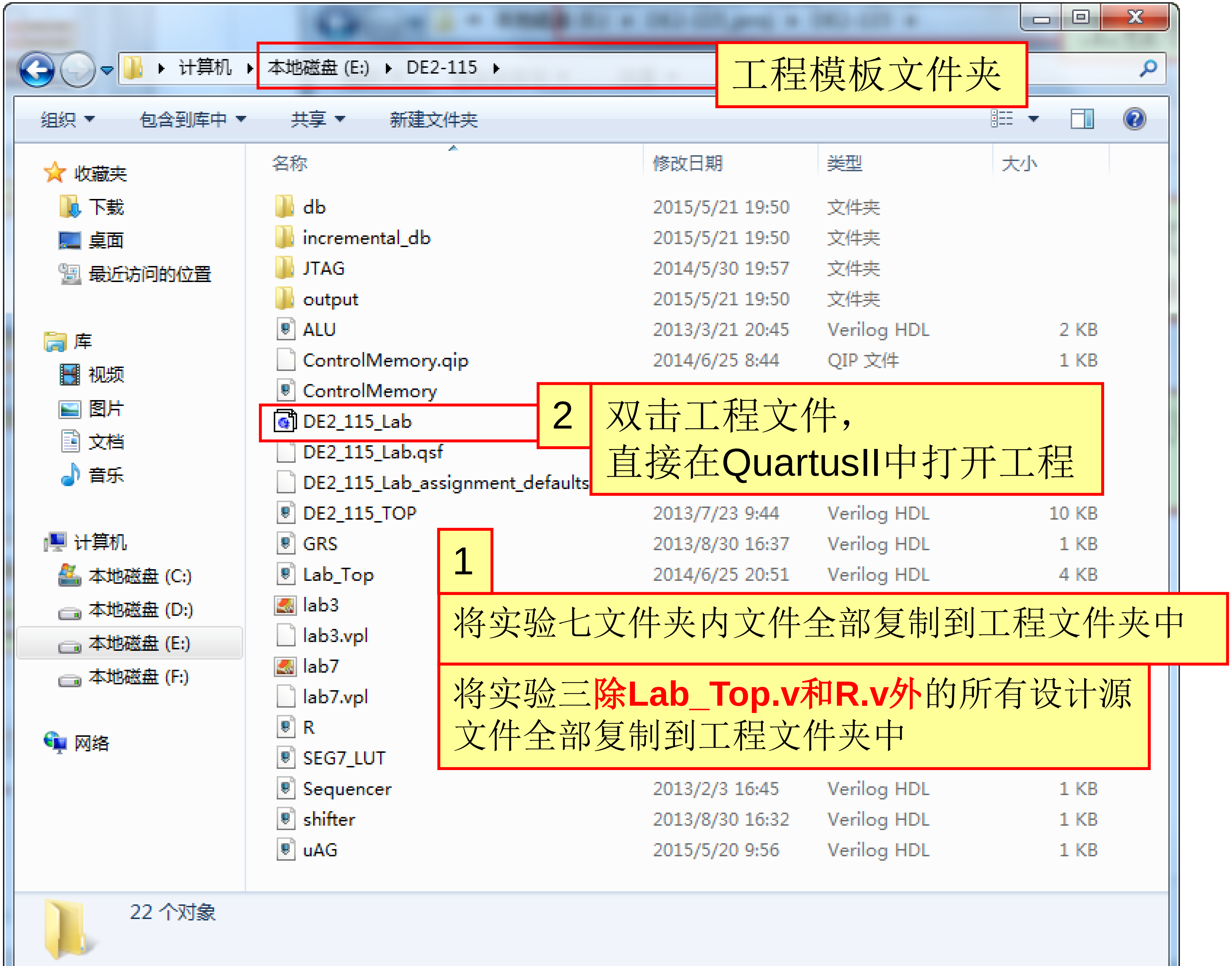
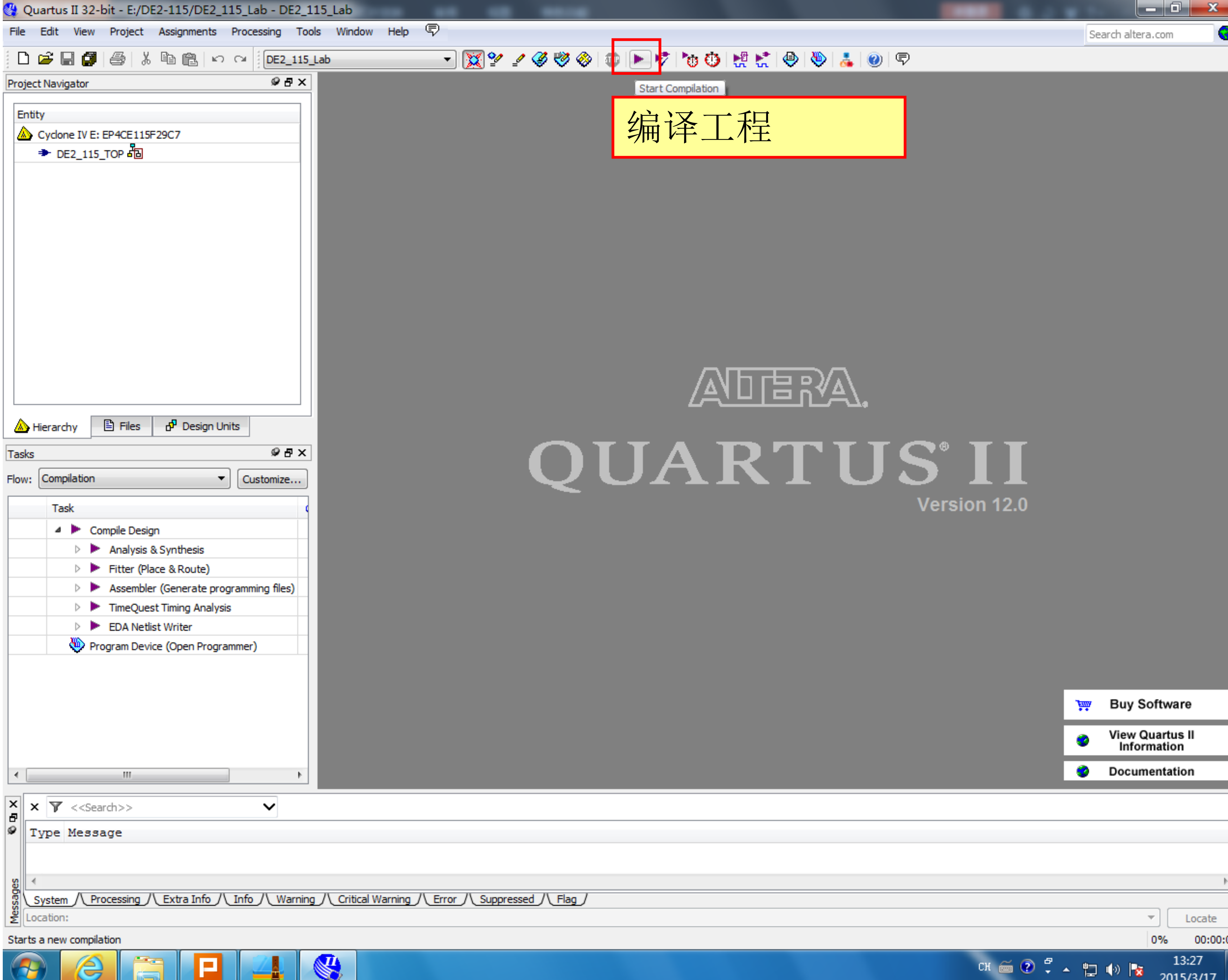
实验 微程序控制器

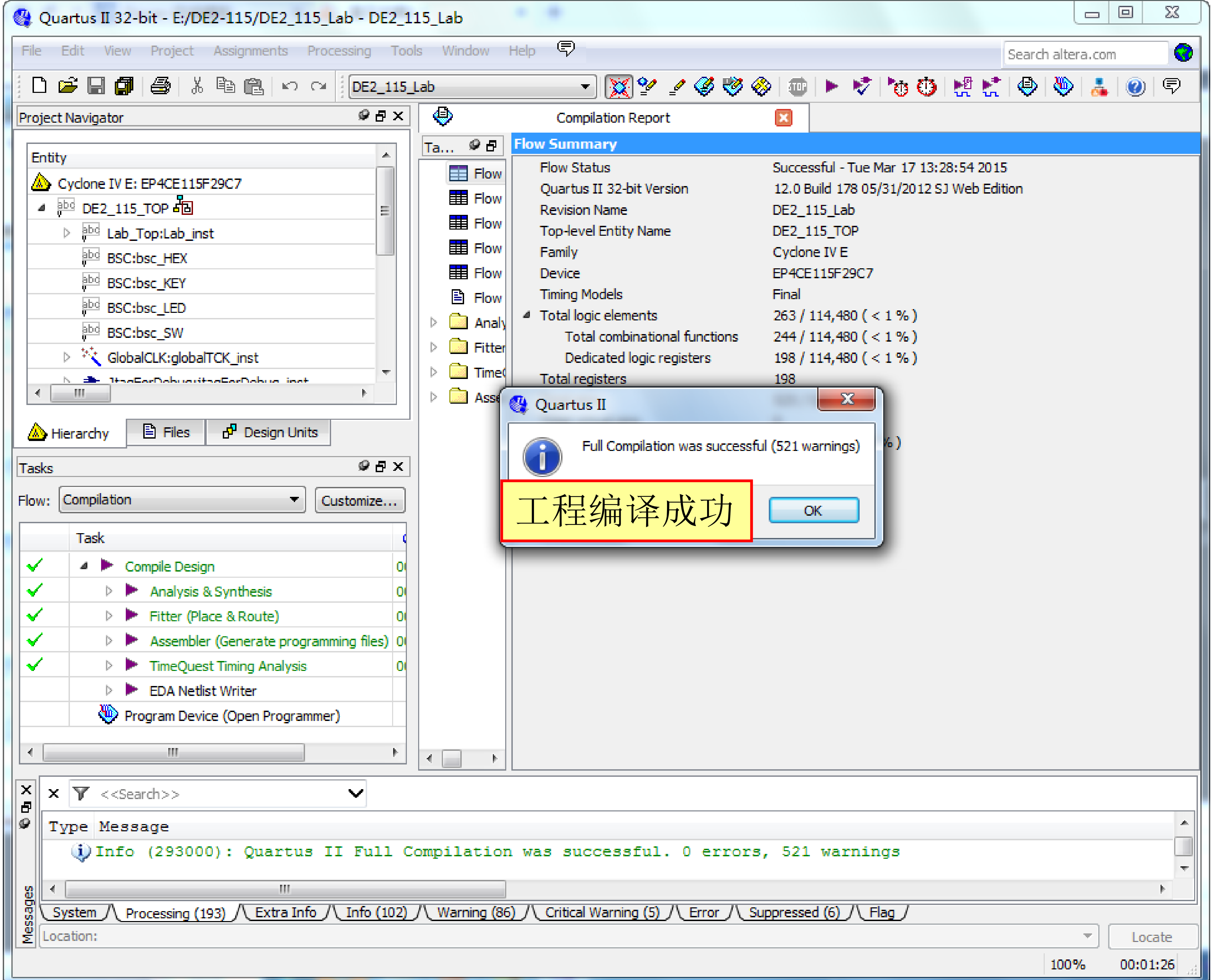
- 了解微程序控制器的组成；
- 理解微程序控制时序；
- 掌握微程序控制信号的产生原理；
- 熟悉微程序设计方法；
- 掌握微地址形成方法。

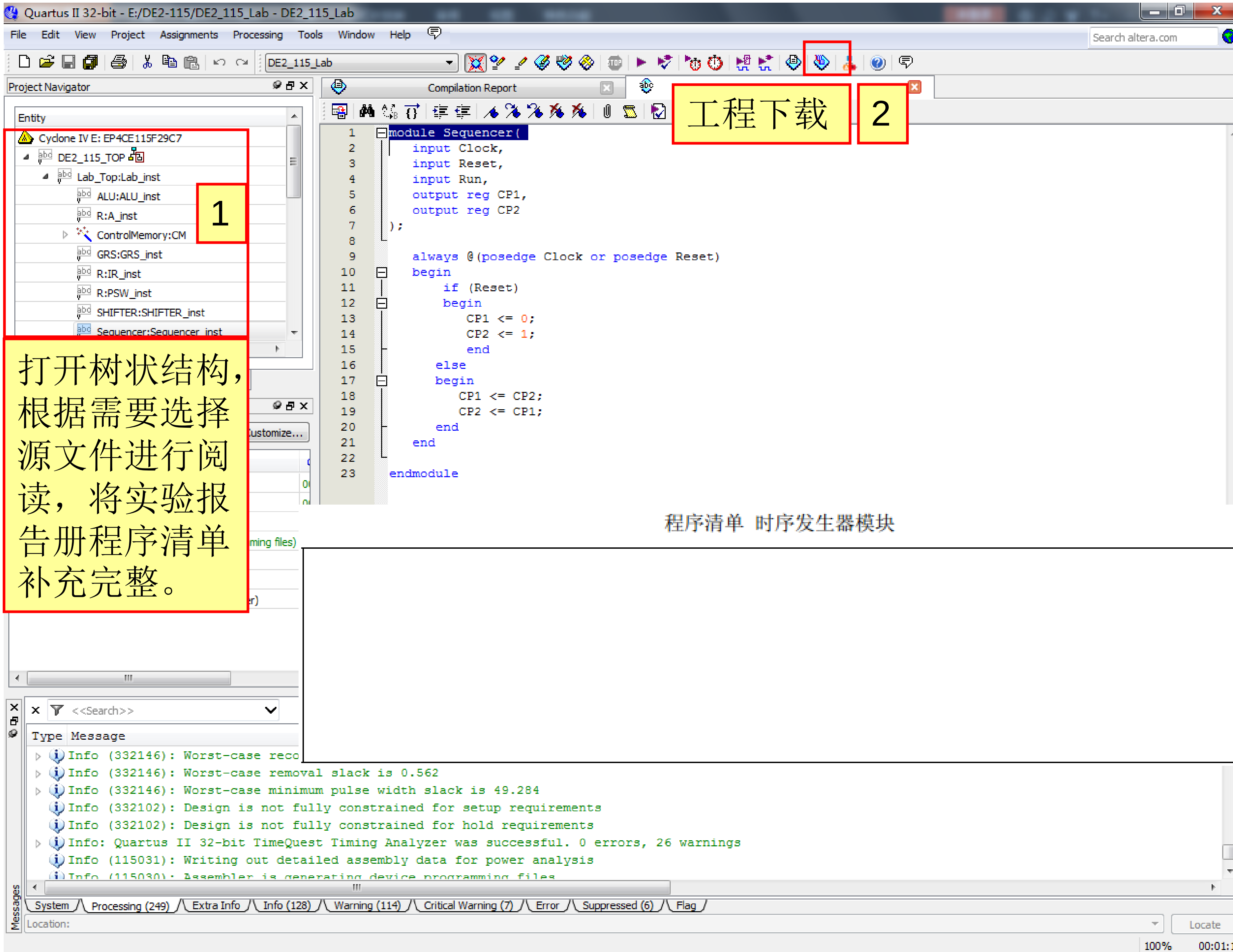

计算机 ▸ 本地磁盘 (E:)
搜索 本地磁盘 (E:)
组织
包含到库中
共享
新建文件夹
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
名称
修改日期
类型
大小
DE2-115
lab3_verilog
lab7_verilog
DE2-115_proj 109 KB
lab3_verilog 16 KB
lab7_verilog 36 KB
计算机组成原理实验报告册2015 2015/5/21 18:42 Foxit Reader PD... 515 KB
文件解压缩后
在电脑E盘或F盘解压缩实验文件
7 个对象


1
工程模板文件夹包含下列文件：
计算机 ▸ 本 (E:) ▸ DE2-115 ▸
组织 包含到库中 共享 新建文件夹
名称 修改日期 类型 大小
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
JTAG
实验板与调试软件虚拟实验板信息传递的扫描电路源文件
DE2_115_Lab 2013/1/18 19:36 QPF 文件 2 KB
工程文件
DE2_115_Lab.qsf 2014/11/24 14:42 QSF 文件 69 KB
工程配置文件
DE2_115_Lab.qws 2014/11/24 14:42 QWS 文件 1 KB
DE2_115_Lab_assignment_defaults.qdf F 文件 49 KB
工程默认设置文件
DE2_115_TOP 2013/7/23 9:44 Verilog HDL 10 KB
工程顶层文件
SEG7_LUT 2013/2/4 10:03 Verilog HDL 1 KB
数码管七段译码源文件
2
实验七文件夹包含下列文件：
计算机 ▸ 本 (E:) ▸ lab7_verilog
组织 包含到库中 共享 新建文件夹
名称 修改日期 类型 大小
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
ControlMemory.qip 25 8:44 QIP 文件 1 KB
ControlMemory 25 8:44 Verilog HDL 7 KB
控制存储器IP核文件
Lab_Top 25 20:51 Verilog HDL 4 KB
实验电路顶层verilog源文件
lab7 4/6/25 20:45 BMP 图像 644 KB
lab7.vpl 4/6/25 19:32 VPL 文件 1 KB
虚拟面板构图文件
R 24 14:13 Verilog HDL 1 KB
寄存器模块
Sequencer 3 16:45 Verilog HDL 1 KB
时序发生器模块
uAG 20 9:56 Verilog HDL 1 KB
微地址形成模块
UpCounter 9:52 Verilog HDL 1 KB
加1计数器，未使用
9 个对象

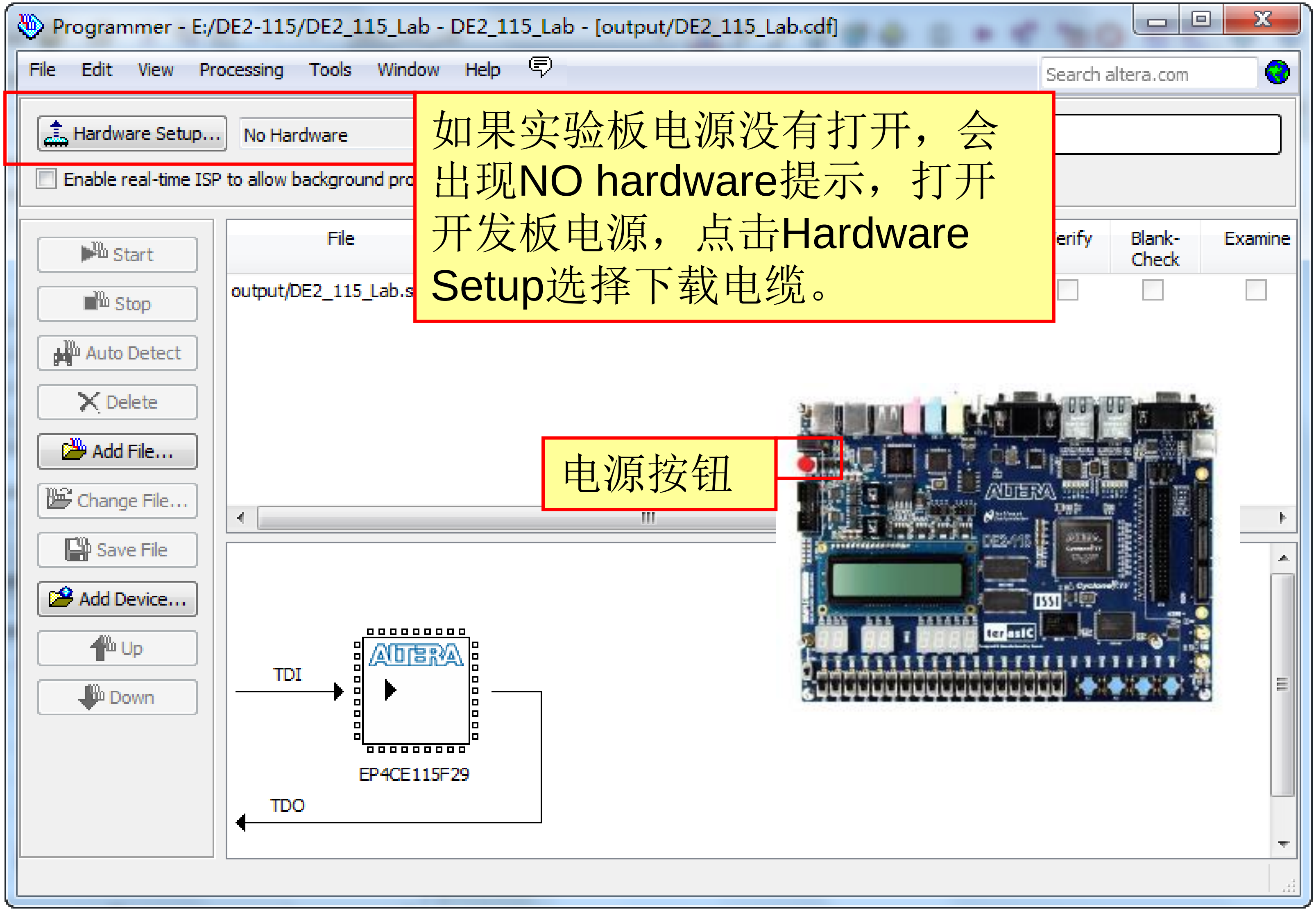

计算机 ▸ 本地磁盘 (E:) ▸ DE2-115 ▸
工程模板文件夹
组织 ▾ 包含到库中 ▾ 共享 ▾ 新建文件夹
收藏夹
下载
桌面
最近访问的位置
库
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
网络
名称 修改日期 类型 大小
db 2015/5/21 19:50 文件夹
incremental_db 2015/5/21 19:50 文件夹
JTAG 2014/5/30 19:57 文件夹
output 2015/5/21 19:50 文件夹
ALU 2013/3/21 20:45 Verilog HDL 2 KB
ControlMemory.qip 2014/6/25 8:44 QIP 文件 1 KB
ControlMemory
DE2_115_Lab
DE2_115_Lab.qsf
DE2_115_Lab_assignment_defaults
DE2_115_TOP 2013/7/23 9:44 Verilog HDL 10 KB
GRS 2013/8/30 16:37 Verilog HDL 1 KB
Lab_Top 2014/6/25 20:51 Verilog HDL 4 KB
lab3
lab3.vpl
lab7
lab7.vpl
R
SEG7_LUT
Sequencer 2013/2/3 16:45 Verilog HDL 1 KB
shifter 2013/8/30 16:32 Verilog HDL 1 KB
uAG 2015/5/20 9:56 Verilog HDL 1 KB
22 个对象
2
双击工程文件，
直接在QuartusII中打开工程
1
将实验七文件夹内文件全部复制到工程文件夹中
将实验三除Lab_Top.v和R.v外的所有设计源文件全部复制到工程文件夹中

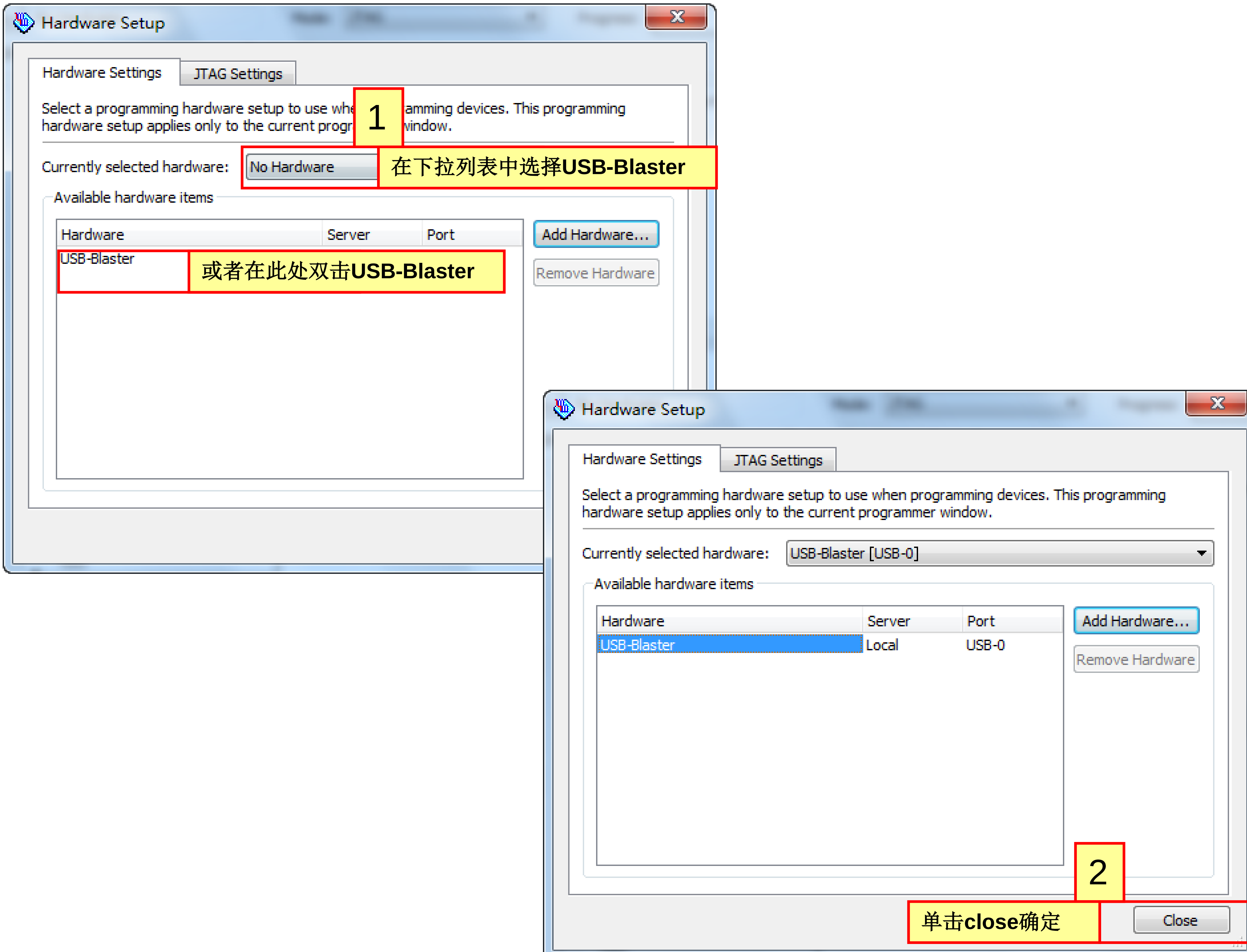

Quartus II 32-bit - E:/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Project Assignments Processing Tools Window Help
DE2_115_Lab
Start Compilation
编译工程
Project Navigator
Entity
Cyclone IV E: EP4CE115F29C7
DE2_115_TOP
Hierarchy
Files
Design Units
Tasks
Flow: Compilation
Customize...
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programming files)
TimeQuest Timing Analysis
EDA Netlist Writer
Program Device (Open Programmer)
ALTERA
QUARTUS II
Version 12.0
Buy Software
View Quartus II Information
Documentation
<<Search>>
Type Message
System
Processing
Extra Info
Info
Warning
Critical Warning
Error
Suppressed
Flag
Messages
Location:
Locate
Starts a new compilation
0%
00:00:00
13:27
2015/3/17

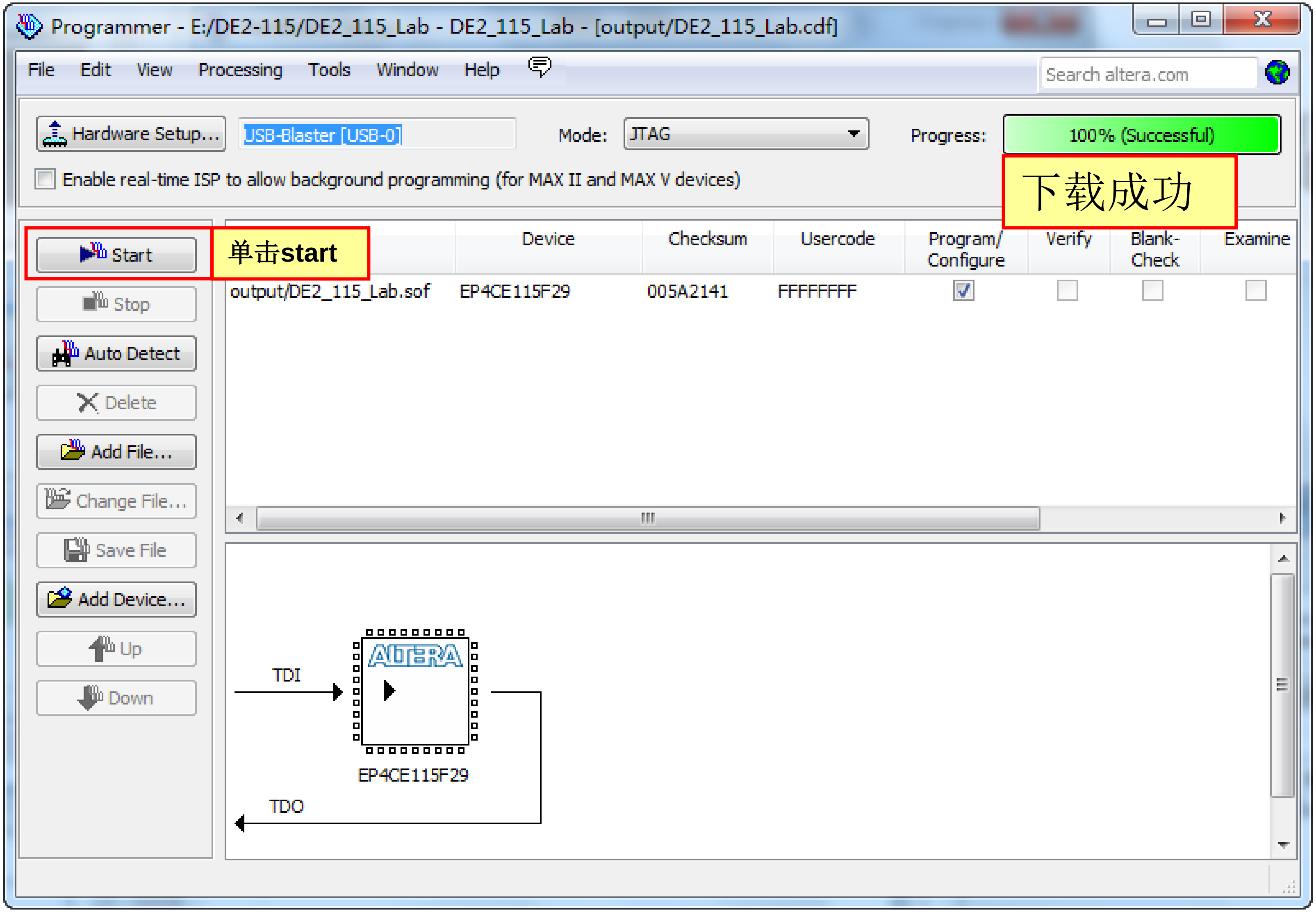

Quartus II 32-bit - E:/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Project Assignments Processing Tools Window Help
Search altera.com
DE2_115_Lab
Project Navigator
Entity
Cyclone IV E: EP4CE115F29C7
DE2_115_TOP
Lab_Top:Lab_inst
BSC:bsc_HEX
BSC:bsc_KEY
BSC:bsc_LED
BSC:bsc_SW
GlobalCLK:globalTCK_inst
Hierarchy
Files
Design Units
Tasks
Flow: Compilation
Customize...
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programming files)
TimeQuest Timing Analysis
EDA Netlist Writer
Program Device (Open Programmer)
Compilation Report
Flow Summary
Flow Status
Successful - Tue Mar 17 13:28:54 2015
Quartus II 32-bit Version
12.0 Build 178 05/31/2012 SJ Web Edition
Revision Name
DE2_115_Lab
Top-level Entity Name
DE2_115_TOP
Family
Cyclone IV E
Device
EP4CE115F29C7
Timing Models
Final
Total logic elements
263 / 114,480 (< 1 %)
Total combinational functions
244 / 114,480 (< 1 %)
Dedicated logic registers
198 / 114,480 (< 1 %)
Total registers
198
Quartus II
Full Compilation was successful (521 warnings)
OK
工程编译成功
<<Search>>
Type Message
Info (293000): Quartus II Full Compilation was successful. 0 errors, 521 warnings
System
Processing (193)
Extra Info
Info (102)
Warning (86)
Critical Warning (5)
Error
Suppressed (6)
Flag
Location:
Locate
Messages
100%
00:01:26

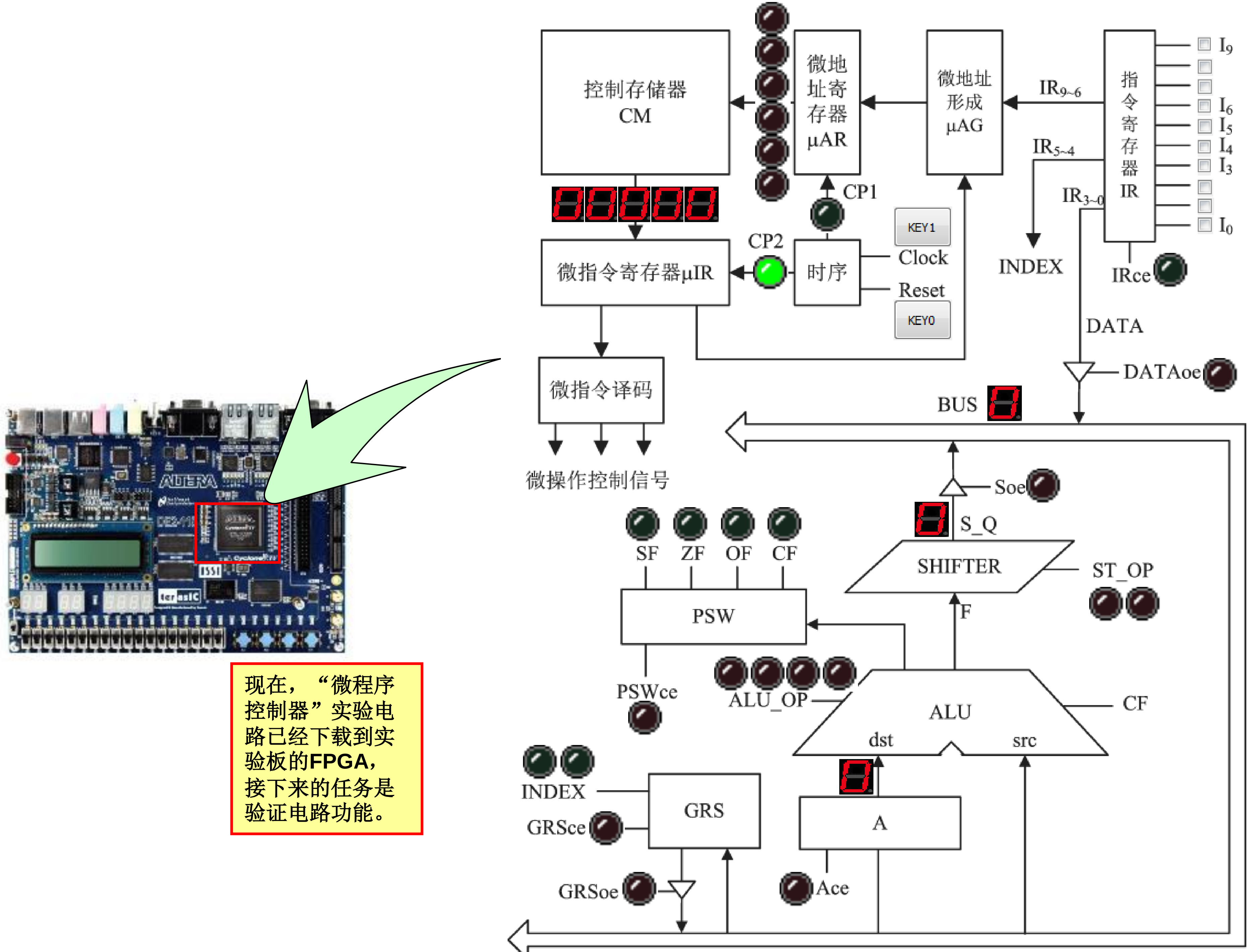


程序清单 时序发生器模块

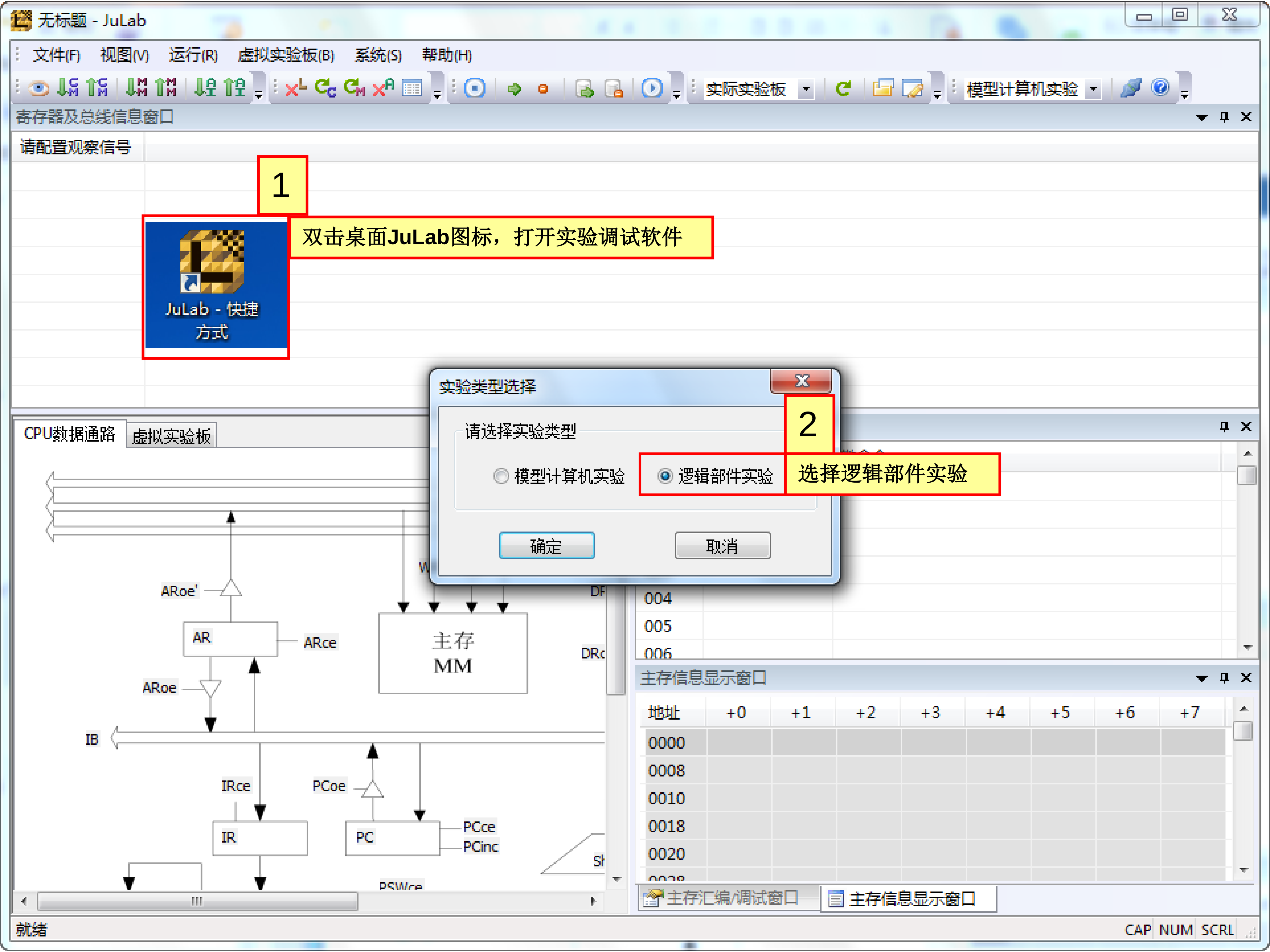

Programmer - E:/DE2-115/DE2_115_Lab - DE2_115_Lab - [output/DE2_115_Lab.cdf]
File Edit View Processing Tools Window Help
Search altera.com
Hardware Setup...
No Hardware
Enable real-time ISP to allow background pro
如果实验板电源没有打开，会出现NO hardware提示，打开开发板电源，点击Hardware Setup选择下载电缆。
Start
Stop
Auto Detect
Delete
Add File...
Change File...
Save File
Add Device...
Up
Down
File
erify
Blank-Check
Examine
output/DE2_115_Lab.s
电源按钮
TDI
EP4CE115F29
TDO

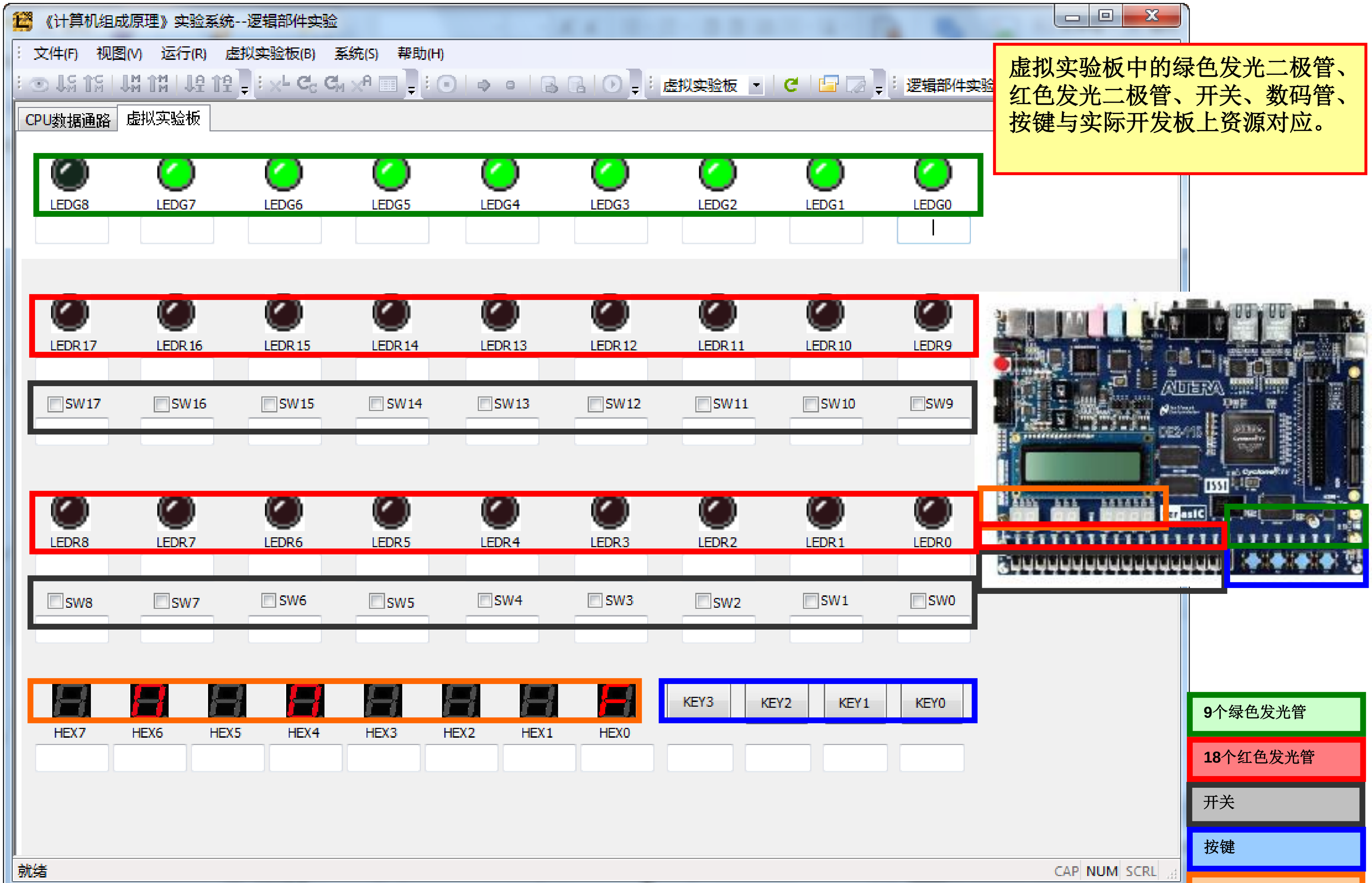

Hardware Setup
Hardware Settings
JTAG Settings
Select a programming hardware setup to use whe
amming devices. This programming
hardware setup applies only to the current progr
window.
1
Currently selected hardware:
No Hardware
在下拉列表中选择USB-Blaster
Available hardware items
Hardware
Server
Port
Add Hardware...
USB-Blaster
或者在此处双击USB-Blaster
Remove Hardware
Hardware Setup
Hardware Settings
JTAG Settings
Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.
Currently selected hardware:
USB-Blaster [USB-0]
Available hardware items
Hardware
Server
Port
Add Hardware...
USB-Blaster
Local
USB-0
Remove Hardware
2
单击close确定
Close


Programmer - E:/DE2-115/DE2_115_Lab - DE2_115_Lab - [output/DE2_115_Lab.cdf]
File Edit View Processing Tools Window Help
Search altera.com
Hardware Setup...
USB-Blaster [USB-0]
Mode:
JTAG
Progress:
100% (Successful)
Enable real-time ISP to allow background programming (for MAX II and MAX V devices)
下载成功
Start
单击start
Stop
Auto Detect
Delete
Add File...
Change File...
Save File
Add Device...
Up
Down
Device
Checksum
Usercode
Program/ Configure
Verify
Blank- Check
Examine
output/DE2_115_Lab.sof
EP4CE115F29
005A2141
FFFFFFFF
TDI
TDO
EP4CE115F29



现在，“微程序控制器”实验电路已经下载到实验板的**FPGA**，接下来的任务是验证电路功能。


无标题 - JuLab
文件(F) 视图(V) 运行(R) 虚拟实验板(B) 系统(S) 帮助(H)
实际实验板
模型计算机实验
寄存器及总线信息窗口
请配置观察信号
1
双击桌面JuLab图标，打开实验调试软件
JuLab - 快捷方式
实验类型选择
请选择实验类型
模型计算机实验
逻辑部件实验
2
选择逻辑部件实验
确定
取消
CPU数据通路
虚拟实验板
ARoe'
AR
ARce
ARoe
主存
MM
IB
IRce
PCoe
IR
PC
PCce
PCinc
004
005
006
主存信息显示窗口
地址 +0 +1 +2 +3 +4 +5 +6 +7
0000
0008
0010
0018
0020
主存汇编/调试窗口
主存信息显示窗口
就绪
CAP NUM SCRL



虚拟实验板中的绿色发光二极管、红色发光二极管、开关、数码管、按键与实际开发板上资源对应。

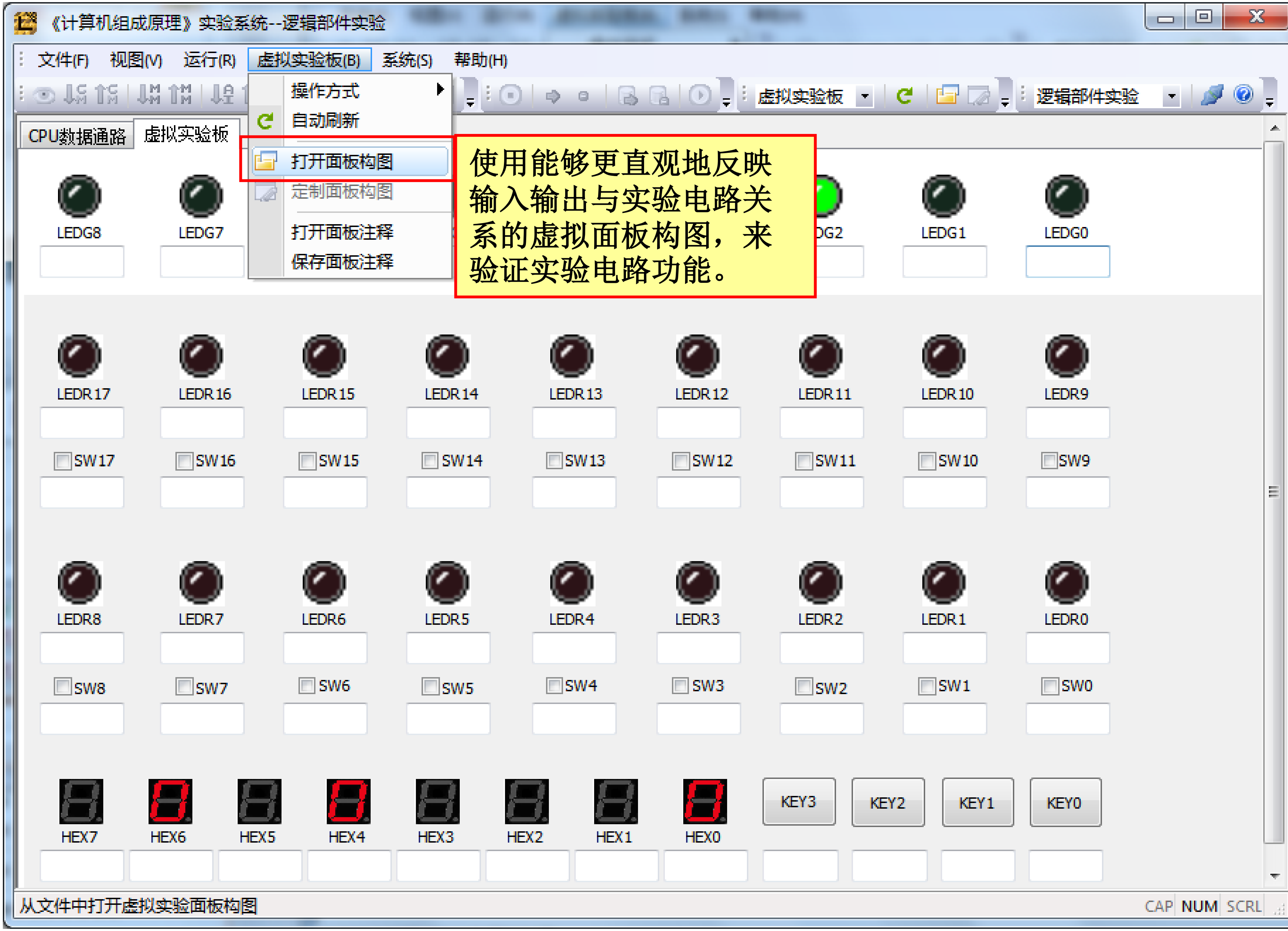
9个绿色发光管

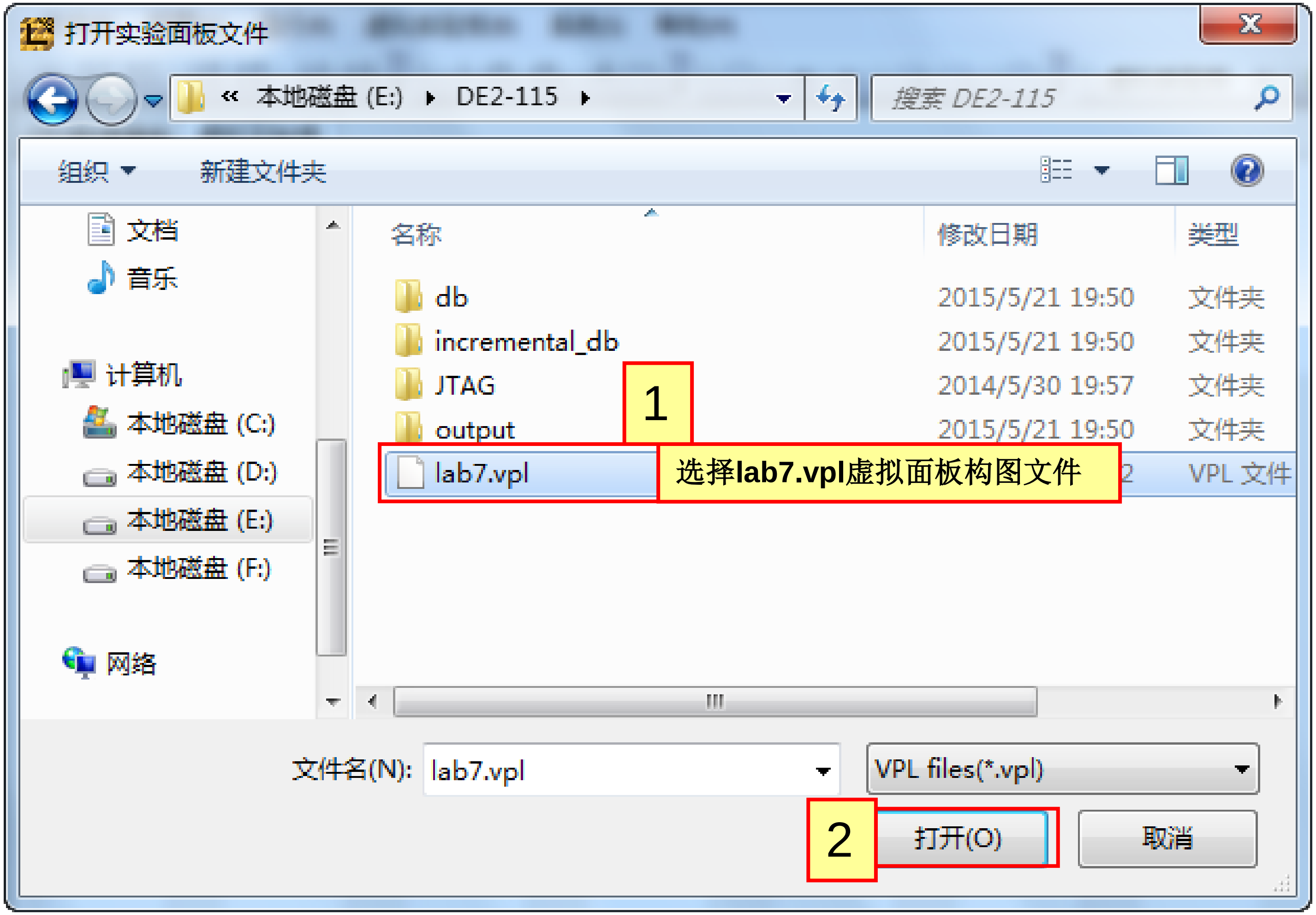
18个红色发光管

开关

按键

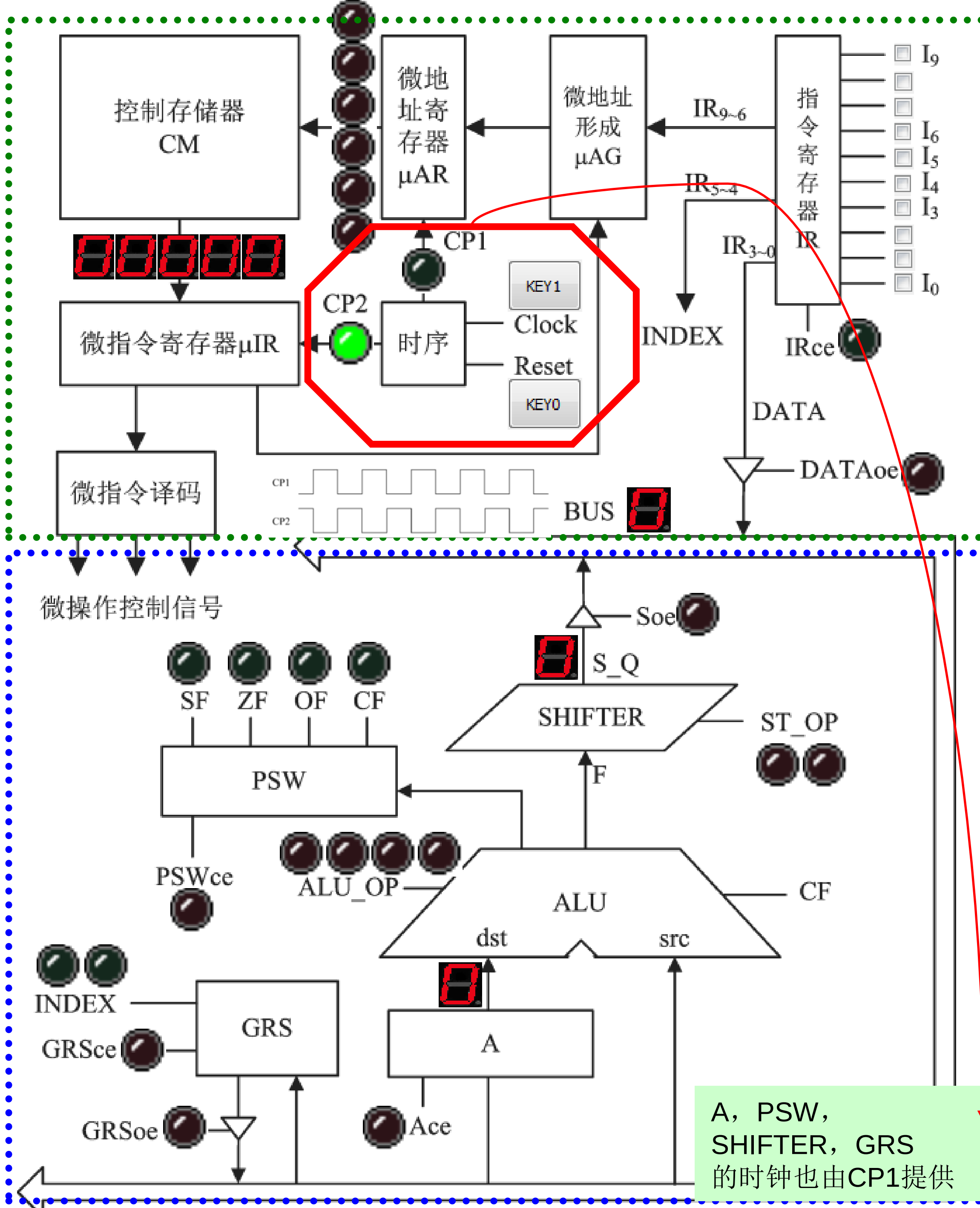
数码管


《计算机组成原理》实验系统--逻辑部件实验
文件(F) 视图(V) 运行(R) 虚拟实验板(B) 系统(S) 帮助(H)
操作方式
自动刷新
打开面板构图
定制面板构图
打开面板注释
保存面板注释
虚拟实验板
逻辑部件实验
CPU数据通路
虚拟实验板
使用能够更直观地反映输入输出与实验电路关系的虚拟面板构图，来验证实验电路功能。
LEDG8 LEDG7 DG2 LEDG1 LEDG0
LEDR17 LEDR16 LEDR15 LEDR14 LEDR13 LEDR12 LEDR11 LEDR10 LEDR9
SW17 SW16 SW15 SW14 SW13 SW12 SW11 SW10 SW9
LEDR8 LEDR7 LEDR6 LEDR5 LEDR4 LEDR3 LEDR2 LEDR1 LEDR0
SW8 SW7 SW6 SW5 SW4 SW3 SW2 SW1 SW0
HEX7 HEX6 HEX5 HEX4 HEX3 HEX2 HEX1 HEX0
KEY3 KEY2 KEY1 KEY0
从文件中打开虚拟实验面板构图
CAP NUM SCRL


打开实验面板文件
本地磁盘 (E:) DE2-115
搜索 DE2-115
组织
新建文件夹
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
网络
名称
修改日期
类型
db 2015/5/21 19:50 文件夹
incremental_db 2015/5/21 19:50 文件夹
JTAG 2014/5/30 19:57 文件夹
output 2015/5/21 19:50 文件夹
lab7.vpl VPL 文件
1
选择lab7.vpl虚拟面板构图文件
文件名(N): lab7.vpl
VPL files(*.vpl)
2
打开(O)
取消

微程序控制器

通过对运算需要的各种控制信号进行编码、保存、读出、执行的过程，有序地控制运算器工作。



运算器数据通路

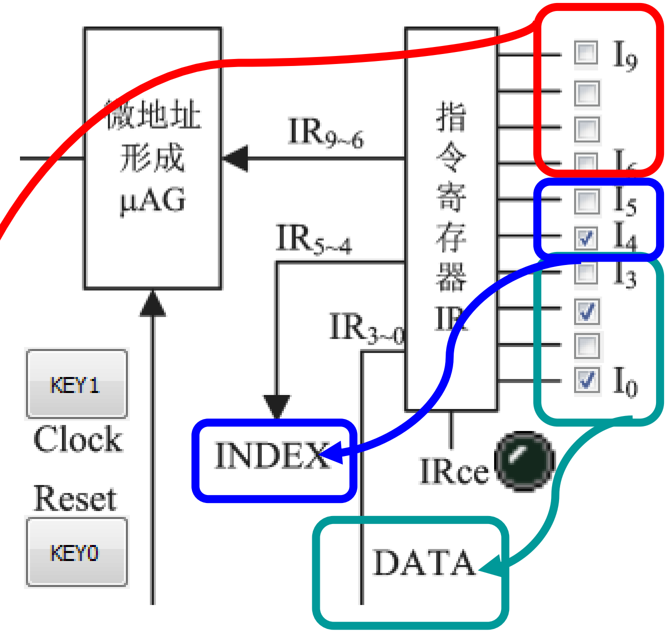
A，PSW，SHIFTER，GRS的时钟也由CP1提供

指令格式

9 6	5 4	3 0
OPCODE	INDEX	DATA

实验电路不包含存储器，因此目的操作数仅来自寄存器，由INDEX区分寄存器号。

为了简化实验过程，源操作数仅来自立即数，由指令的DATA字段提供。



操作码编码

指令类型	指令助记符	OPCODE	功能
装数指令	LD Ri，#DATA	0000	Ri←DATA
运算指令	ADD Ri，#DATA	0001	Ri←(Ri)＋DATA
	ADDC Ri，#DATA	0010	Ri←(Ri)＋DATA＋借位
	SUB Ri，#DATA	0011	Ri←(Ri) －DATA
	SUBB Ri，#DATA	0100	Ri←(Ri) －DATA－借位
	AND Ri，#DATA	0101	Ri←(Ri) Ù DATA
	OR Ri，#DATA	0110	Ri←(Ri) Ú DATA
	NOT Ri	0111	Ri←
	XOR Ri，#DATA	1000	Ri←(Ri) Å DATA
	INC Ri	1001	Ri←(Ri) ＋1
	DEC Ri	1010	Ri←(Ri) －1
	SR Ri	1011	Ri←(Ri)/2
	SL Ri	1100	Ri←(Ri)*2

装数指令不经过ALU

“装数”和“运算”两种类型的指令

运算指令由ALU和移位寄存器实现运算

以**ADD R1，#0111B** 指令为例，翻译成机器码应该为 **0001 01 0111**

uAG.v

```
begin
 case (BM)
   2'b00: uAGOut = NA;
   2'b01: uAGOut = {NA[5:1], |IR[9:6]};
     2'b10:  uAGOut = {2'b01, IR[9:6]};
     default:   uAGOut = {6'bxxxxxx};
 endcase
end
```

BM2转移方式下，
uAGout=｛2‘b01,IR[9:6]};
运算类指令的微地址分别为：

ADD	01	0001	即11H
ADDC	01	0010	即12H
……			
SL	01	1100	即1CH

微指令格式

19	18 17	16 14	13 10	9 8	7 6	5 0
预留（1位）	F0:XXoe（2位）	F1:XXce（3位）	F2:ALU_OP（4位）	F3:ST_OP（2位）	F4: BM（2位）	F5:NA（6位）
	0:NOP	0:NOP	0:NOP	0:NOP	转移方式	下址字段
	1:GRSoe	1:GRSce	1:ADD	1:SRce		
	2:Soe	2: Ace	2:ADDC	2:SLce		
	3:DATAoe	3:PSWce	3:SUB	3:SVce		
		4:IRce	4:SUBB			
			5:AND			
			6:OR			
			7:NOT			
			8:XOR			
			9:INC			
			A:DEC			

BM	uAR	功能
0	uAR= NA	固定转移
1	$uAR_{5\sim1}$= NA $uAR_0=IR_9+IR_8+IR_7+IR_6$	依据是否需要取目的操作数的两分支微转移
2	$uAR_{5,4}$=01 $uAR_{3\sim0}=IR_{9\sim6}$	依据指令操作码的多分支微转移

11H～1CH

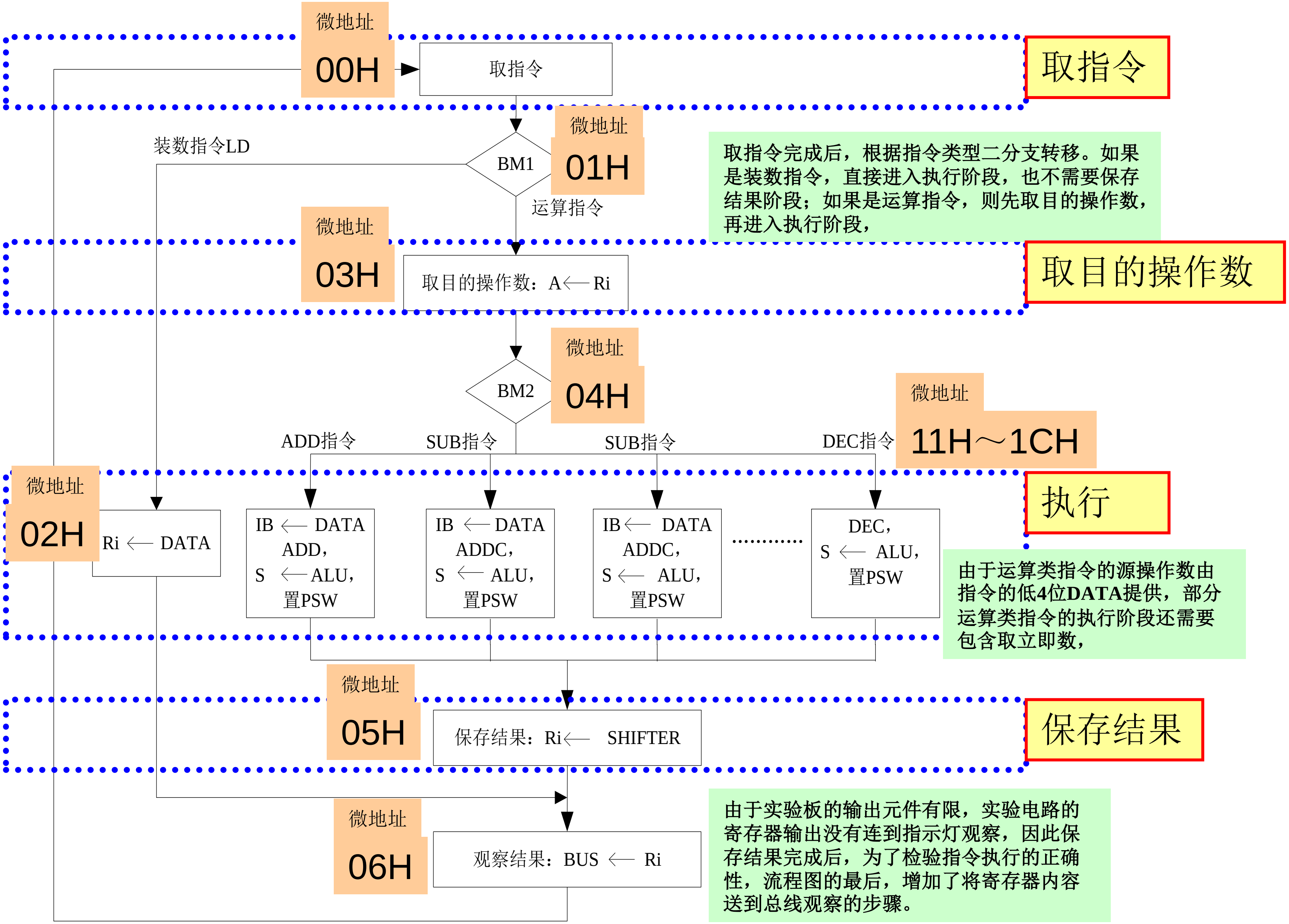
uAG.v

```
begin
 case (BM)
   2'b00: uAGOut = NA;
   2'b01: uAGOut = {NA[5:1], |IR[9:6]};
     2'b10:  uAGOut = {2'b01, IR[9:6]};
     default:   uAGOut = {6'bxxxxxx};
 endcase
end
```

Lab_Top.v

```
//微指令译码
wire GRSce, Ace, PSWce, IRce, NOP1;
wire DATAoe, GRSoe, Soe, NOP2;
assign {DATAoe, Soe, GRSoe, NOP2} = 2**uIR[19:17];
assign {IRce, PSWce,Ace,GRSce,NOP1} = 2**uIR[16:14];
wire [3:0] ALU_OP = uIR[13:10];
wire [1:0] ST_OP = uIR[9:8];
wire [1:0] BM = uIR[7:6];
wire [4:0] NA = uIR[5:0];
```

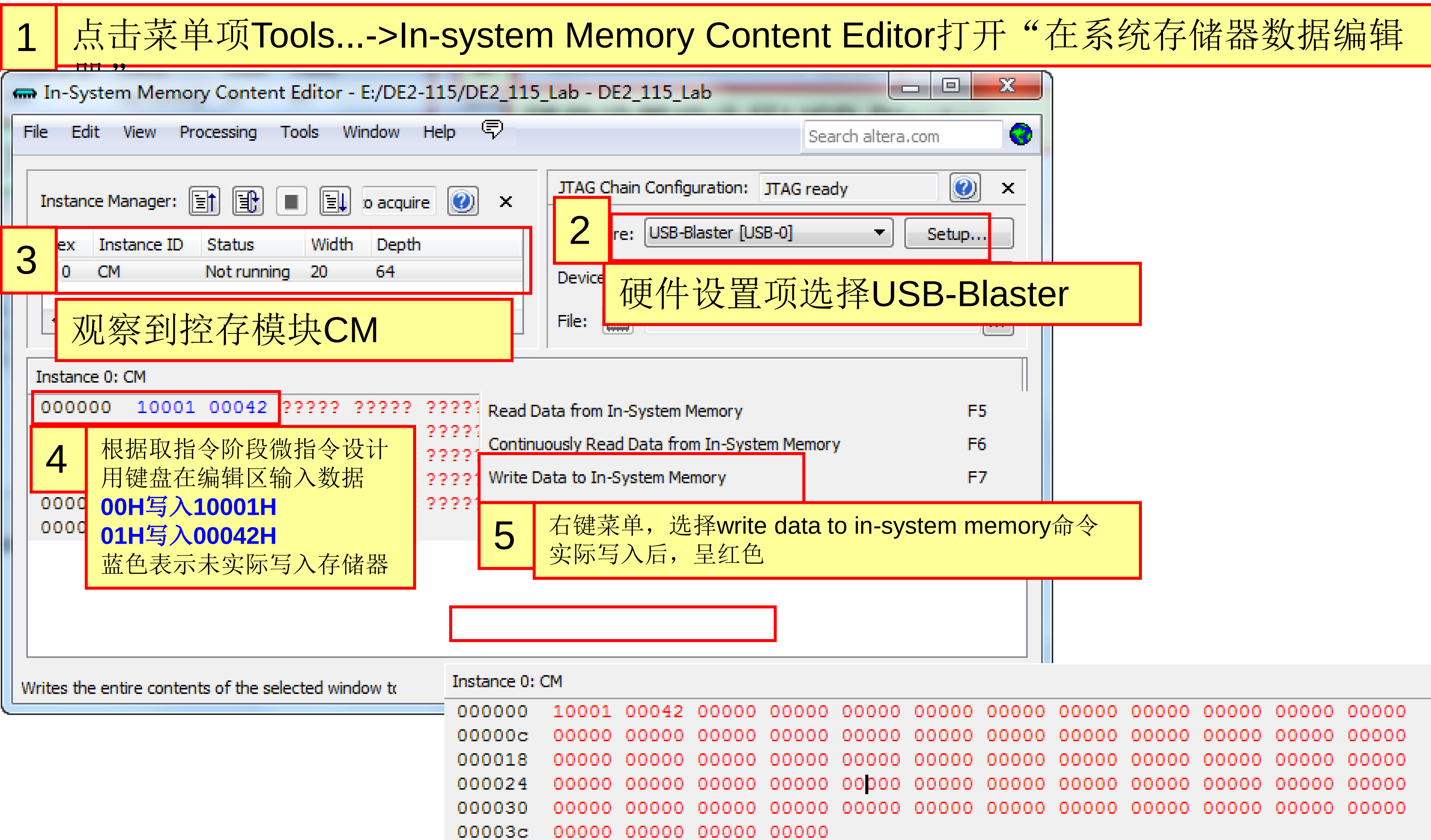
以**ADD**指令执行阶段微指令为例，
微命令为 **DATAoe，ADD，SVce，PSWce**
各字段为：F0 11
F1 011
F2 0001
F3 11
F4 00
F5 000101
微指令为 **11 011 0001 11 00 000101** 即**6C705H**



微地址
00H
取指令
取指令
微地址
01H
BM1
装数指令LD
运算指令
取指令完成后，根据指令类型二分支转移。如果是装数指令，直接进入执行阶段，也不需要保存结果阶段；如果是运算指令，则先取目的操作数，再进入执行阶段，
微地址
03H
取目的操作数：A⟵Ri
取目的操作数
微地址
04H
BM2
微地址
11H～1CH
ADD指令
SUB指令
SUB指令
DEC指令
执行
微地址
02H
Ri ⟵ DATA
IB ⟵ DATA
ADD，
S ⟵ALU，
置PSW
IB ⟵ DATA
ADDC，
S ⟵ ALU，
置PSW
IB⟵ DATA
ADDC，
S ⟵ ALU，
置PSW
…………
DEC，
S ⟵ ALU，
置PSW
由于运算类指令的源操作数由指令的低4位DATA提供，部分运算类指令的执行阶段还需要包含取立即数，
微地址
05H
保存结果：Ri⟵ SHIFTER
保存结果
微地址
06H
观察结果：BUS ⟵ Ri
由于实验板的输出元件有限，实验电路的寄存器输出没有连到指示灯观察，因此保存结果完成后，为了检验指令执行的正确性，流程图的最后，增加了将寄存器内容送到总线观察的步骤。

1. 取指令微程序设计

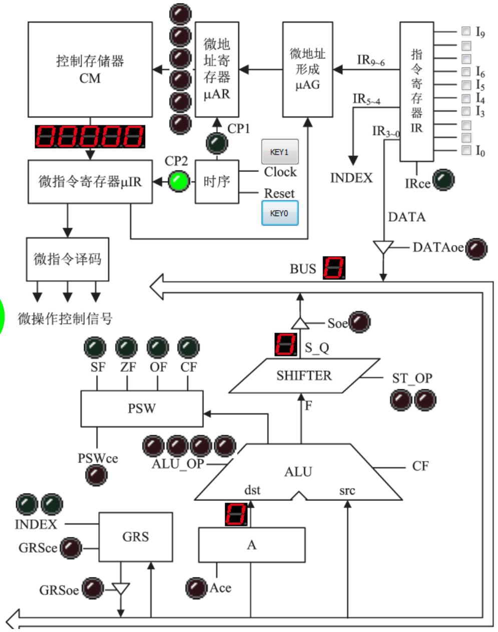
将取指令阶段的微指令写入控存



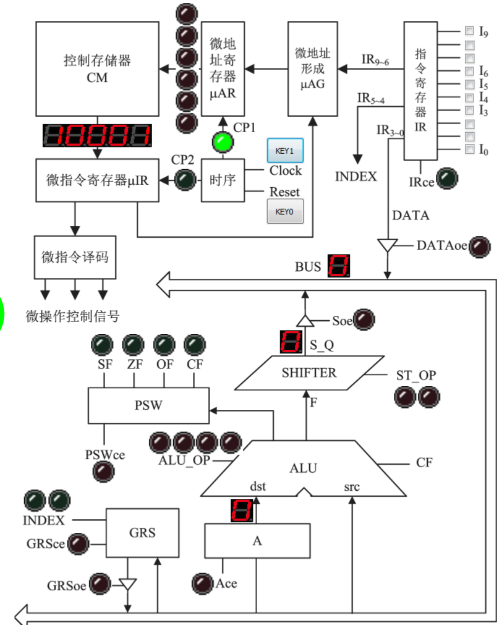
微程序执行结果记录

$IR_{9\sim6}$全0

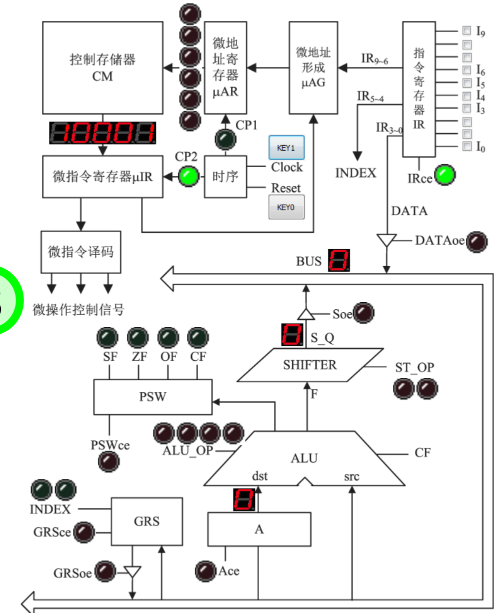
1



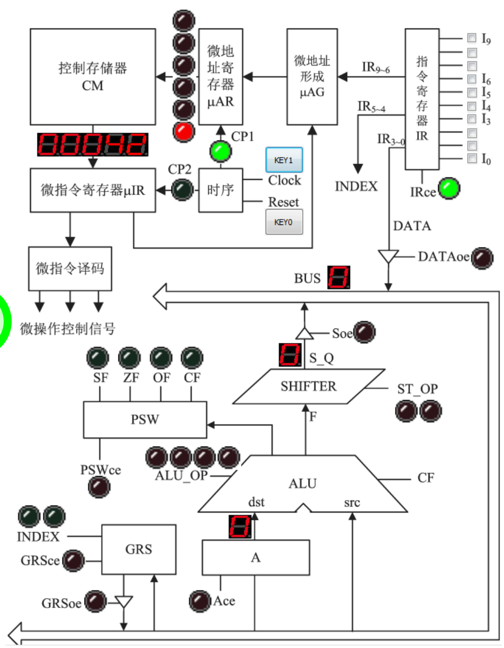
2



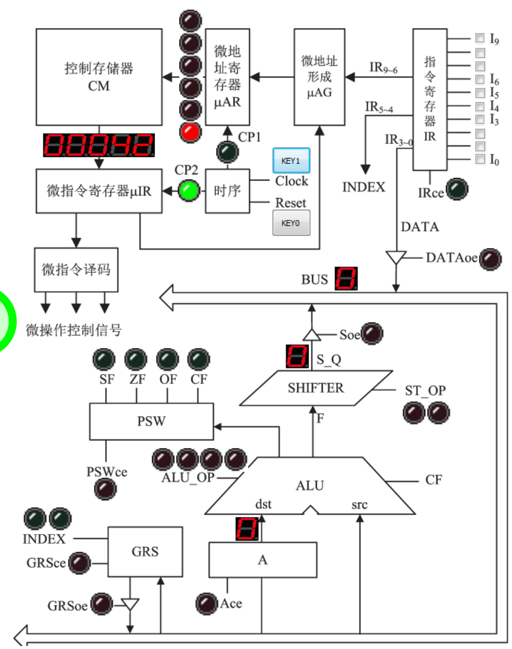
3



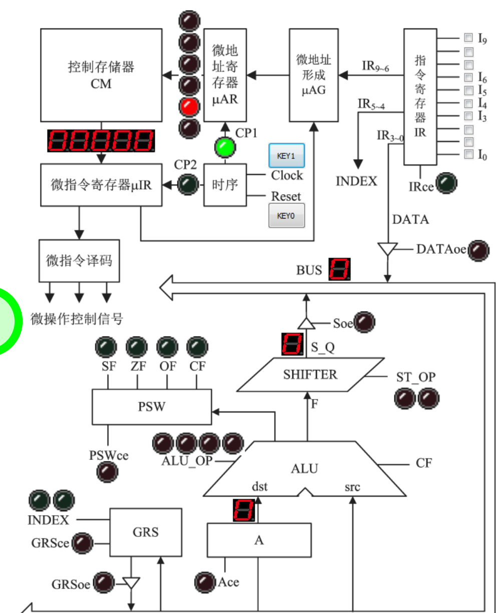
4



5

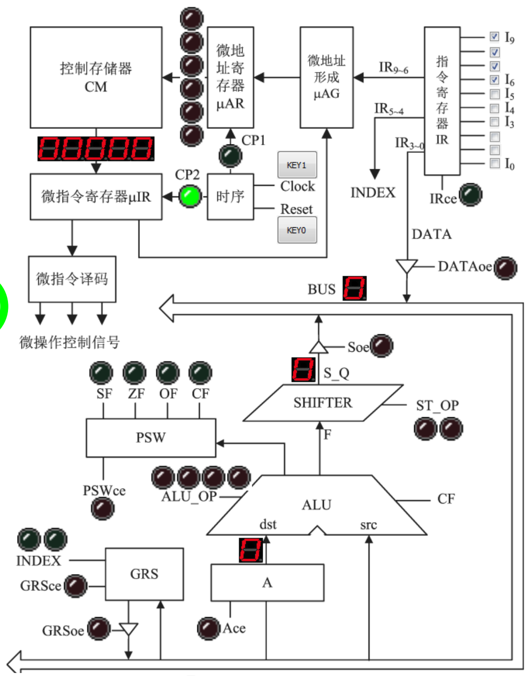


6

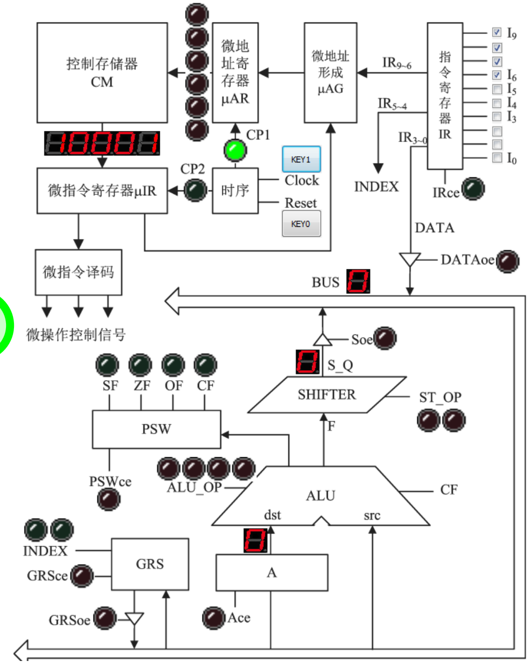


微程序执行结果记录 $IR_{9\sim6}$不全0

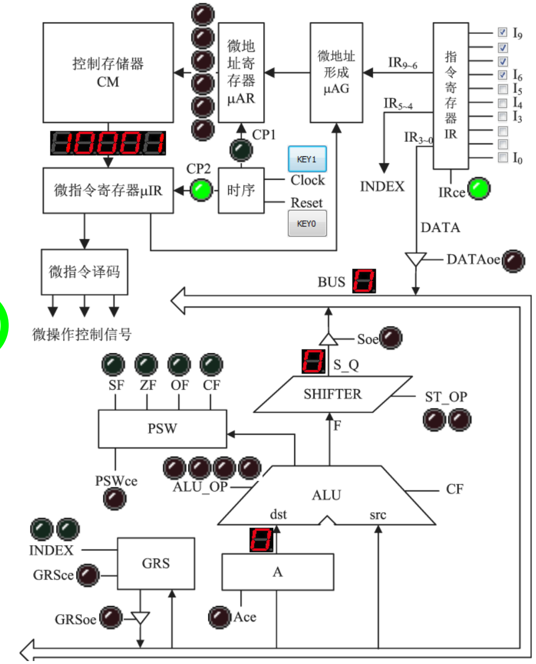
1



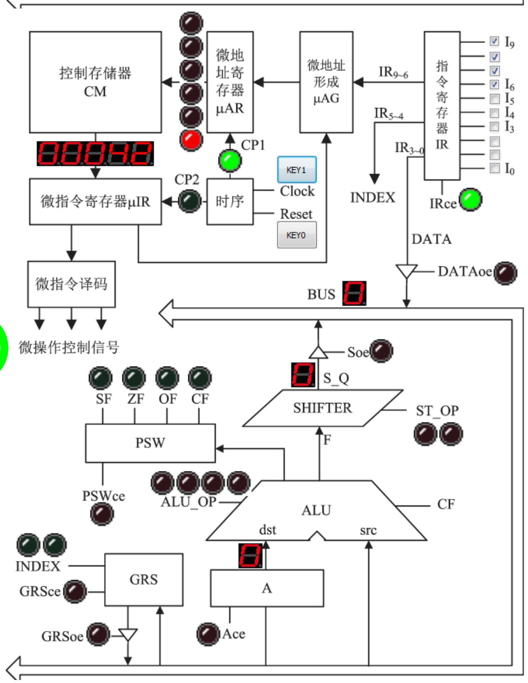
2



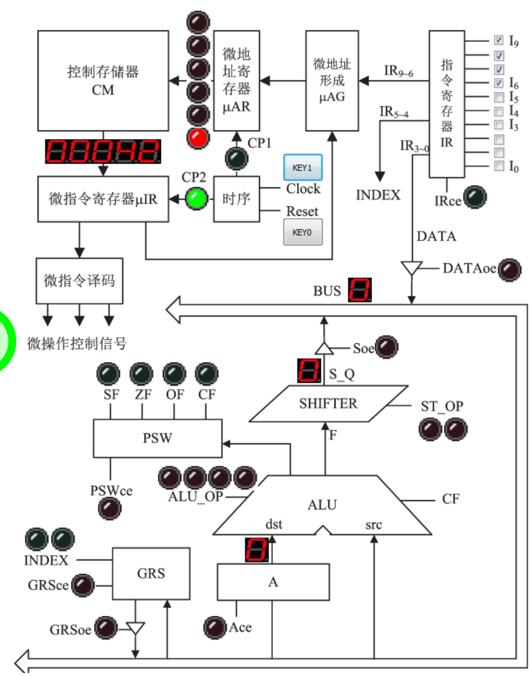
3



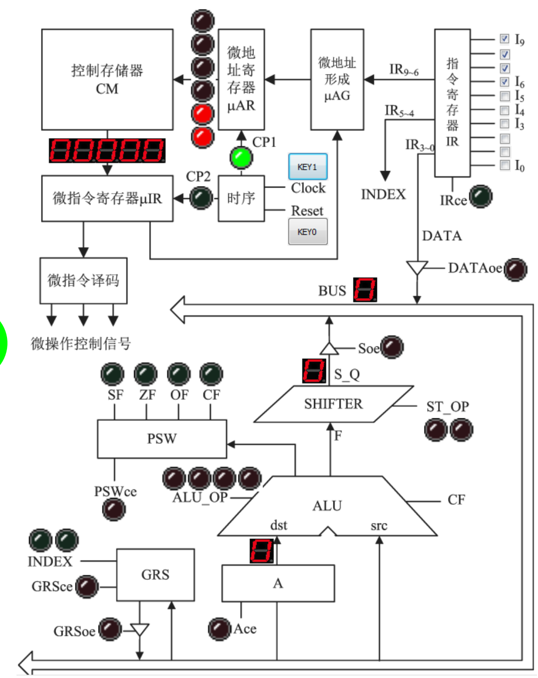
4



5



6

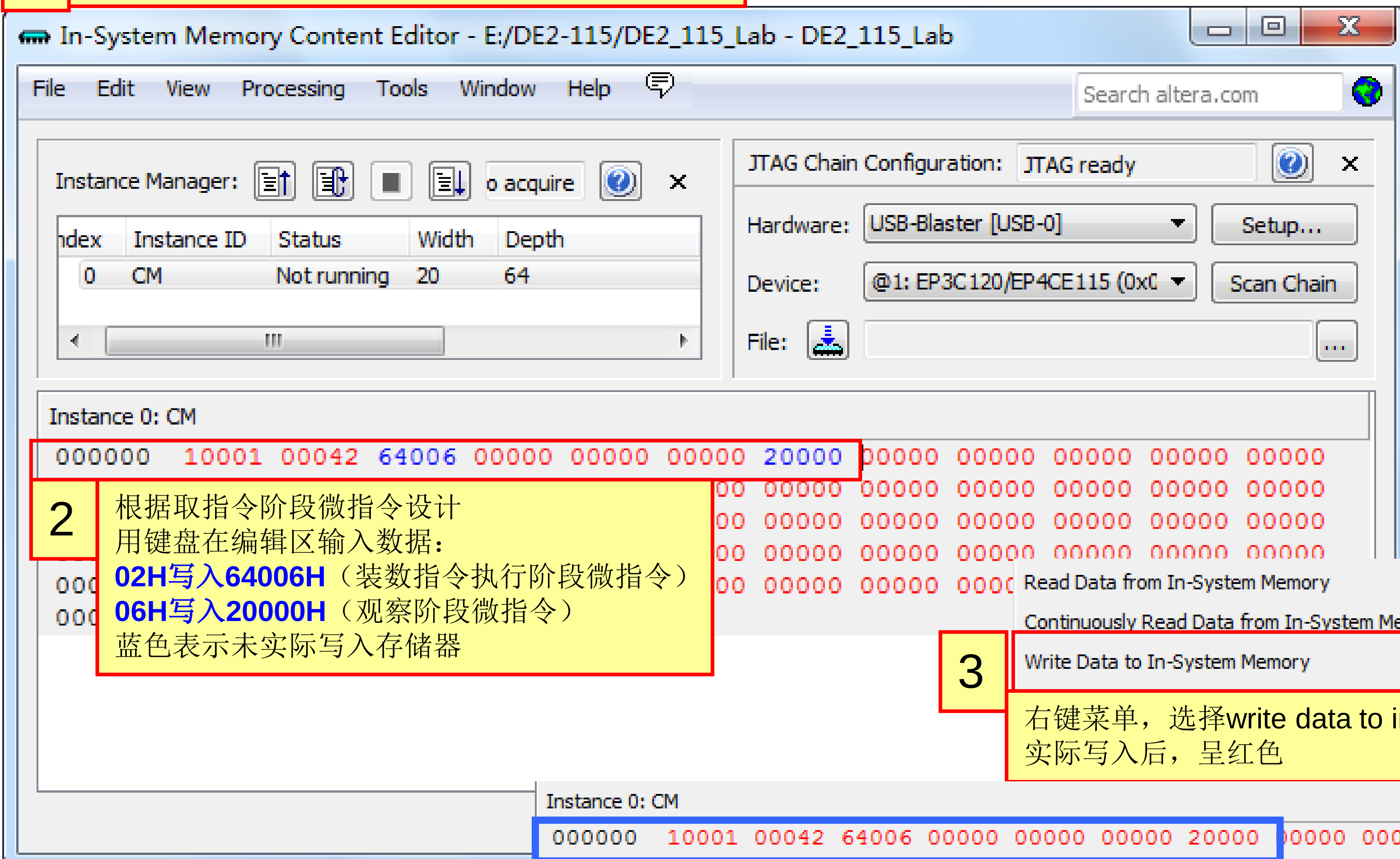


2. LD R1，#0101B

根据指令格式和指令操作码编码，翻译出该指令对应的机器码为：
使用开关将二进制机器码送到指令寄存器IR的数据输入端。

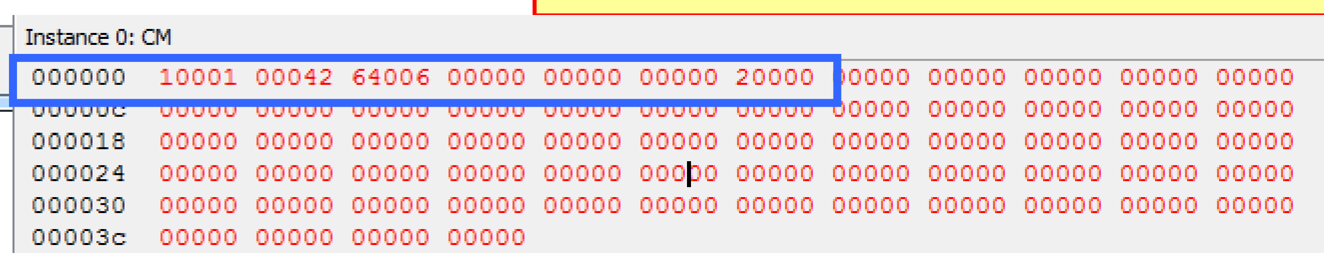
opcode	index	data
0000	01	0101

1 打开“在系统存储器数据编辑器”

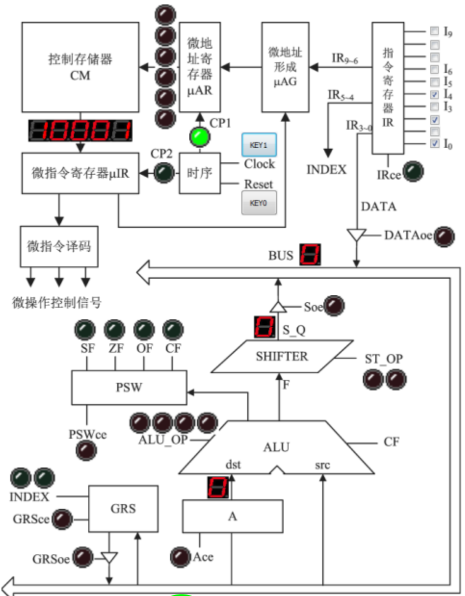


2 根据取指令阶段微指令设计
用键盘在编辑区输入数据：
02H写入64006H（装数指令执行阶段微指令）
06H写入20000H（观察阶段微指令）
蓝色表示未实际写入存储器

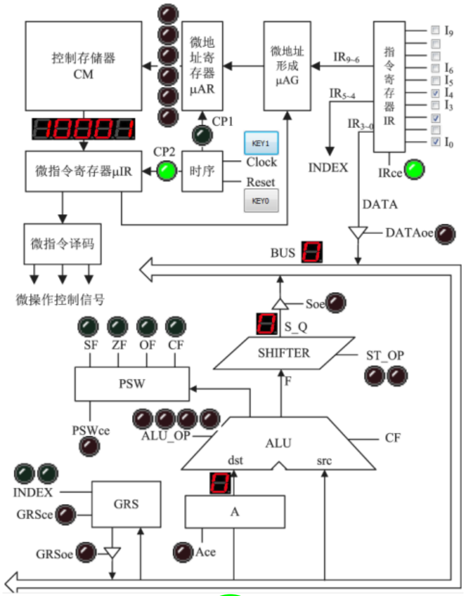
3 右键菜单，选择write data to in-system memory命令
实际写入后，呈红色



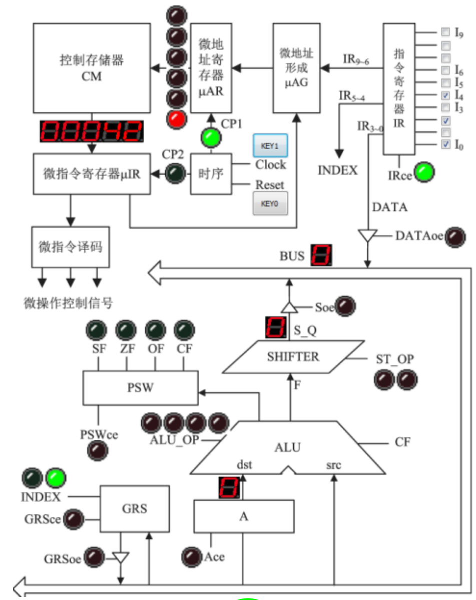
微程序执行结果记录



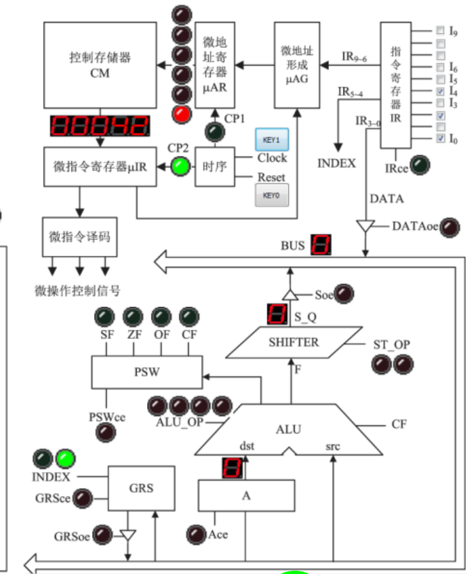
1



2

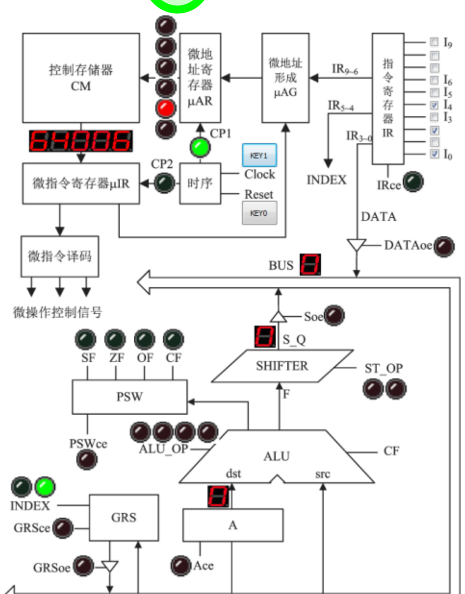


3

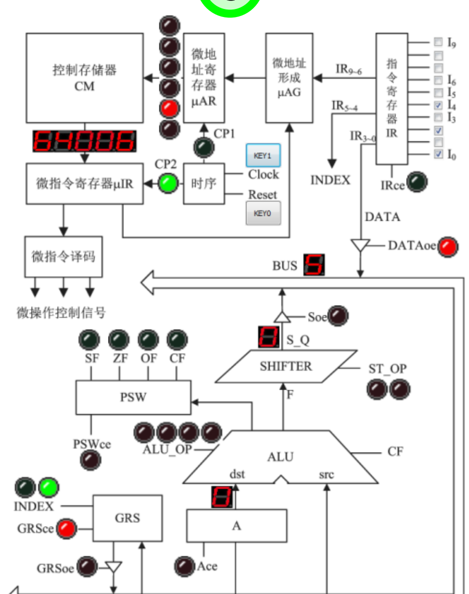


4

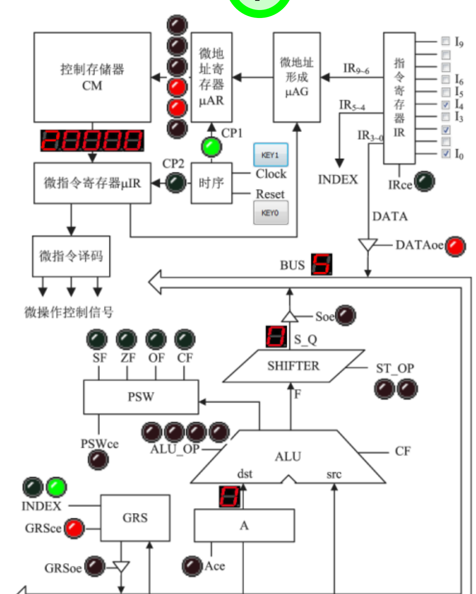
5



6



7



8