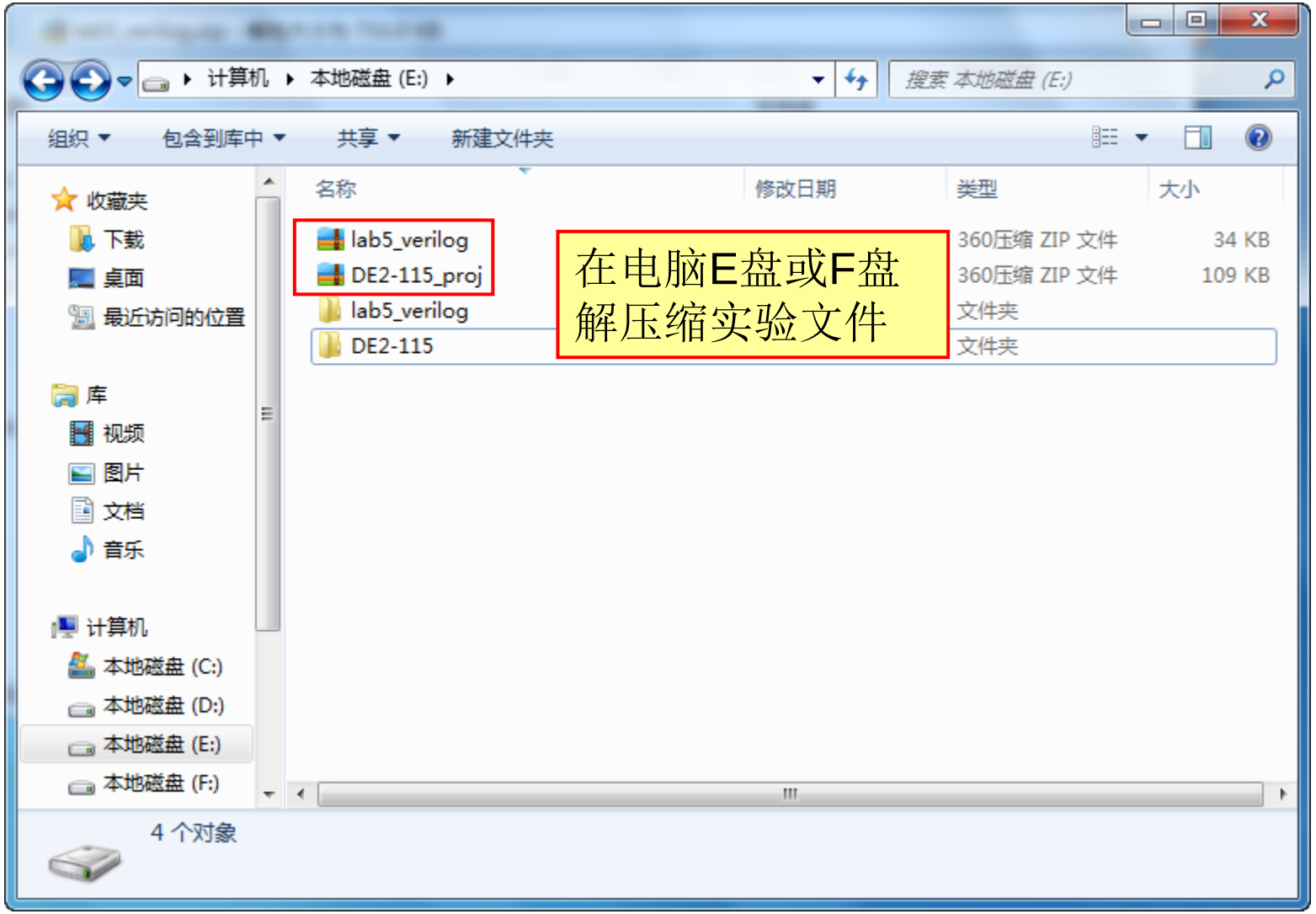
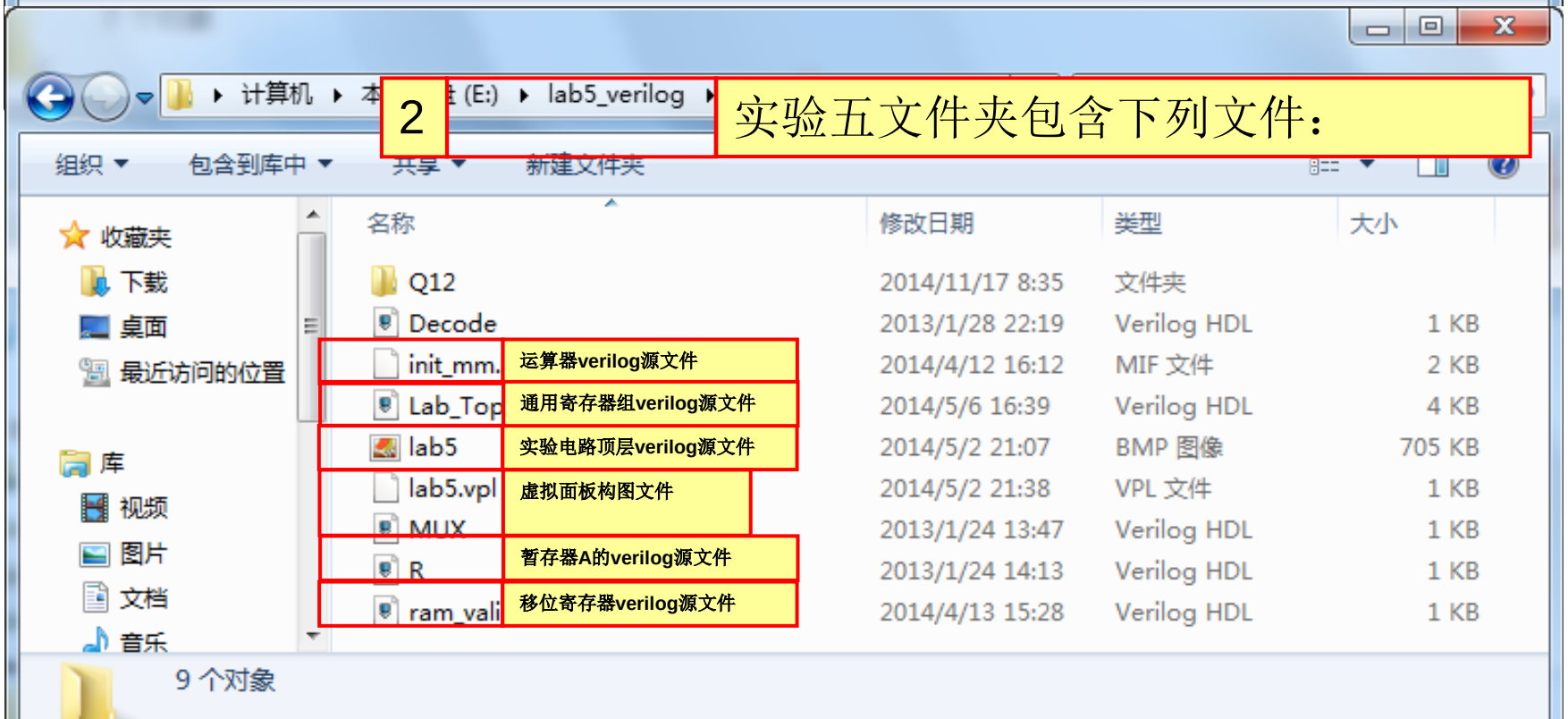
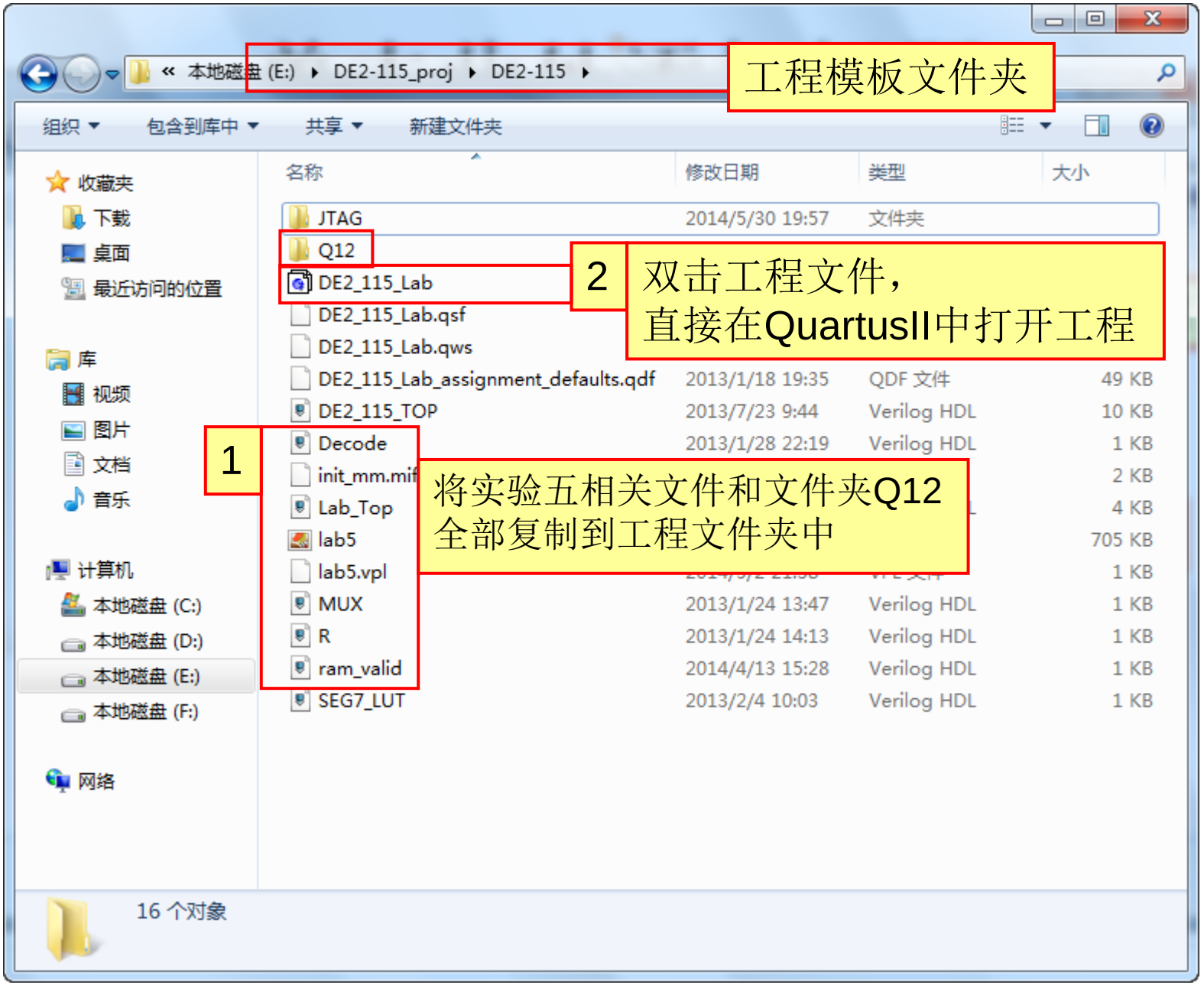
实验 高速缓冲存储器

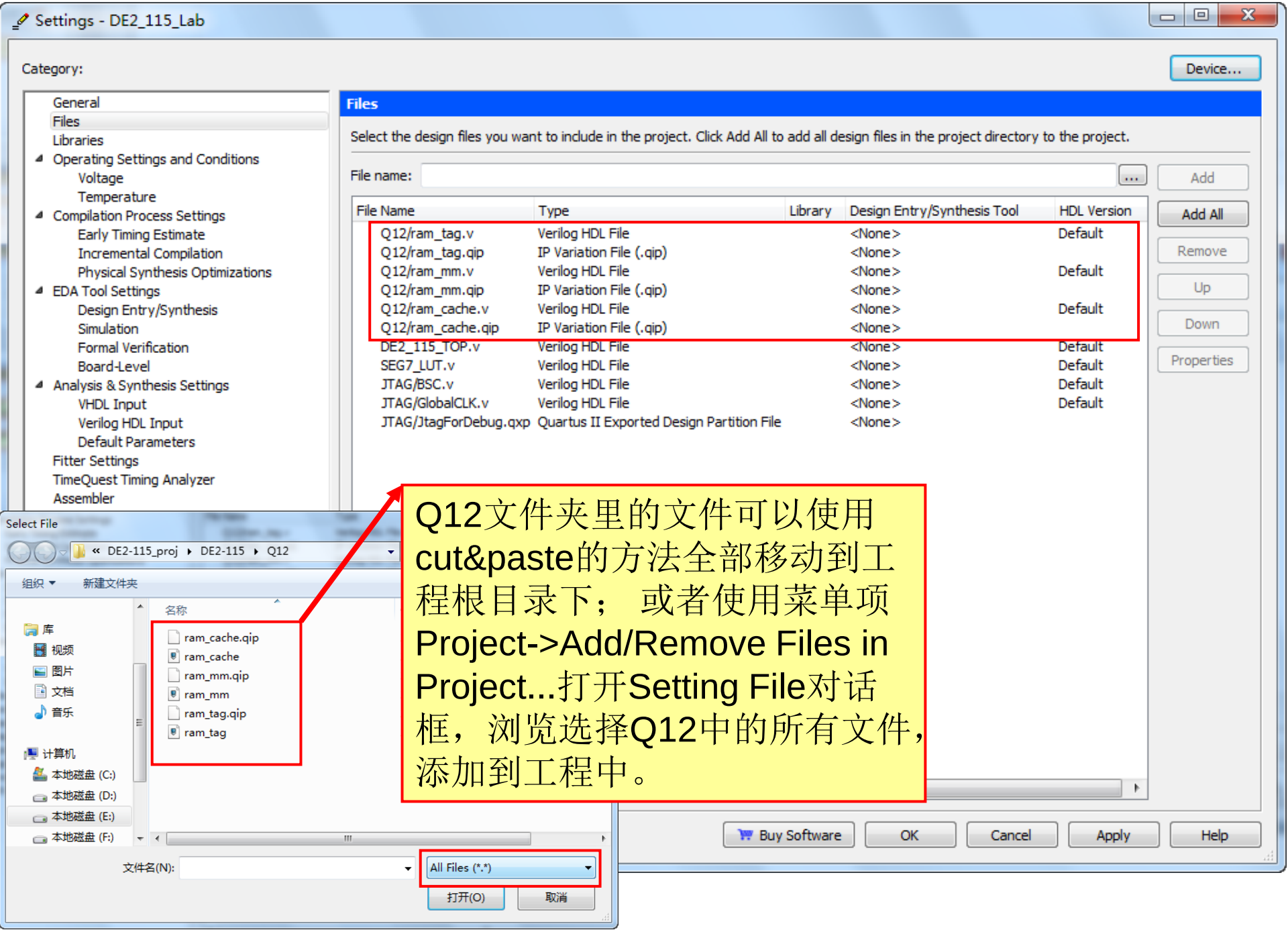
- 理解高速缓存的结构和原理
- 掌握直接映像方式的地址变换过程
- 熟悉访问和转换过程

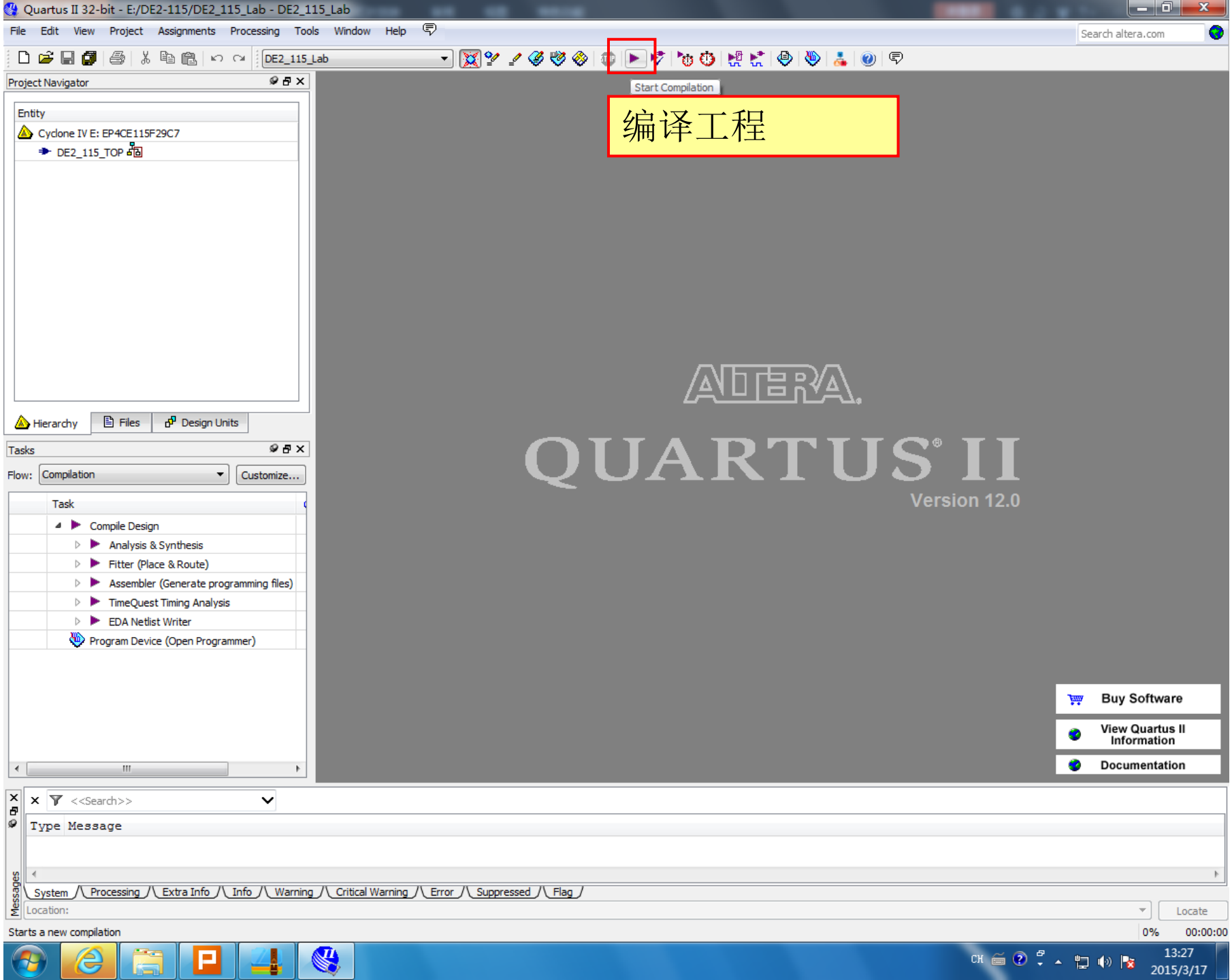

计算机 ▸ 本地磁盘 (E:) ▸
搜索 本地磁盘 (E:)
组织
包含到库中
共享
新建文件夹
收藏夹
下载
桌面
最近访问的位置
库
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
名称
修改日期
类型
大小
lab5_verilog
360压缩 ZIP 文件
34 KB
DE2-115_proj
360压缩 ZIP 文件
109 KB
lab5_verilog
文件夹
DE2-115
文件夹
在电脑E盘或F盘
解压缩实验文件
4 个对象

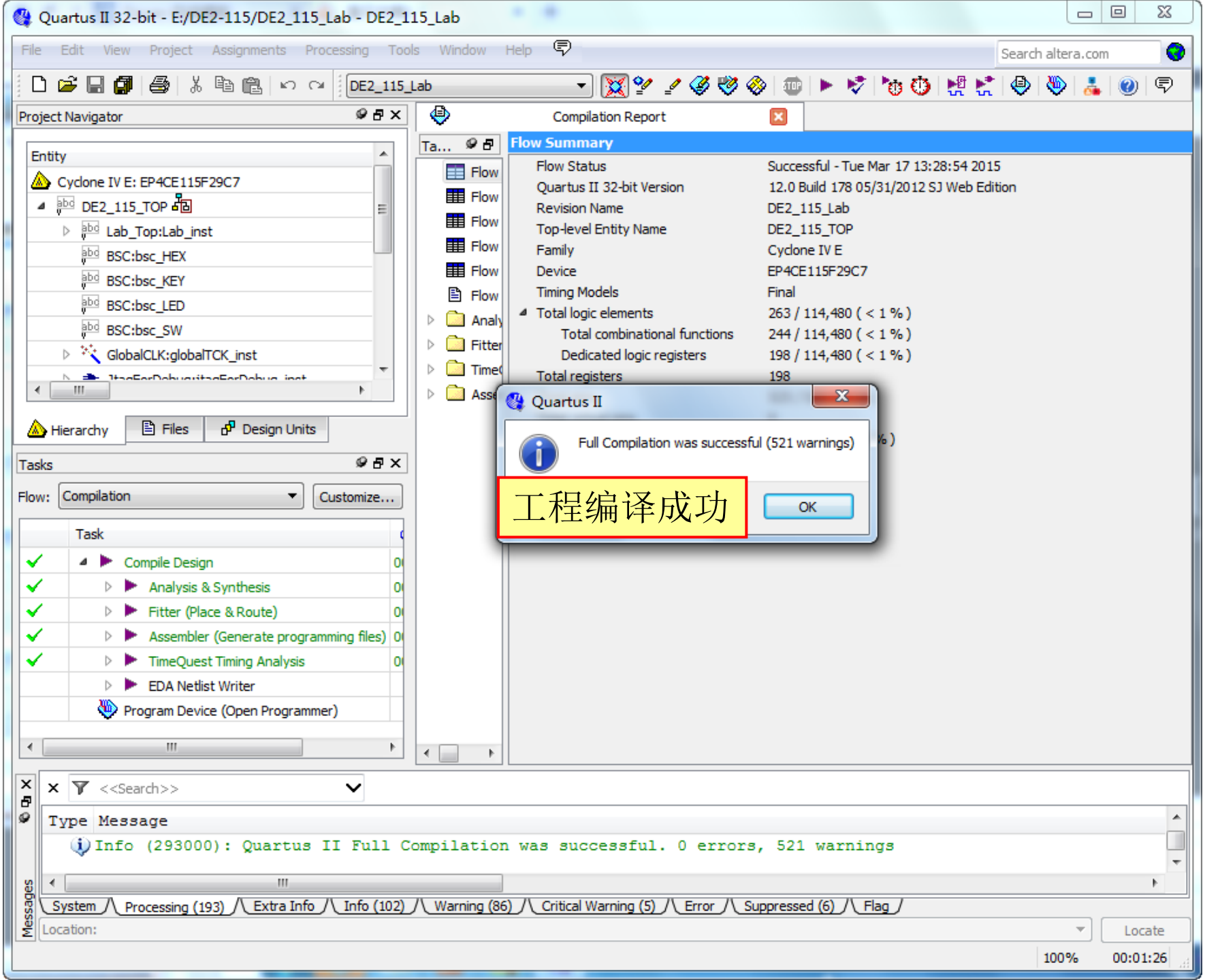

1
工程模板文件夹包含下列文件：
计算机 ▸ 本 (E:) ▸ DE2-115 ▸
组织 包含到库中 共享 新建文件夹
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
名称 修改日期 类型 大小
JTAG 实验板与调试软件虚拟实验板信息传递的扫描电路源文件
DE2_115_Lab 工程文件 2013/1/18 19:36 QPF 文件 2 KB
DE2_115_Lab.qsf 工程配置文件 2014/11/24 14:42 QSF 文件 69 KB
DE2_115_Lab.qws 2014/11/24 14:42 QWS 文件 1 KB
DE2_115_Lab_assignment_defaults.qdf 工程默认设置文件 F 文件 49 KB
DE2_115_TOP 工程顶层文件 2013/7/23 9:44 Verilog HDL 10 KB
SEG7_LUT 数码管七段译码源文件 2013/2/4 10:03 Verilog HDL 1 KB

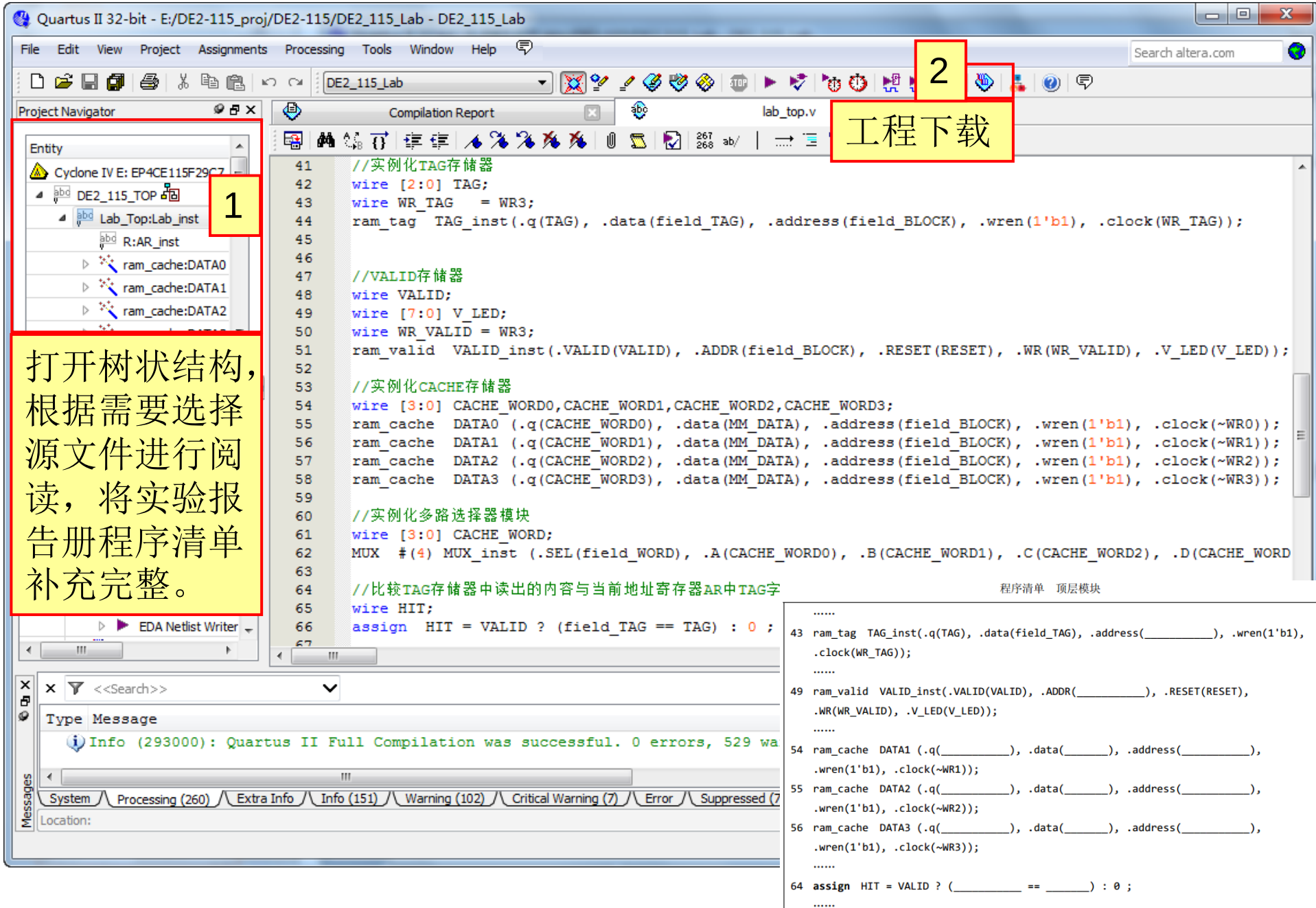

2
实验五文件夹包含下列文件：
计算机 ▸ 本 (E:) ▸ lab5_verilog ▸
组织 包含到库中 共享 新建文件夹
收藏夹
下载
桌面
最近访问的位置
库
视频
图片
文档
音乐
名称 修改日期 类型 大小
Q12 2014/11/17 8:35 文件夹
Decode 2013/1/28 22:19 Verilog HDL 1 KB
init_mm. 运算器verilog源文件 2014/4/12 16:12 MIF 文件 2 KB
Lab_Top 通用寄存器组verilog源文件 2014/5/6 16:39 Verilog HDL 4 KB
lab5 实验电路顶层verilog源文件 2014/5/2 21:07 BMP 图像 705 KB
lab5.vpl 虚拟面板构图文件 2014/5/2 21:38 VPL 文件 1 KB
MUX 2013/1/24 13:47 Verilog HDL 1 KB
R 暂存器A的verilog源文件 2013/1/24 14:13 Verilog HDL 1 KB
ram_vali 移位寄存器verilog源文件 2014/4/13 15:28 Verilog HDL 1 KB
9 个对象

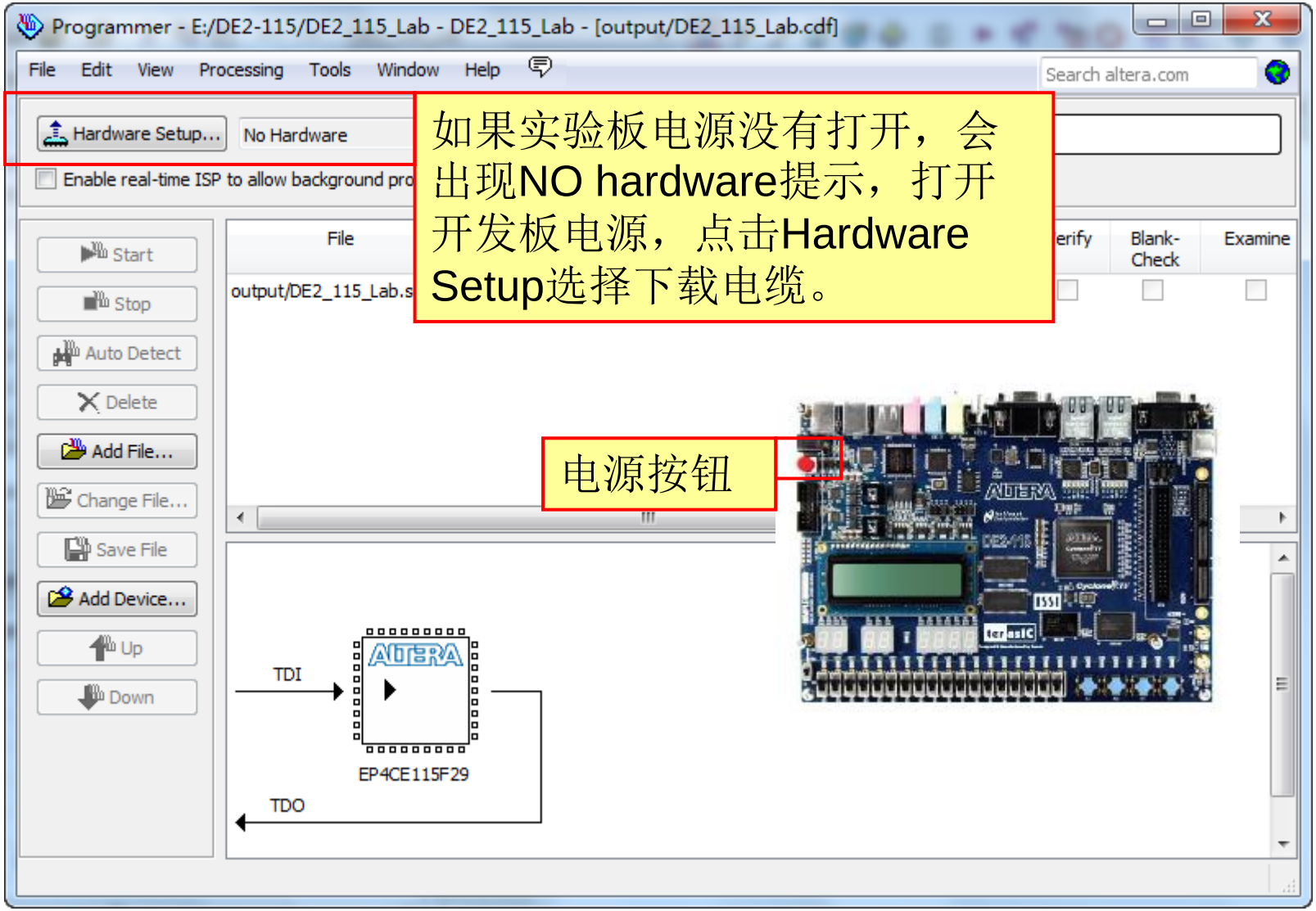

« 本地磁盘 (E:) ▸ DE2-115_proj ▸ DE2-115 ▸
工程模板文件夹
组织
包含到库中
共享
新建文件夹
收藏夹
下载
桌面
最近访问的位置
库
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
网络
名称
修改日期
类型
大小
JTAG 2014/5/30 19:57 文件夹
Q12
DE2_115_Lab
DE2_115_Lab.qsf
DE2_115_Lab.qws
DE2_115_Lab_assignment_defaults.qdf 2013/1/18 19:35 QDF 文件 49 KB
DE2_115_TOP 2013/7/23 9:44 Verilog HDL 10 KB
Decode 2013/1/28 22:19 Verilog HDL 1 KB
init_mm.mif 2 KB
Lab_Top 4 KB
lab5 705 KB
lab5.vpl 1 KB
MUX 2013/1/24 13:47 Verilog HDL 1 KB
R 2013/1/24 14:13 Verilog HDL 1 KB
ram_valid 2014/4/13 15:28 Verilog HDL 1 KB
SEG7_LUT 2013/2/4 10:03 Verilog HDL 1 KB
2
双击工程文件，
直接在QuartusII中打开工程
1
将实验五相关文件和文件夹Q12
全部复制到工程文件夹中
16 个对象

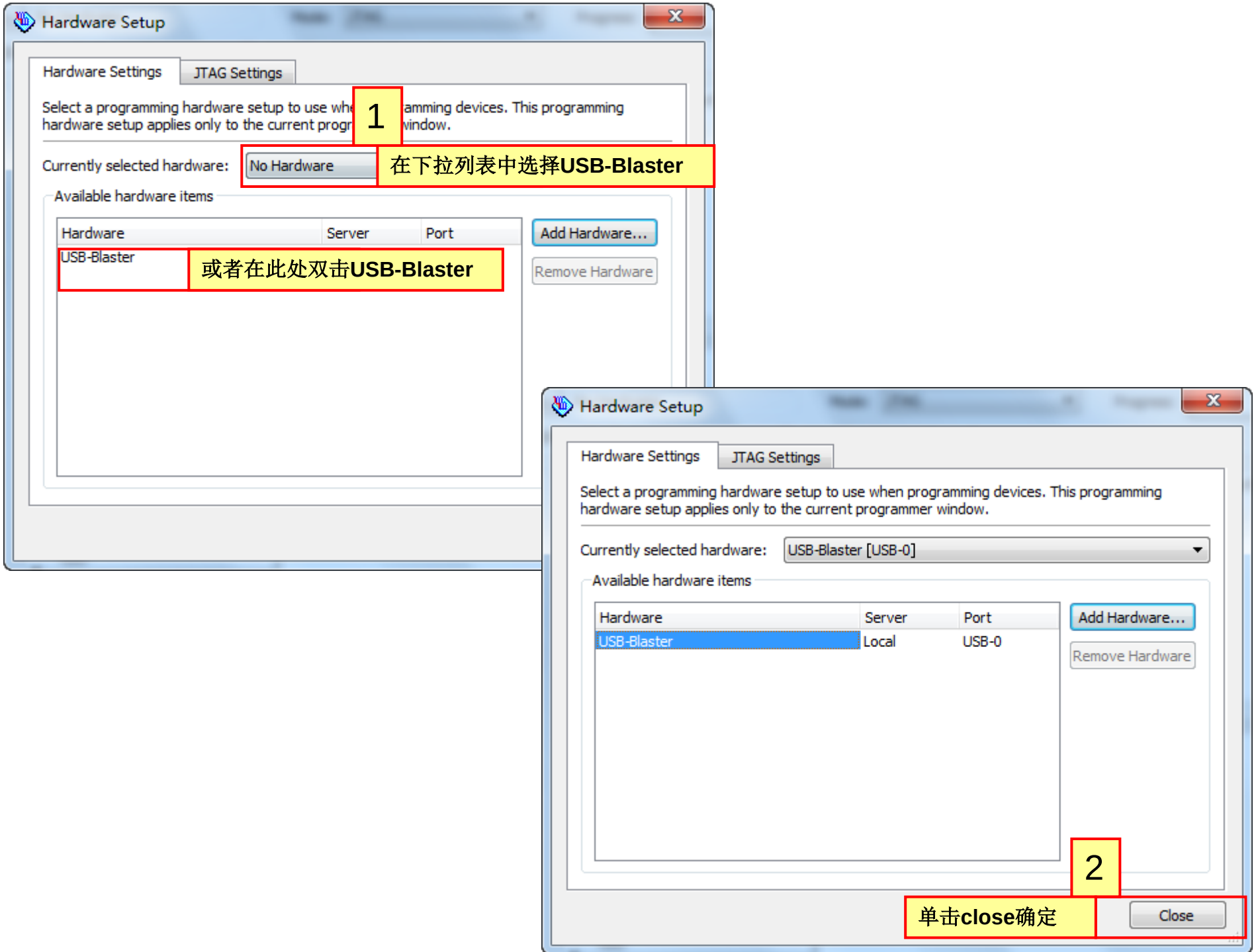

Settings - DE2_115_Lab
Category:
Device...
General
Files
Libraries
Operating Settings and Conditions
Voltage
Temperature
Compilation Process Settings
Early Timing Estimate
Incremental Compilation
Physical Synthesis Optimizations
EDA Tool Settings
Design Entry/Synthesis
Simulation
Formal Verification
Board-Level
Analysis & Synthesis Settings
VHDL Input
Verilog HDL Input
Default Parameters
Fitter Settings
TimeQuest Timing Analyzer
Assembler
Files
Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.
File name:
Add
Add All
Remove
Up
Down
Properties
File Name
Type
Library
Design Entry/Synthesis Tool
HDL Version
Q12/ram_tag.v
Verilog HDL File
<None>
Default
Q12/ram_tag.qip
IP Variation File (.qip)
<None>
Q12/ram_mm.v
Verilog HDL File
<None>
Default
Q12/ram_mm.qip
IP Variation File (.qip)
<None>
Q12/ram_cache.v
Verilog HDL File
<None>
Default
Q12/ram_cache.qip
IP Variation File (.qip)
<None>
DE2_115_TOP.v
Verilog HDL File
<None>
Default
SEG7_LUT.v
Verilog HDL File
<None>
Default
JTAG/BSC.v
Verilog HDL File
<None>
Default
JTAG/GlobalCLK.v
Verilog HDL File
<None>
Default
JTAG/JtagForDebug.qxp
Quartus II Exported Design Partition File
<None>
Buy Software
OK
Cancel
Apply
Help
Select File
« DE2-115_proj ▸ DE2-115 ▸ Q12
组织
新建文件夹
名称
ram_cache.qip
ram_cache
ram_mm.qip
ram_mm
ram_tag.qip
ram_tag
库
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
本地磁盘 (F:)
文件名(N):
All Files (*.*)
打开(O)
取消
Q12文件夹里的文件可以使用cut&paste的方法全部移动到工程根目录下； 或者使用菜单项Project->Add/Remove Files in Project...打开Setting File对话框，浏览选择Q12中的所有文件，添加到工程中。

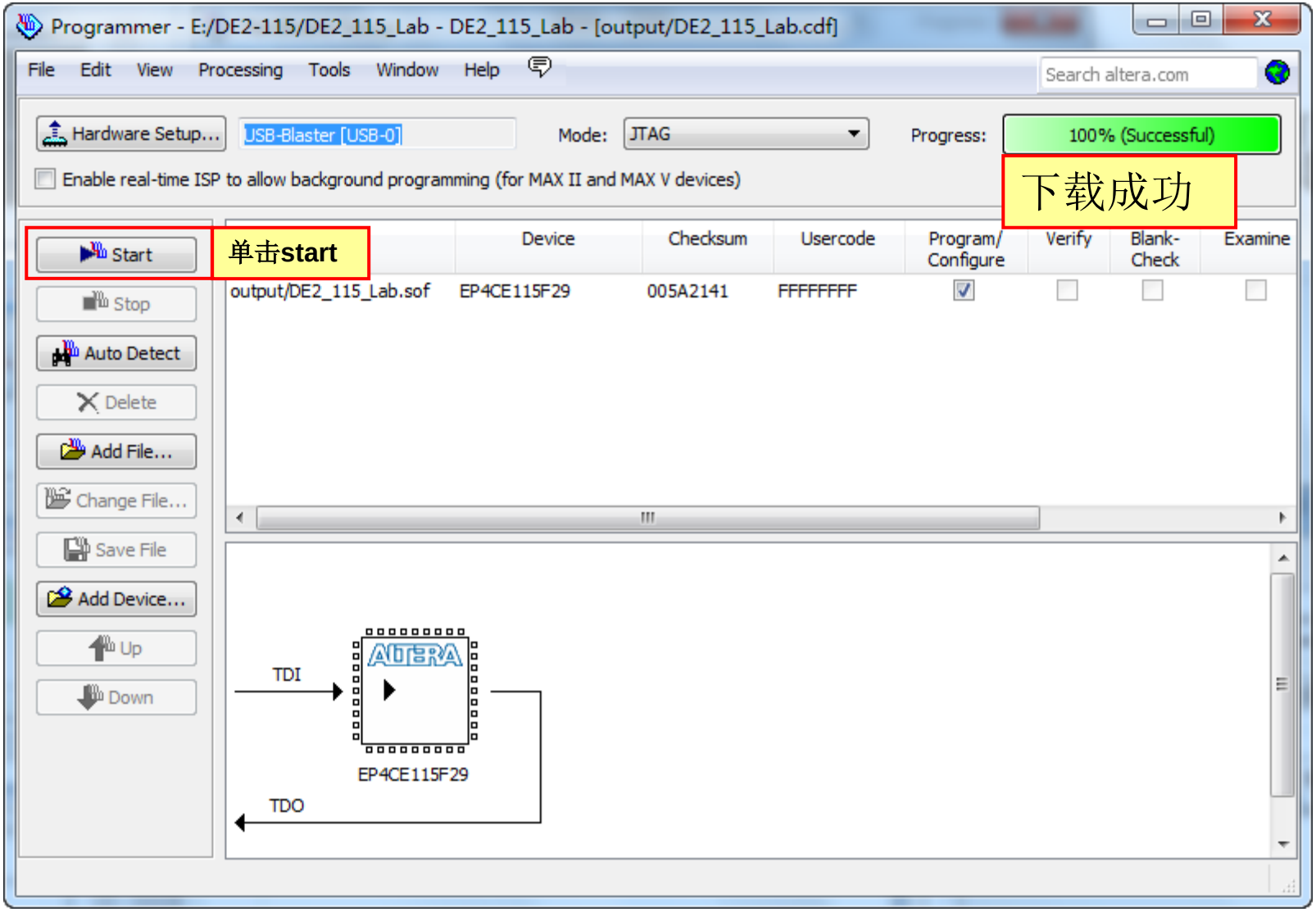

Quartus II 32-bit - E:/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Project Assignments Processing Tools Window Help
Search altera.com
DE2_115_Lab
Start Compilation
编译工程
Project Navigator
Entity
Cyclone IV E: EP4CE115F29C7
DE2_115_TOP
Hierarchy Files Design Units
Tasks
Flow: Compilation
Customize...
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programming files)
TimeQuest Timing Analysis
EDA Netlist Writer
Program Device (Open Programmer)
ALTERA
QUARTUS II
Version 12.0
Buy Software
View Quartus II Information
Documentation
<<Search>>
Type Message
System Processing Extra Info Info Warning Critical Warning Error Suppressed Flag
Location:
Locate
Starts a new compilation
0% 00:00:00
CH
13:27
2015/3/17

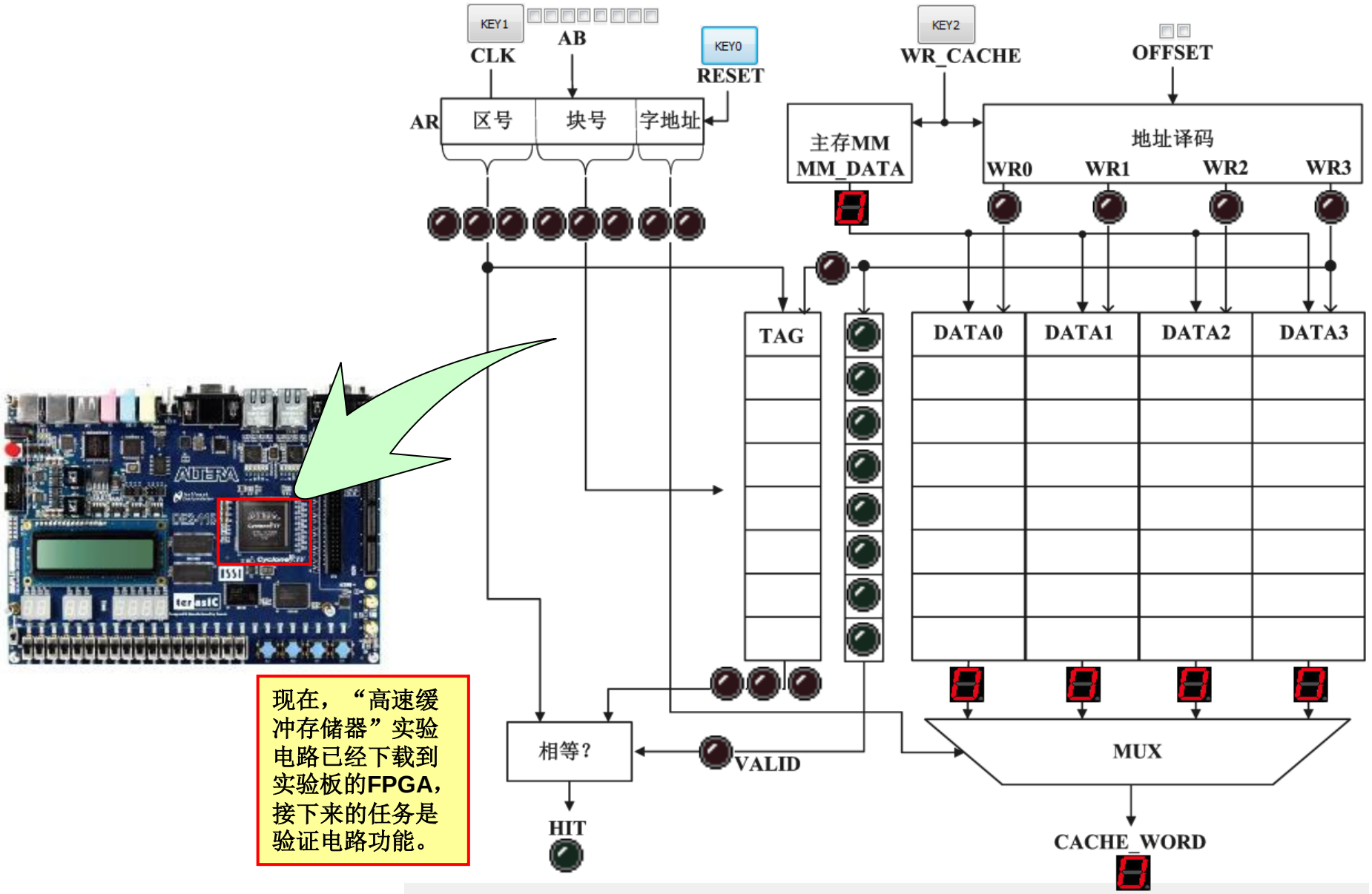

Quartus II 32-bit - E:/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Project Assignments Processing Tools Window Help
Search altera.com
DE2_115_Lab
Project Navigator
Entity
Cyclone IV E: EP4CE115F29C7
DE2_115_TOP
Lab_Top:Lab_inst
BSC:bsc_HEX
BSC:bsc_KEY
BSC:bsc_LED
BSC:bsc_SW
GlobalCLK:globalTCK_inst
Hierarchy
Files
Design Units
Tasks
Flow: Compilation
Customize...
Task
Compile Design
Analysis & Synthesis
Fitter (Place & Route)
Assembler (Generate programming files)
TimeQuest Timing Analysis
EDA Netlist Writer
Program Device (Open Programmer)
Compilation Report
Flow Summary
Flow Status Successful - Tue Mar 17 13:28:54 2015
Quartus II 32-bit Version 12.0 Build 178 05/31/2012 SJ Web Edition
Revision Name DE2_115_Lab
Top-level Entity Name DE2_115_TOP
Family Cyclone IV E
Device EP4CE115F29C7
Timing Models Final
Total logic elements 263 / 114,480 (< 1 %)
Total combinational functions 244 / 114,480 (< 1 %)
Dedicated logic registers 198 / 114,480 (< 1 %)
Total registers 198
Quartus II
Full Compilation was successful (521 warnings)
OK
工程编译成功
<<Search>>
Type Message
Info (293000): Quartus II Full Compilation was successful. 0 errors, 521 warnings
System Processing (193) Extra Info Info (102) Warning (86) Critical Warning (5) Error Suppressed (6) Flag
Location:
Locate
Messages
100%
00:01:26


Quartus II 32-bit - E:/DE2-115_proj/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Project Assignments Processing Tools Window Help
Search altera.com
DE2_115_Lab
2
工程下载
Project Navigator
Compilation Report
lab_top.v
Entity
Cyclone IV E: EP4CE115F29C7
DE2_115_TOP
Lab_Top:Lab_inst
R:AR_inst
ram_cache:DATA0
ram_cache:DATA1
ram_cache:DATA2
1
打开树状结构，根据需要选择源文件进行阅读，将实验报告册程序清单补充完整。
EDA Netlist Writer
41 //实例化TAG存储器
42 wire [2:0] TAG;
43 wire WR_TAG = WR3;
44 ram_tag TAG_inst(.q(TAG), .data(field_TAG), .address(field_BLOCK), .wren(1'b1), .clock(WR_TAG));
45
46
47 //VALID存储器
48 wire VALID;
49 wire [7:0] V_LED;
50 wire WR_VALID = WR3;
51 ram_valid VALID_inst(.VALID(VALID), .ADDR(field_BLOCK), .RESET(RESET), .WR(WR_VALID), .V_LED(V_LED));
52
53 //实例化CACHE存储器
54 wire [3:0] CACHE_WORD0,CACHE_WORD1,CACHE_WORD2,CACHE_WORD3;
55 ram_cache DATA0 (.q(CACHE_WORD0), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR0));
56 ram_cache DATA1 (.q(CACHE_WORD1), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR1));
57 ram_cache DATA2 (.q(CACHE_WORD2), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR2));
58 ram_cache DATA3 (.q(CACHE_WORD3), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR3));
59
60 //实例化多路选择器模块
61 wire [3:0] CACHE_WORD;
62 MUX #(4) MUX_inst (.SEL(field_WORD), .A(CACHE_WORD0), .B(CACHE_WORD1), .C(CACHE_WORD2), .D(CACHE_WORD
63
64 //比较TAG存储器中读出的内容与当前地址寄存器AR中TAG字
65 wire HIT;
66 assign HIT = VALID ? (field_TAG == TAG) : 0 ;
<<Search>>
Type Message
Info (293000): Quartus II Full Compilation was successful. 0 errors, 529 wa
System Processing (260) Extra Info Info (151) Warning (102) Critical Warning (7) Error Suppressed (7
Location:
Messages
程序清单 顶层模块
.....
43 ram_tag TAG_inst(.q(TAG), .data(field_TAG), .address(_____), .wren(1'b1),
.clock(WR_TAG));
.....
49 ram_valid VALID_inst(.VALID(VALID), .ADDR(_____), .RESET(RESET),
.WR(WR_VALID), .V_LED(V_LED));
.....
54 ram_cache DATA1 (.q(_____), .data(_____), .address(_____),
.wren(1'b1), .clock(~WR1));
55 ram_cache DATA2 (.q(_____), .data(_____), .address(_____),
.wren(1'b1), .clock(~WR2));
56 ram_cache DATA3 (.q(_____), .data(_____), .address(_____),
.wren(1'b1), .clock(~WR3));
.....
64 assign HIT = VALID ? (_____ == _____) : 0 ;
.....

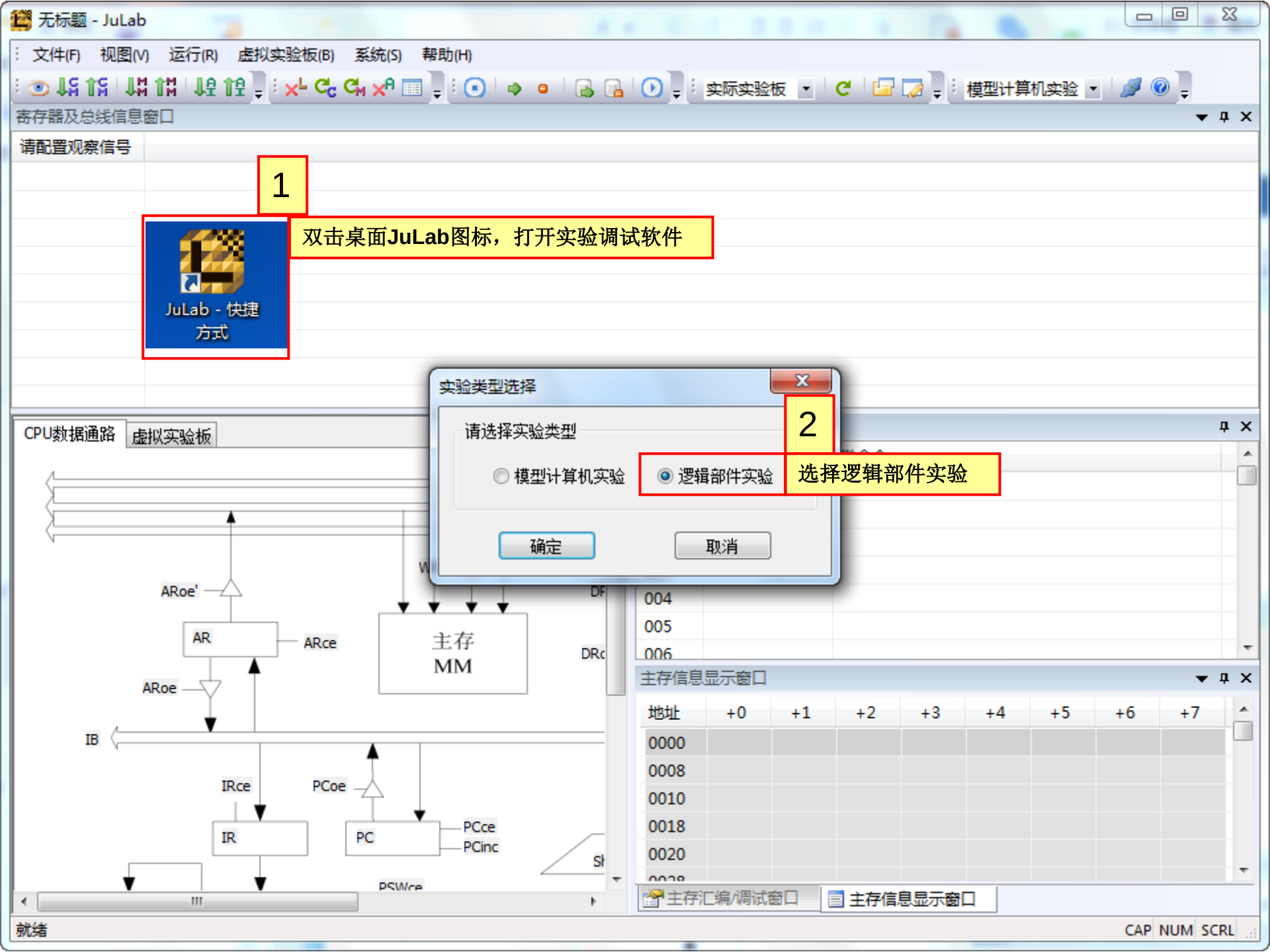

Programmer - E:/DE2-115/DE2_115_Lab - DE2_115_Lab - [output/DE2_115_Lab.cdf]
File Edit View Processing Tools Window Help
Search altera.com
Hardware Setup...
No Hardware
Enable real-time ISP to allow background pro
Start
Stop
Auto Detect
Delete
Add File...
Change File...
Save File
Add Device...
Up
Down
File
Blank-Check
Examine
output/DE2_115_Lab.s
如果实验板电源没有打开，会出现NO hardware提示，打开开发板电源，点击Hardware Setup选择下载电缆。
电源按钮
TDI
EP4CE115F29
TDO

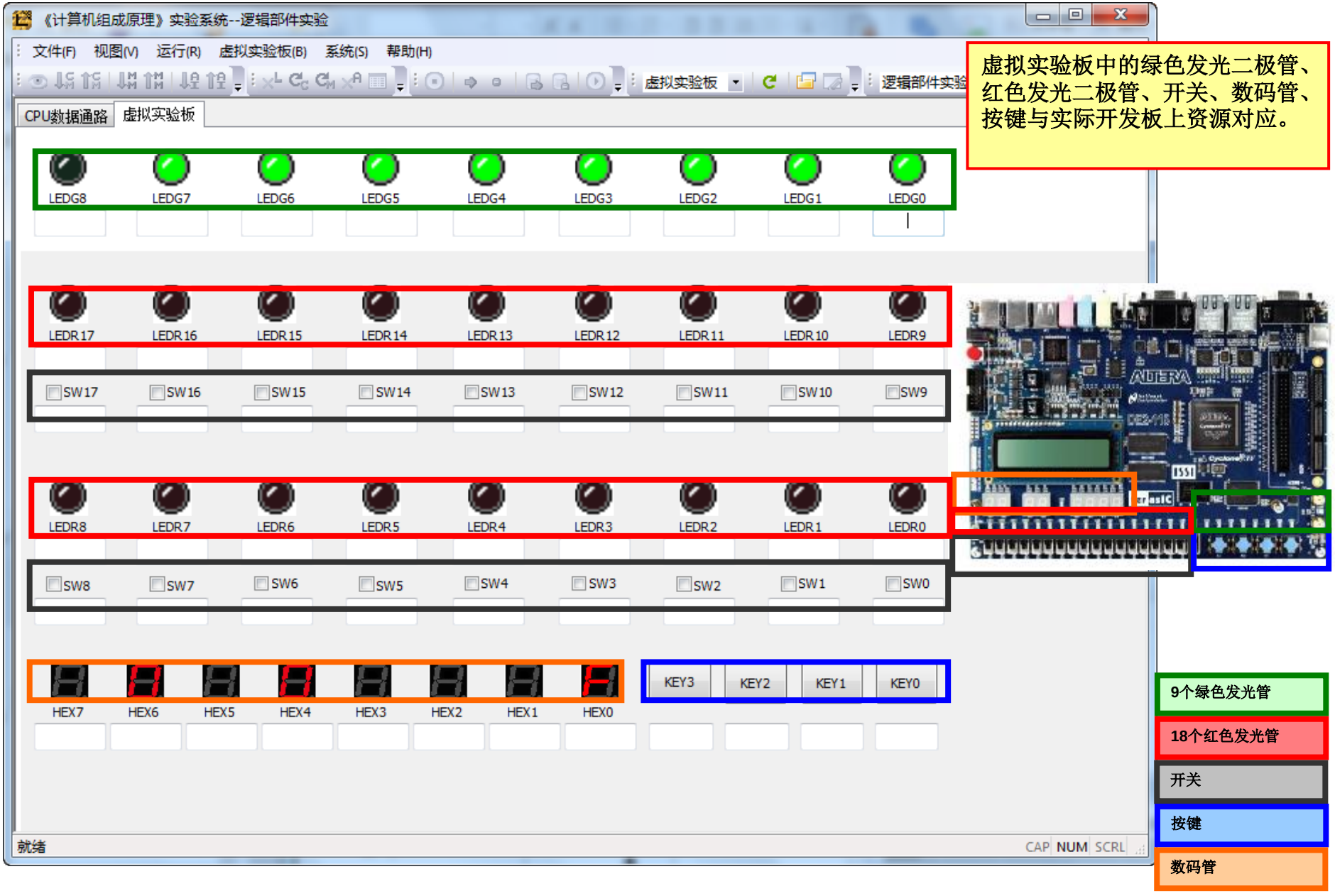

Hardware Setup
Hardware Settings
JTAG Settings
Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.
1
Currently selected hardware:
No Hardware
在下拉列表中选择USB-Blaster
Available hardware items
Hardware
Server
Port
USB-Blaster
或者在此处双击USB-Blaster
Add Hardware...
Remove Hardware
Hardware Setup
Hardware Settings
JTAG Settings
Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.
Currently selected hardware:
USB-Blaster [USB-0]
Available hardware items
Hardware
Server
Port
USB-Blaster
Local
USB-0
Add Hardware...
Remove Hardware
2
单击close确定
Close


Programmer - E:/DE2-115/DE2_115_Lab - DE2_115_Lab - [output/DE2_115_Lab.cdf]
File
Edit
View
Processing
Tools
Window
Help
Search altera.com
Hardware Setup...
USB-Blaster [USB-0]
Mode:
JTAG
Progress:
100% (Successful)
Enable real-time ISP to allow background programming (for MAX II and MAX V devices)
下载成功
Start
单击start
Stop
Auto Detect
Delete
Add File...
Change File...
Save File
Add Device...
Up
Down
Device
Checksum
Usercode
Program/ Configure
Verify
Blank-Check
Examine
output/DE2_115_Lab.sof
EP4CE115F29
005A2141
FFFFFFFF
TDI
TDO
EP4CE115F29



现在，“高速缓冲存储器”实验电路已经下载到实验板的**FPGA**，接下来的任务是验证电路功能。


无标题 - JuLab
文件(F) 视图(V) 运行(R) 虚拟实验板(B) 系统(S) 帮助(H)
实际实验板
模型计算机实验
寄存器及总线信息窗口
请配置观察信号
1
JuLab - 快捷方式
双击桌面JuLab图标，打开实验调试软件
实验类型选择
请选择实验类型
模型计算机实验
逻辑部件实验
2
选择逻辑部件实验
确定
取消
CPU数据通路
虚拟实验板
ARoe'
AR
ARce
ARoe
主存
MM
IB
IRce
PCoe
IR
PC
PCce
PCinc
004
005
006
主存信息显示窗口
地址 +0 +1 +2 +3 +4 +5 +6 +7
0000
0008
0010
0018
0020
主存汇编/调试窗口
主存信息显示窗口
就绪
CAP NUM SCRL



虚拟实验板中的绿色发光二极管、红色发光二极管、开关、数码管、按键与实际开发板上资源对应。

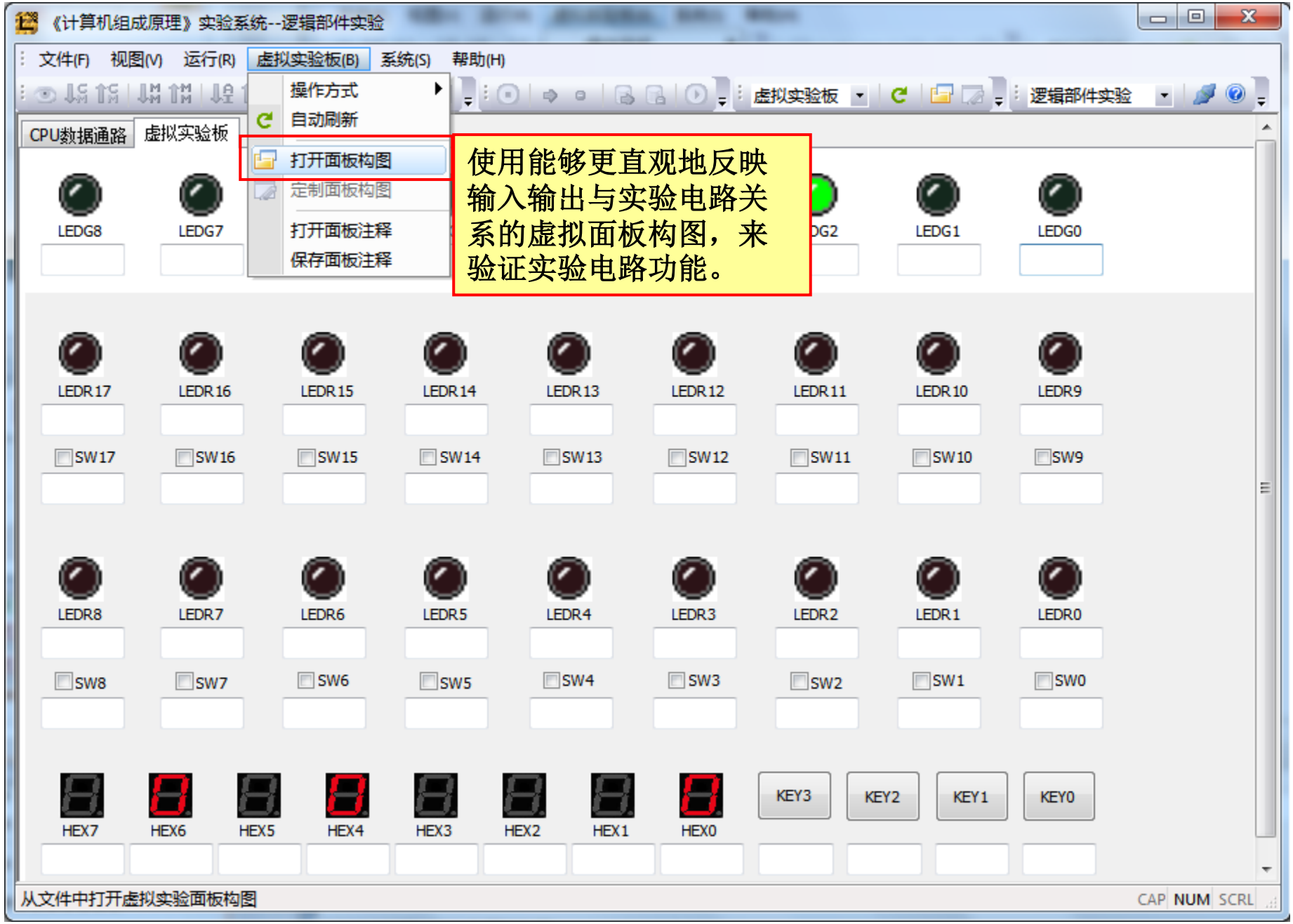
9个绿色发光管

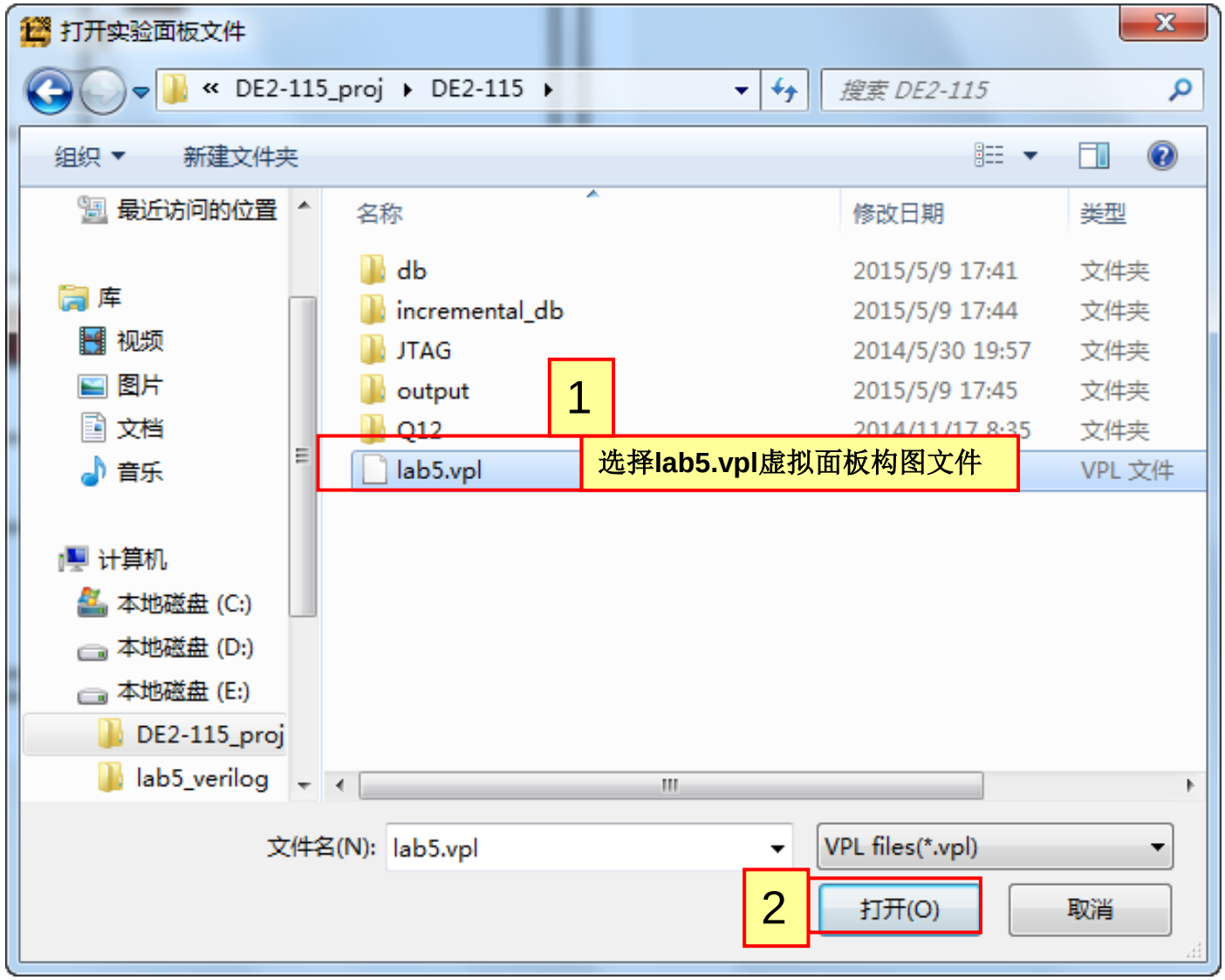
18个红色发光管

开关

按键

数码管

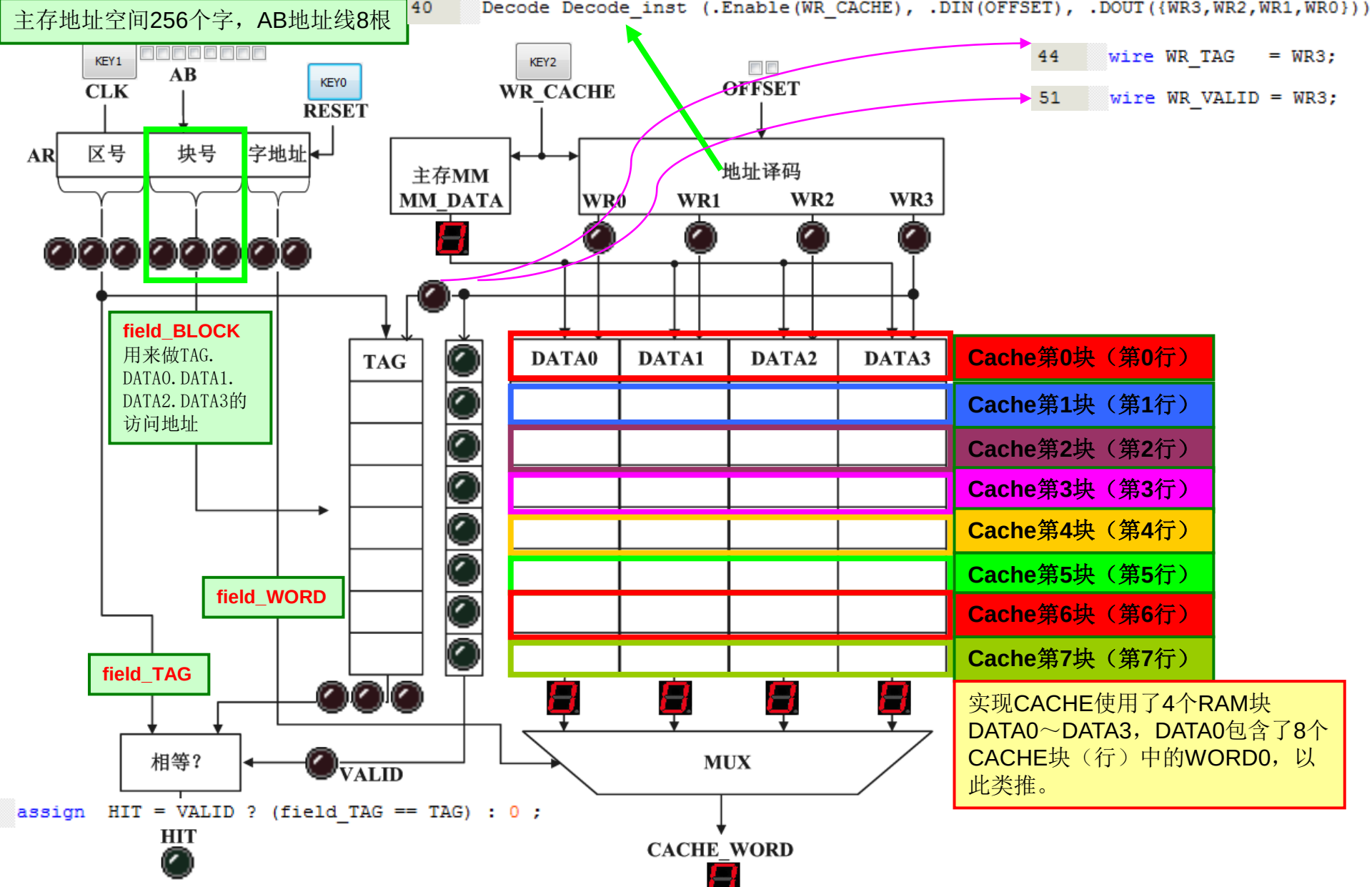

《计算机组成原理》实验系统--逻辑部件实验
文件(F)
视图(V)
运行(R)
虚拟实验板(B)
系统(S)
帮助(H)
操作方式
自动刷新
打开面板构图
定制面板构图
打开面板注释
保存面板注释
虚拟实验板
逻辑部件实验
CPU数据通路
虚拟实验板
使用能够更直观地反映输入输出与实验电路关系的虚拟面板构图，来验证实验电路功能。
LEDG8
LEDG7
LEDG2
LEDG1
LEDG0
LEDR17
LEDR16
LEDR15
LEDR14
LEDR13
LEDR12
LEDR11
LEDR10
LEDR9
SW17
SW16
SW15
SW14
SW13
SW12
SW11
SW10
SW9
LEDR8
LEDR7
LEDR6
LEDR5
LEDR4
LEDR3
LEDR2
LEDR1
LEDR0
SW8
SW7
SW6
SW5
SW4
SW3
SW2
SW1
SW0
HEX7
HEX6
HEX5
HEX4
HEX3
HEX2
HEX1
HEX0
KEY3
KEY2
KEY1
KEY0
从文件中打开虚拟实验面板构图
CAP
NUM
SCRL


打开实验面板文件
« DE2-115_proj ▸ DE2-115 ▸
搜索 DE2-115
组织
新建文件夹
最近访问的位置
库
视频
图片
文档
音乐
计算机
本地磁盘 (C:)
本地磁盘 (D:)
本地磁盘 (E:)
DE2-115_proj
lab5_verilog
名称
修改日期
类型
db 2015/5/9 17:41 文件夹
incremental_db 2015/5/9 17:44 文件夹
JTAG 2014/5/30 19:57 文件夹
output 2015/5/9 17:45 文件夹
Q12 文件夹
lab5.vpl VPL 文件
1
选择lab5.vpl虚拟面板构图文件
文件名(N): lab5.vpl
VPL files(*.vpl)
2
打开(O)
取消

主存地址空间256个字，AB地址线8根

```
40    Decode Decode_inst (.Enable(WR_CACHE), .DIN(OFFSET), .DOUT({WR3,WR2,WR1,WR0}));
```

```
44    wire WR_TAG   = WR3;
51    wire WR_VALID = WR3;
```




```
assign  HIT = VALID ? (field_TAG == TAG) : 0 ;
```

HIT

CACHE_WORD

```
44    ram_tag   TAG_inst(.q(TAG), .data(field_TAG), .address(field_BLOCK), .wren(1'b1), .clock(WR_TAG));
55    ram_cache  DATA0 (.q(CACHE_WORD0), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR0));
56    ram_cache  DATA1 (.q(CACHE_WORD1), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR1));
57    ram_cache  DATA2 (.q(CACHE_WORD2), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR2));
58    ram_cache  DATA3 (.q(CACHE_WORD3), .data(MM_DATA), .address(field_BLOCK), .wren(1'b1), .clock(~WR3));
52    ram_valid  VALID_inst(.VALID(VALID), .ADDR(field_BLOCK), .RESET(RESET), .WR(WR_VALID), .V_LED(V_LED));
```

1. 主存地址格式各部分的位数。

实验设计的存储器字长4位。
CACHE共32个字，直接映像，分为8个BLOCK（块），每块4个WORD（字）。
主存地址空间256个字，按CACHE大小分区，即每区32字，共分为8个区。

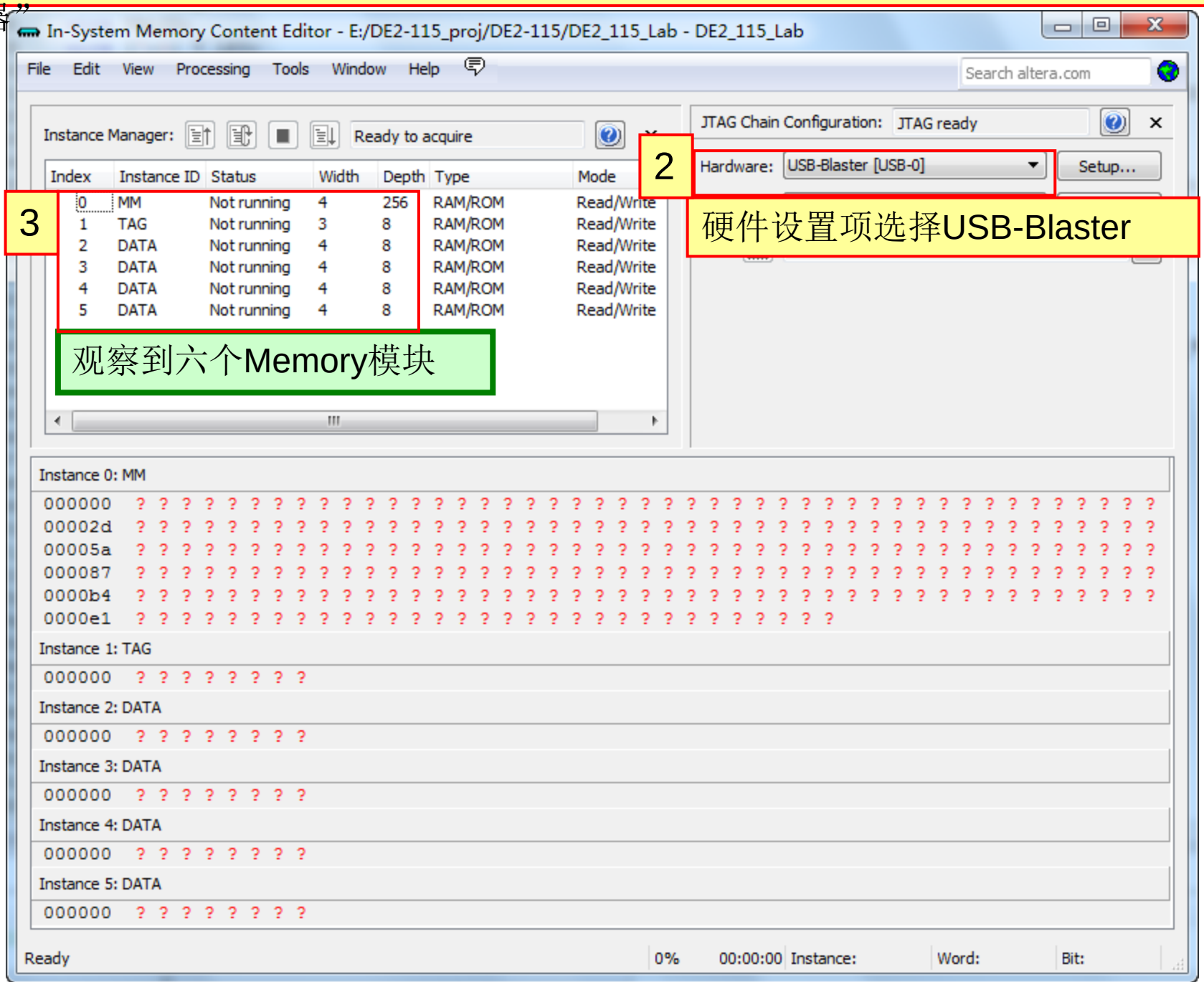
2. 初始状态

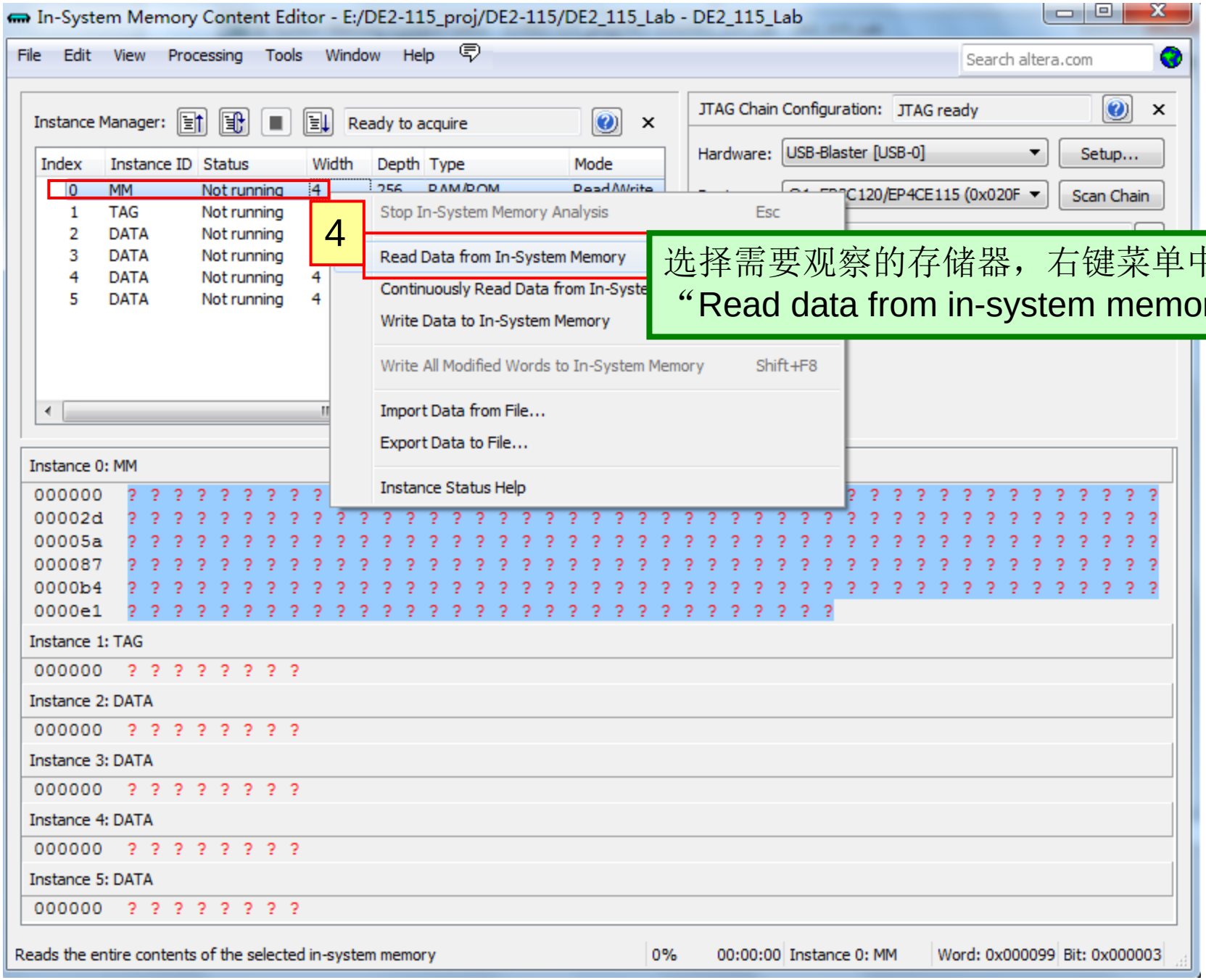
使用 Quartus II 的 In-System Memory Content Editor 查看 TAG、CACHE 和 MM 的内容，并对后面用到的主存 50H~53H、64H~67H、84H~87H 单元输入一些已知的内容，记录在下表中。

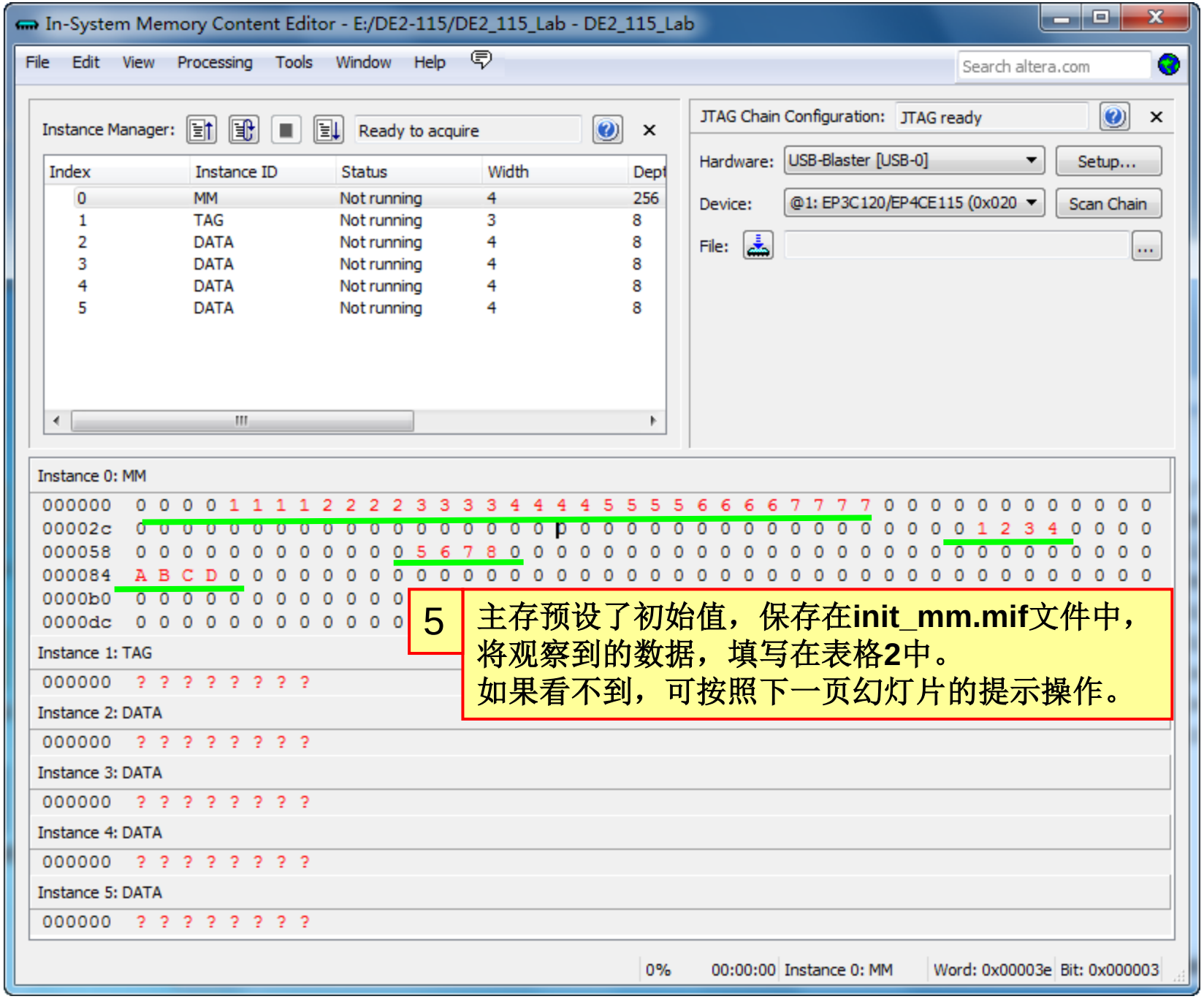
地址	50H	51H	52H	53H	64H	65H	66H	67H	84H	85H	86H	87H
内容												

In-System Memory Content Editor的用法见讲稿后三页，更多详细用法见实践教程5.1.3

1 点击菜单项Tools...->In-system Memory Content Editor打开“在系统存储器数据编辑器”



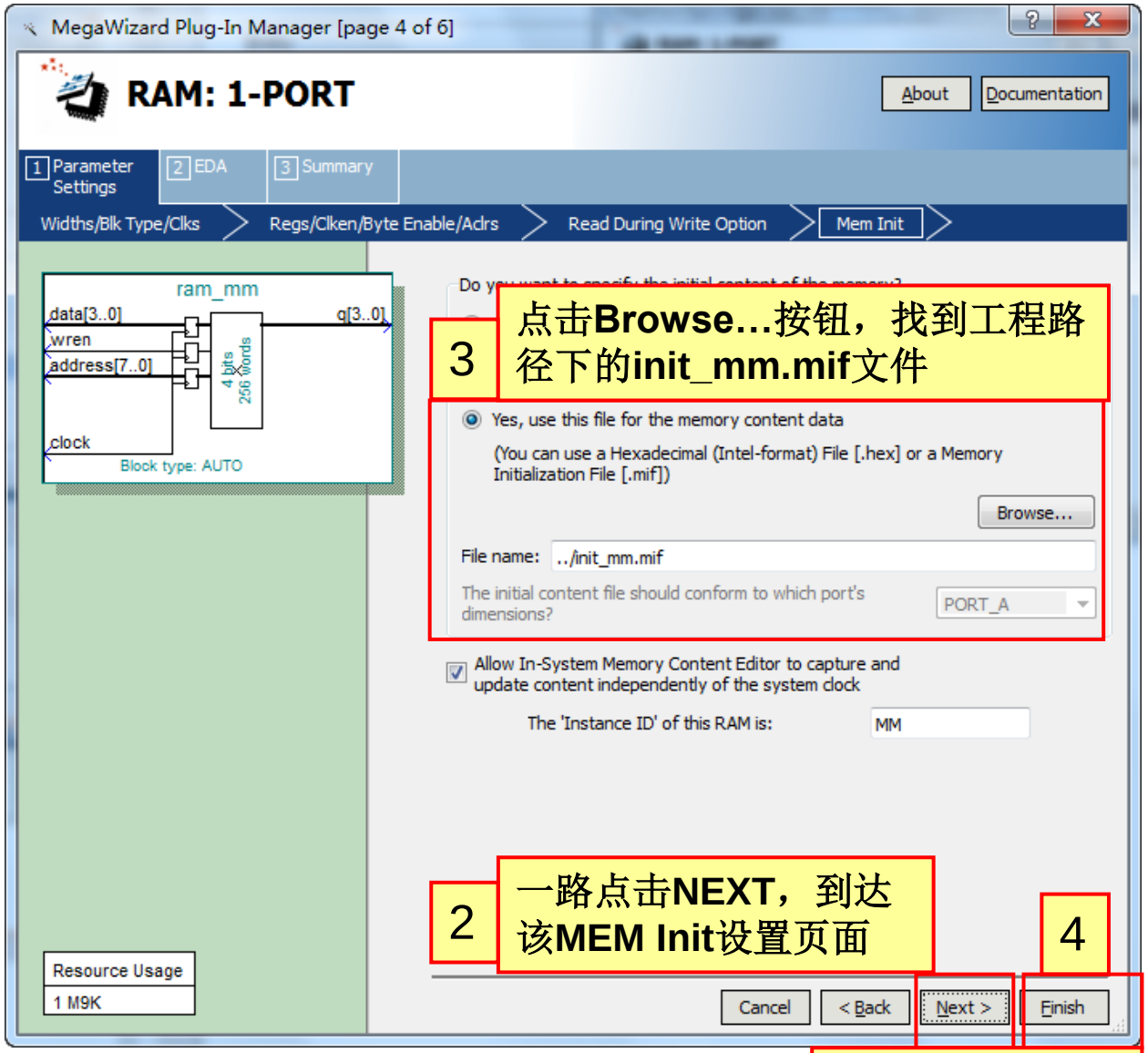

In-System Memory Content Editor - E:/DE2-115_proj/DE2-115/DE2_115_Lab - DE2_115_Lab
File Edit View Processing Tools Window Help
Search altera.com
Instance Manager:
Ready to acquire
JTAG Chain Configuration:
JTAG ready
Hardware:
USB-Blaster [USB-0]
Setup...
Scan Chain
Index Instance ID Status Width Depth Type Mode
0 MM Not running 4
1 TAG Not running
2 DATA Not running
3 DATA Not running
4 DATA Not running 4
5 DATA Not running 4
4
Stop In-System Memory Analysis Esc
Read Data from In-System Memory
Continuously Read Data from In-Syste
Write Data to In-System Memory
Write All Modified Words to In-System Memory Shift+F8
Import Data from File...
Export Data to File...
Instance Status Help
选择需要观察的存储器，右键菜单中选择
“Read data from in-system memory
Instance 0: MM
000000 ? ? ? ? ? ? ? ?
00002d ?
00005a ?
000087 ?
0000b4 ?
0000e1 ?
Instance 1: TAG
000000 ? ? ? ? ? ? ? ?
Instance 2: DATA
000000 ? ? ? ? ? ? ? ?
Instance 3: DATA
000000 ? ? ? ? ? ? ? ?
Instance 4: DATA
000000 ? ? ? ? ? ? ? ?
Instance 5: DATA
000000 ? ? ? ? ? ? ? ?
Reads the entire contents of the selected in-system memory
0% 00:00:00 Instance 0: MM Word: 0x000099 Bit: 0x000003



5 主存预设了初始值，保存在**init_mm.mif**文件中，将观察到的数据，填写在表格**2**中。
如果看不到，可按照下一页幻灯片的提示操作。

1

双击ram_mm模块，在插件管理器中打开主存模块设置。



3 点击Browse...按钮，找到工程路径下的init_mm.mif文件

2 一路点击NEXT，到达该MEM Init设置页面

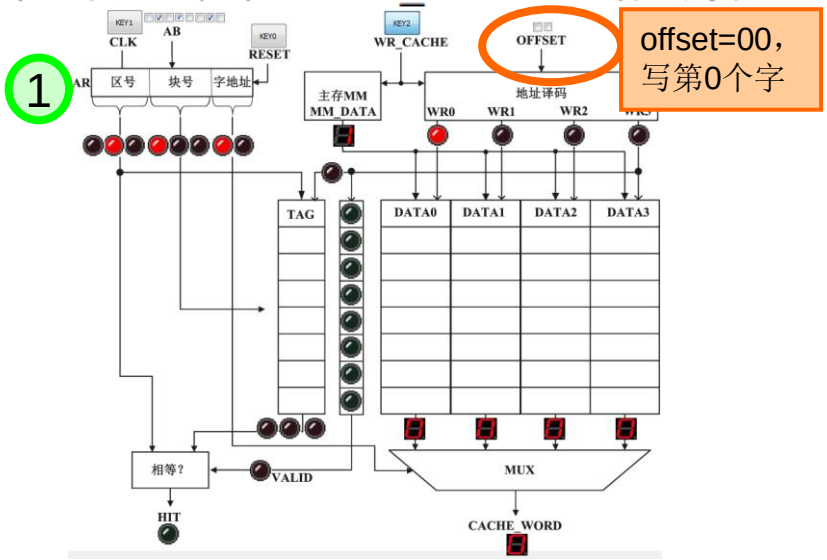
4

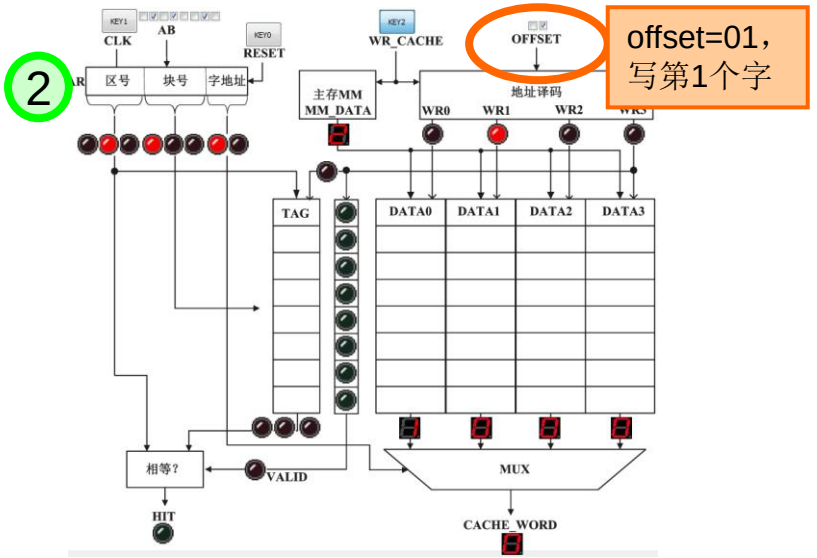
Finish完成修改

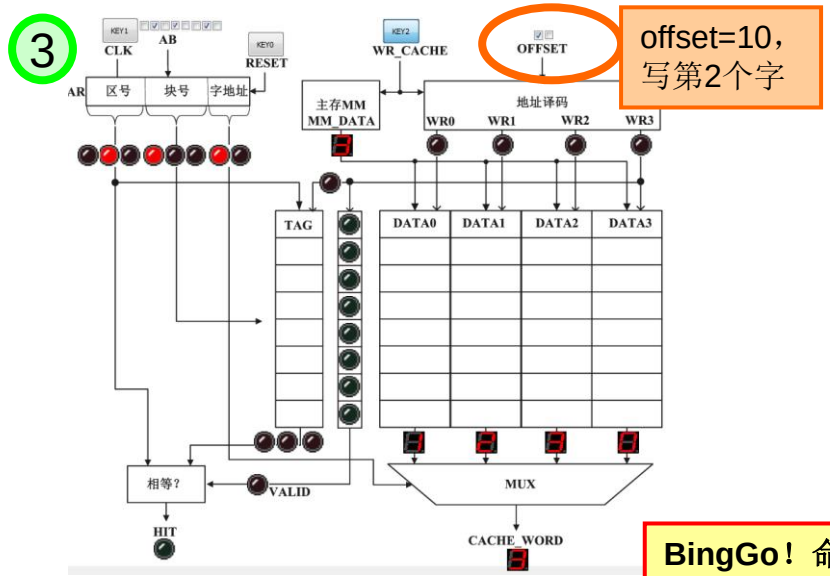
5 重新编译工程、下载

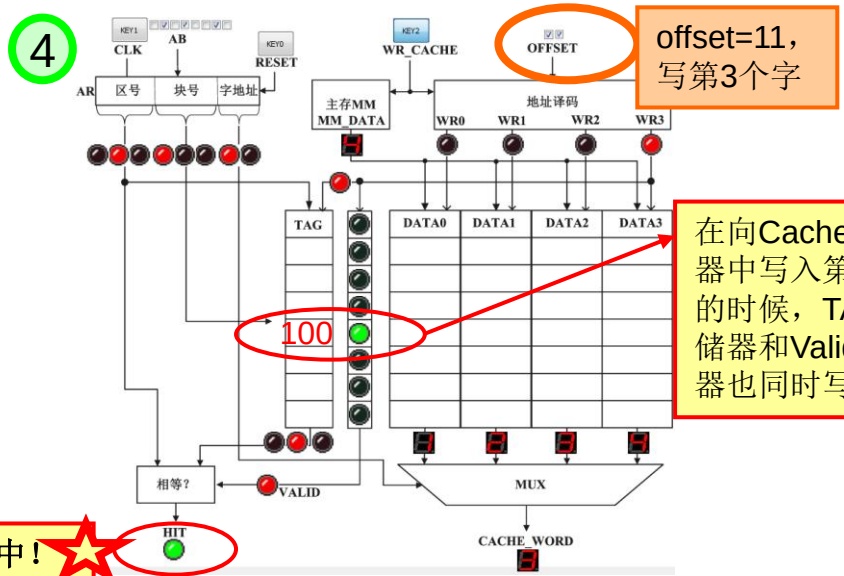
3. 不命中情况下 CACHE 内容的装入

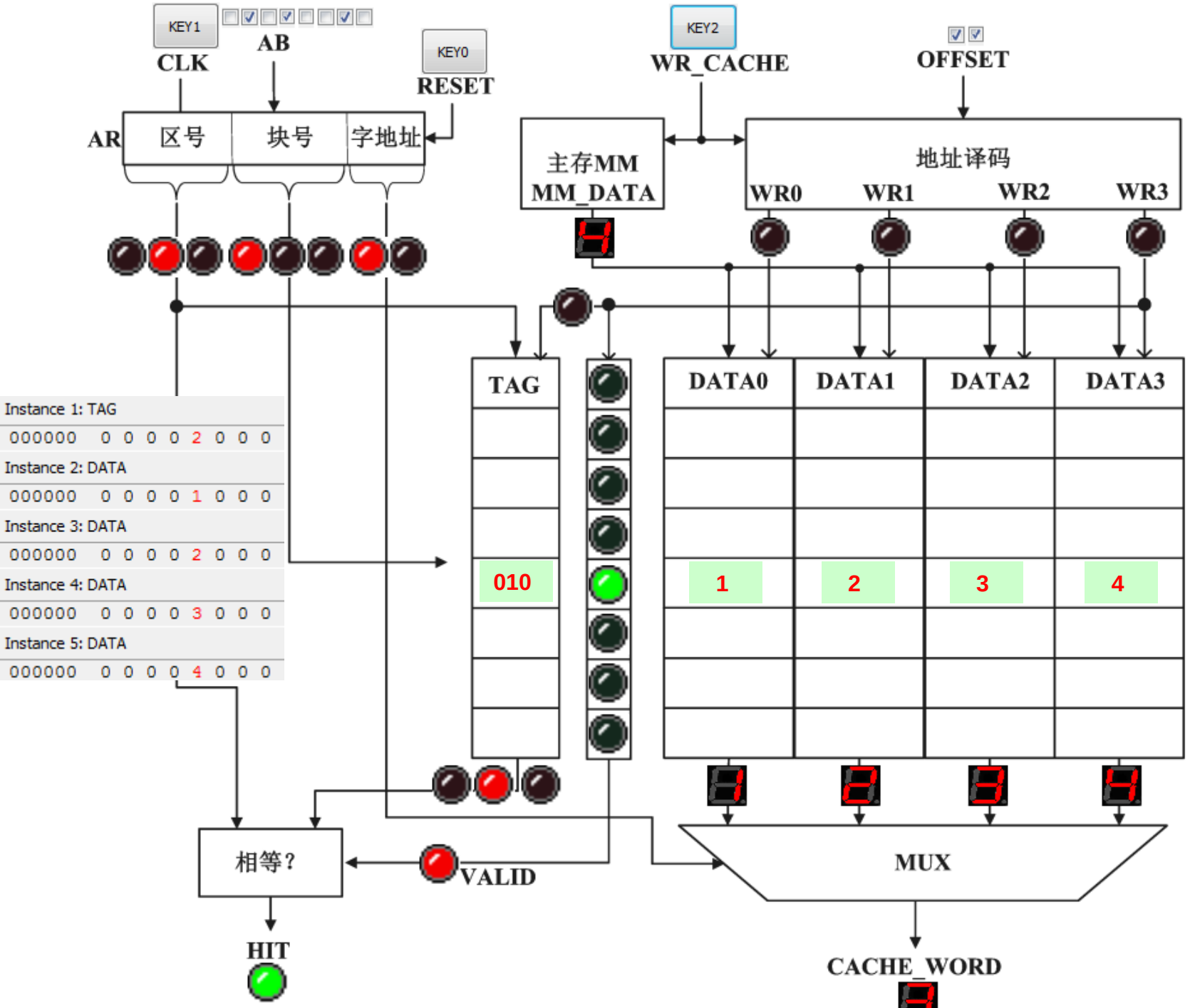
因为是直接映像，映射关系已经固定，主存中的某一块只能存入 cache 的指定位置，所以不需要考虑替换算法，不命中时直接装入即可。装入时需要依次装入 4 个字，由 OFFSET 选择写入哪一个字，WR_CACHE 给出读 MM 和写 CACHE 的时钟。





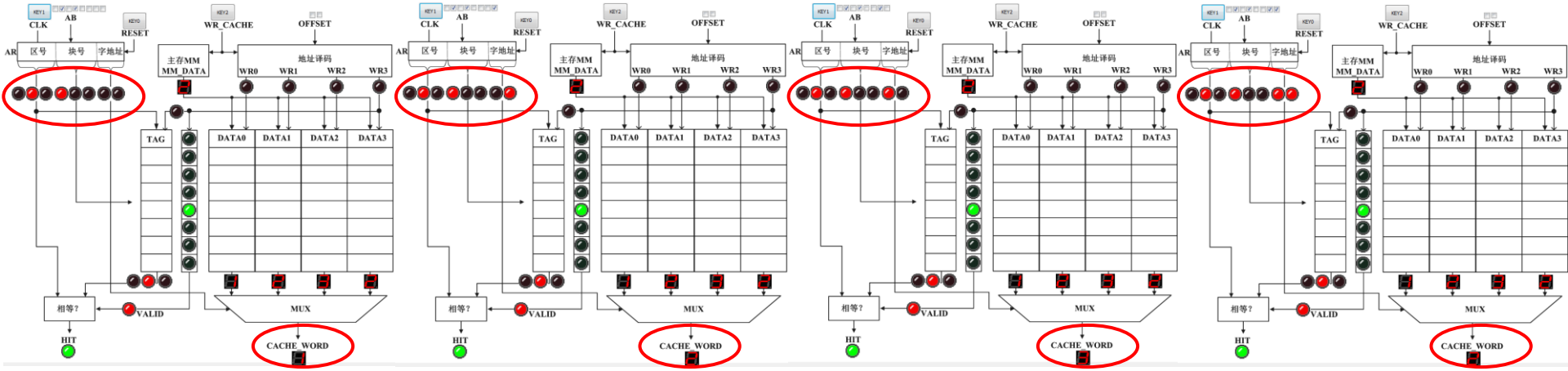





KEY1
CLK
AB
KEY0
RESET
KEY2
WR_CACHE
OFFSET
AR
区号
块号
字地址
主存MM
MM_DATA
地址译码
WR0
WR1
WR2
WR3
TAG
DATA0
DATA1
DATA2
DATA3
Instance 1: TAG
000000 0 0 0 0 2 0 0 0
Instance 2: DATA
000000 0 0 0 0 1 0 0 0
Instance 3: DATA
000000 0 0 0 0 2 0 0 0
Instance 4: DATA
000000 0 0 0 0 3 0 0 0
Instance 5: DATA
000000 0 0 0 0 4 0 0 0
010
1
2
3
4
相等?
VALID
MUX
HIT
CACHE_WORD

4. 命中情况下 CACHE 的读出

访问 50H，51H，52H，53H 地址，这 4 个地址对应着同一个主存块中的 4 个单元，在上一步操作中，访问 52H 地址不命中后，访问地址所指向的主存块已经整个装入了 CACHE 块，所以访问该主存块中的任意单元，应该都是命中的，直接从 CACHE 读出。



5. 抖动现象

直接映像方式下，每个主存块都只有固定的一个 cache 位置可以存放，当主存地址的区内块号相同的时候，由于对应同一个 cache 块，即便其他 cache 块都是空闲，也无法使用。

当某段时间内恰巧要访问主存不同区号但相同区内块号的两块数据时，例如下面第一个表格中 1~8 行的地址 84H～87H，与 9~16 行的地址 64H～67H，分别属于主存的第_____区和第_____区，区号不同，但它们的区内块号相同，都是_____，如果 CPU 交替访问这两块数据，就会出现这两块主存数据交替调入调出 CACHE 的现象，这种现象称为抖动。