

《高级计算机系统结构》课程设计

沈海华

中国科学院大学

一、研究目标

使用开源的 EDA 工具链，每位同学独立探索完成小规模芯片从 RTL 代码设计到 GDS 的全流程，包括：架构设计、前端 RTL 设计、综合、后端物理设计（含布局、时钟树综合、布线、时序分析等）。课程 Project 的 RTL 设计可以是同学自行设计，也可以是任何开源芯片的 RTL 设计代码。

二、EDA 工具支持——开源工具链

《高级计算机系统结构》课程设计得到了国产开源 EDA 工具设计开发团队的大力支持。本课程设计不限制设计规模，允许同学直接使用开源芯片设计，但**整个设计过程必须使用开源 EDA 工具链**，要求在使用开源 EDA 工具链的过程中，理解芯片前后端设计的优化目标，记录现有开源 EDA 工具使用过程中的问题（包括工具使用的局限性、可能存在的 bug 或问题，例如：对用户不友好的接口定义、GUI 或命令行界面、使用手册等），尽量记录完整，有能力的同学欢迎进一步给出整改方案。

三、课程设计结果提交及考核方法

课程设计最终需要每人提交一份不少于 **3000 字**的研究报告，报告具体内容及考核评分办法如下：

1. 设计过程记录和分析（90 分）

课程设计报告必须包括课程设计所用 RTL 的来源、RTL 设计结构分析、以及芯片设计各步骤的详细过程分析，注意报告中使用的专有名词概念应在首次出现时或在附录中给出定义。

建议同学们在课程设计过程中，重点分析记录以下内容：**如何使用开源 EDA 对 RTL 设计进行 PPA (Power, Performance, Area) 指标评估，并探索从哪些环节入手可以提升芯片的设计质量**；使用开源 EDA 工具链的具体方法，如编译构建、点工具脚本命令/接口、涉及的标准文件元素（如约束文件、工艺文件、交换文件、报告文件等）；开源 EDA 工具链中各个工具上手的易用性以及局限性、可能存在的 bug 或问题，例如对用户不友好的接口定义、GUI 或命令行界面、使用手册缺陷等。请大家尽量记录完整（必要时可以截屏），有能力的同学欢迎进一步给出整改方案。

2. 芯片设计结果 GDS（10 分）

由于每位同学的 RTL 设计来源和规模可能相差较大，我们的课程设计考核并不拘泥于提交最终的 GDS，而是更多地关注同学们对于使用开源 EDA 完成芯片前后端设计和质量评估的流程，加深对芯片设计工具的理解。换句话说，如果万一有同学没能完成全流程得到 GDS，也应**包含芯片设计所使用的脚本 flow 和中间结果**，且必须在项目研究报告中分析说明设计未完成的原因，说明具体是卡在哪个开源 EDA 工具环节？并分析采用什么方法可以解决这个问题。

在课程结束后，大家的课程设计报告将有机会提交给 iFlow 开源 EDA 设计团队，用于推动国产开源 EDA 工具的进一步完善和发展，请同学们务必认真撰写课程设计报告。

四、开源 EDA 工具

1. 开源 EDA 介绍

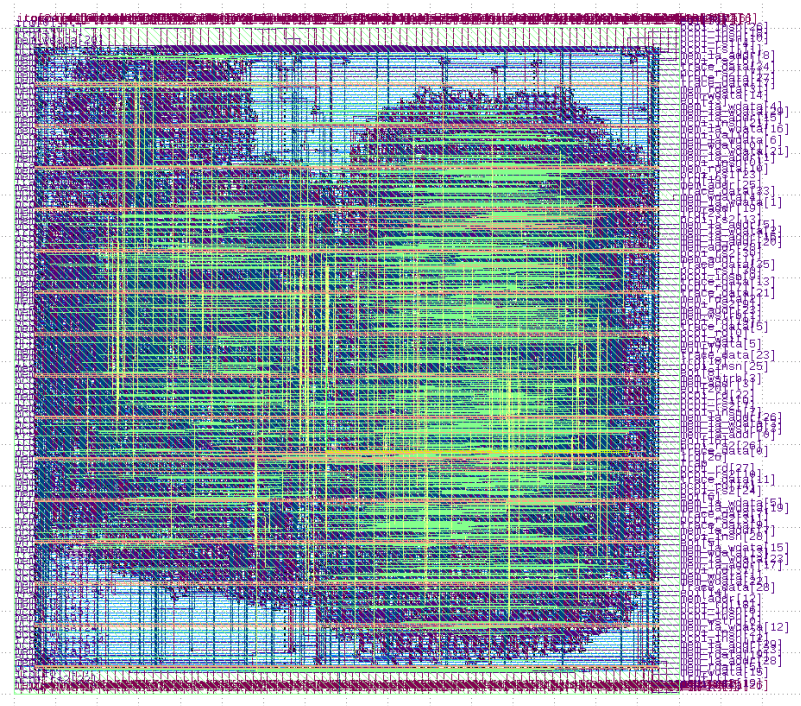
目前可获得的开源 EDA 工具链：Qflow、VsdFlow、OpenRoad 和 iEDA 等，其中 Qflow 的历史最为悠久，上手难度最低，但受限于代码比较老旧；vsdFlow 是基于 Qflow 构建的，所以也具有类似的问题；OpenRoad 和 iEDA 是近年来新兴的开源 EDA 工具链，目前仍在积极更新维护。

OpenRoad 是美国 DARPA 与 2017 年前后开始支持的开源 EDA 项目，其最终目标是 **【open-source tools that achieve autonomous, 24-hour layout implementation.】**。OpenRoad 是由多个工具组成的，比如综合是通过 Yosys(前端)+abc(后端)来实现；其他布局、布线、时钟树综合等也是单独的工具。OpenRoad 根据 design 的不同，

也会提供一些后端物理设计的常见问题，比如找不到 clock 连线、芯片的 Utilization ratio 过高等，都是非常细小但是有价值的问题。

- 代码仓库: [OpenROAD's unified application implementing an RTL-to-GDS Flow. \(github.com\)](https://github.com/OpenROAD-project/OpenROAD)
- 项目文档: [OpenROAD documentation](https://openroad-project.github.io/)

下图就是 picorv32 经 OpenRoad 设计后生成的 GDS 版图。



iEDA 是中国科学院计算技术研究所和北京开源芯片研究院研发的开源 EDA 项目，是一套从 Netlist 到 GDS 的开源数字芯片设计 EDA 基础设施和工具。

- 代码仓库: [iEDA: 从 Netlist 到 GDS 的开源芯片设计 EDA 平台 \(gitee.com\)](https://gitee.com/iEDA)
- 项目论文: [\[2308.01857\] iEDA: An Open-Source Intelligent Physical Implementation Toolkit and Library \(arxiv.org\)](https://arxiv.org/abs/2308.01857)

另外，在 OpenRoad 和 iEDA 这样的 EDA 工具链自带的运行脚本 flow 外，也有对工具链进行二次封装的 flow 项目，如 iFlow 和 OpenLane。使用这类工具通常可以屏蔽底层 EDA 工具的复杂接口，提供统一的芯片设计体验。

- iFlow 代码仓库: [iFlow: 用于支持数字芯片后端自动化设计流程。 \(gitee.com\)](#)
- OpenLane 代码仓库: [OpenLane is an automated RTL to GDSII flow based on several components including OpenROAD, Yosys, Magic, Netgen and custom methodology scripts for design exploration and optimization. \(github.com\)](#)

2. 使用开源 EDA 评估设计质量和版图生成

从抽象到细节，这里推荐大家可以先从开源 iFlow 项目上手开源 EDA 工具，完成从 RTL 代码到 GDS 版图的设计流程，分析工具链生成的报告。然后探究隐藏在 flow 下的点工具配置，从芯片设计者的角度明确芯片前后端设计的目的，思考如何通过 EDA 工具优化芯片设计质量。

对于运行从 RTL 到 GDS 设计的开源 flow 项目，推荐大家首先阅读 iFlow 或 OpenLane 的使用文档，在确保安装和测试运行完成后，将 RTL 替换为自己的设计，根据文档指引完成设计全流程，分析工具链生成的报告，对报告中涉及的概念进行学习了解，明确哪些指标可以用于评估芯片设计质量。

- iFlow 使用文档: [User guide of iFlow 4.0.pdf · OSCC/iFlow \(gitee.com\)](#)
- OpenLane 使用文档: [OpenLane Documentation](#)

为方便同学快速上手运行，可直接使用配置完成的 iFlow 镜像 [iedaopensource/iflow](#) ([iedaopensource/iflow - Docker Image | Docker Hub](#)) 或者 OpenLane 的官方镜像。

对于 EDA 点工具的使用和配置，推荐大家阅读 iFlow 或 OpenLane 的运行脚本 (或参考 [RTL2GDS: 一键从 RTL 代码生成 GDS 版图](#)、[OpenROAD-flow-scripts](#)), 了解内部 EDA 点工具的输入输出、调用方法和配置情况，探索对不同配置参数的修改如何影响芯片设计的结果质量。对于每个阶段来说，报告指标是如何对当前和后续设计阶段进行迭代和指导。

对于学有余力的同学，可以查阅相关的文献材料，或阅读源码深入 EDA 工具本身的算法实现，从 EDA 开发者的角度思考如何对芯片设计问题进行分解与建模，设计算法并完成优化目标。

在上述过程中，鼓励大家参与到开源社区，对项目中存在不完善的地方提出 Issue 或对项目发起 PR (pull request)。

3. 可以参考的开源芯片项目

为探索开源 EDA 工具链的使用，完成一款芯片的全部设计过程，所选取的芯片规模不需要太大，且应以 Core 为主，开源工具目前对 SoC 设计的支持尚且有限。本文曾使用过蜂鸟 E200 和 PicoRV32，且在 OpenRoad 上尝试了国外社区的 PicoRV32，非常 Smooth，只可惜它的规模有点太小了，对于开源 EDA 工具链来说，只适合做 demo。

如下是网上一些基于 RISC-V 的开源项目列表，仅供参考：

<https://github.com/iEDA-Open-Source-Core-Project/iEDA-data-set>

<https://github.com/riscv/riscv-cores-list>

若各位同学希望设计自己的 SoC，体验完整的芯片设计流程，可参考“一生一芯”项目（一生一芯 oscc.cc）。“一生一芯”的核心理念，简单来说就是“让一个学生可以带着自己设计的一颗处理器芯片毕业”，希望能通过理论与实践并重的教学机制来降低处理器芯片设计门槛，让更多的学生能够全流程的参与到处理器芯片设计的每一个环节中。

下图为“一生一芯”项目不同学习阶段的任务和目标。更多内容请参考 ysyx.oscc.cc

