

Fig. 7 — Schematic diagram for CD4082B (1 of 2 identical gates).

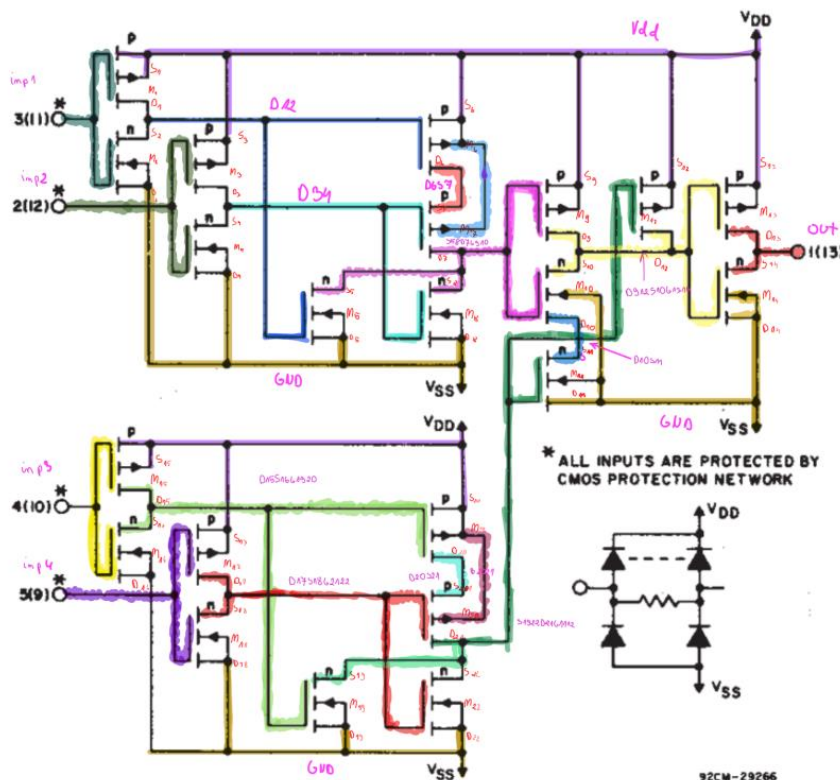


Fig. 7 — Schematic diagram for CD4082B (1 of 2 identical gates).

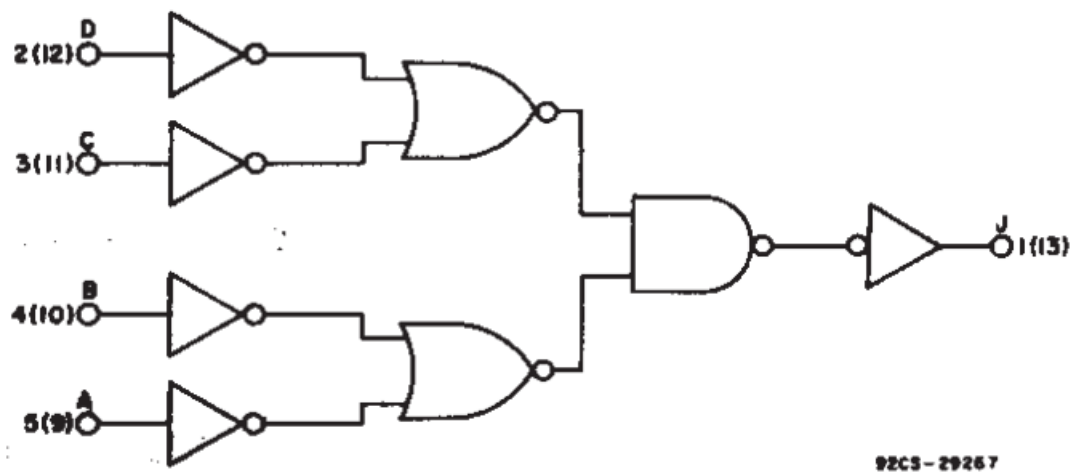
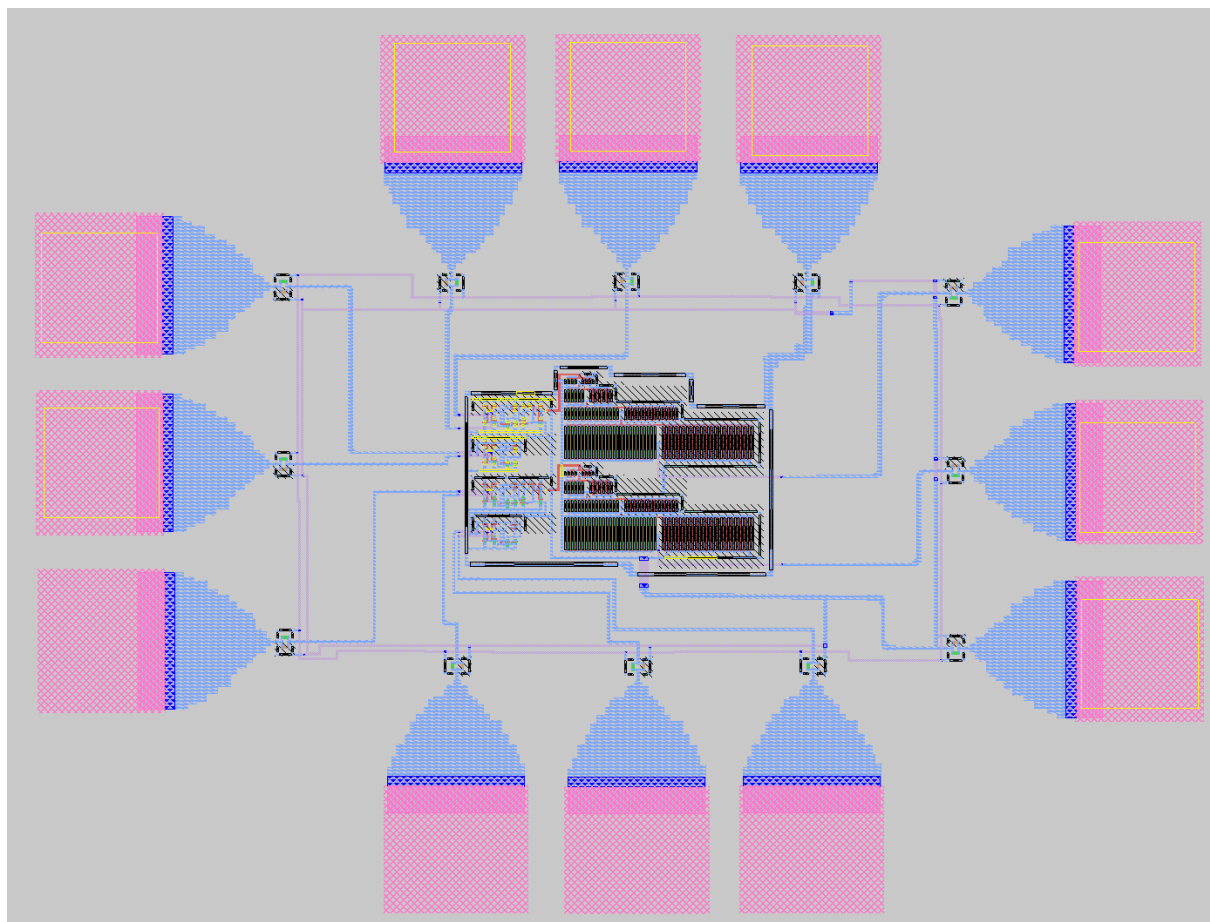
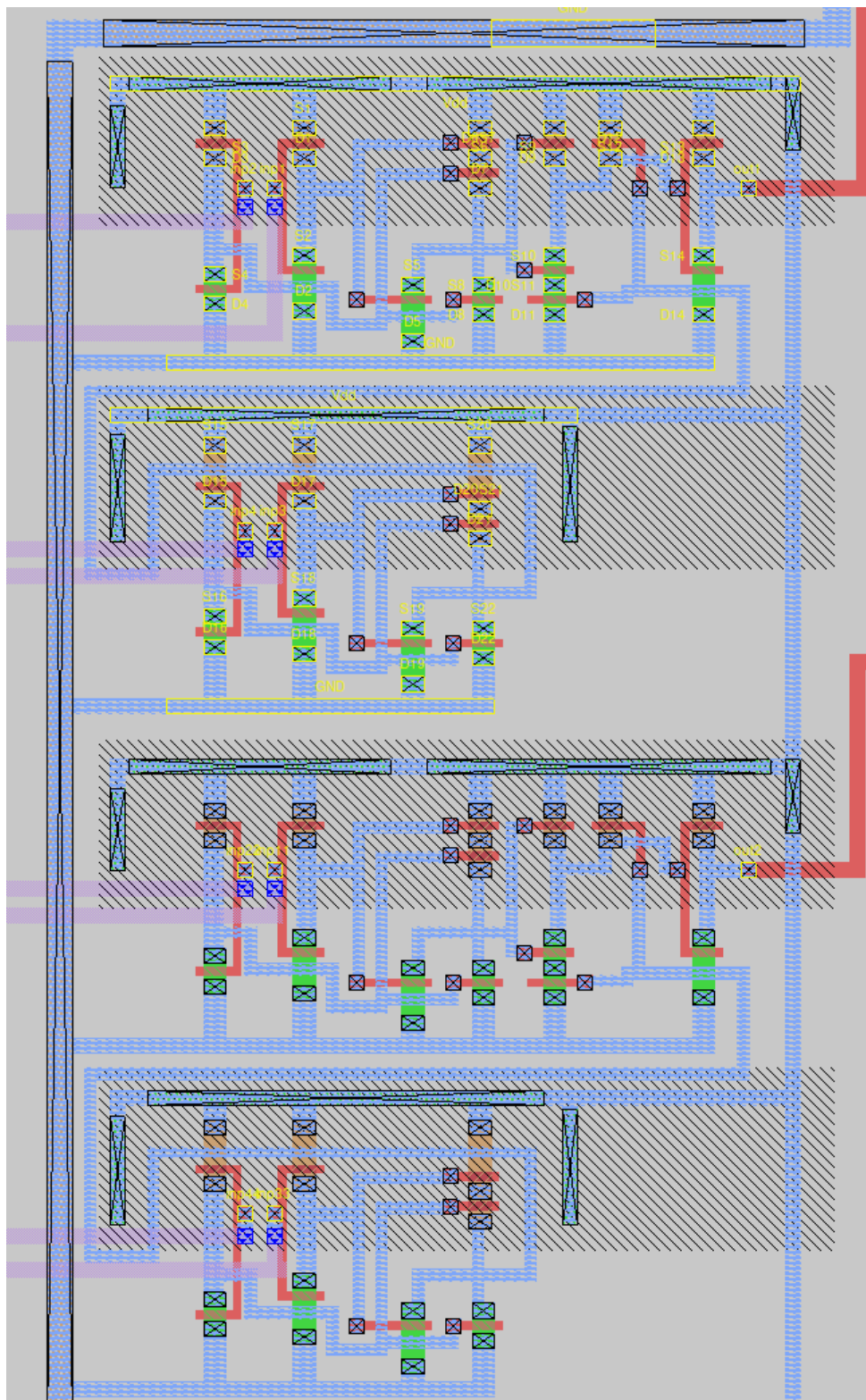


Fig. 9 – Logic diagram for CD4082B (1 of 2 identical gates).

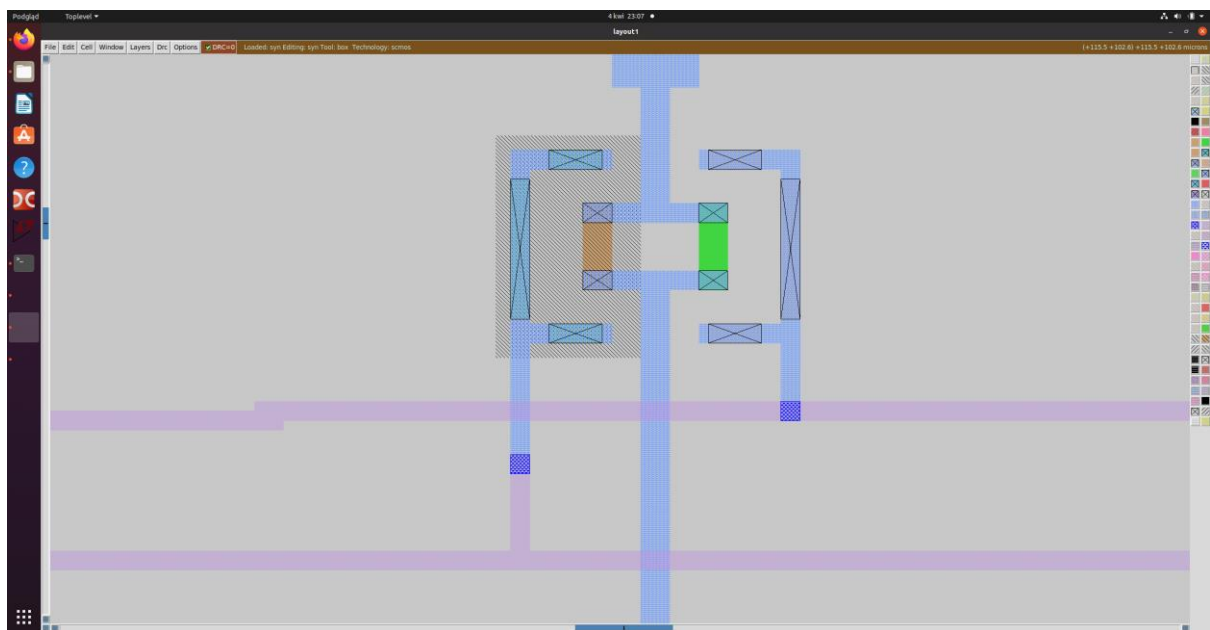
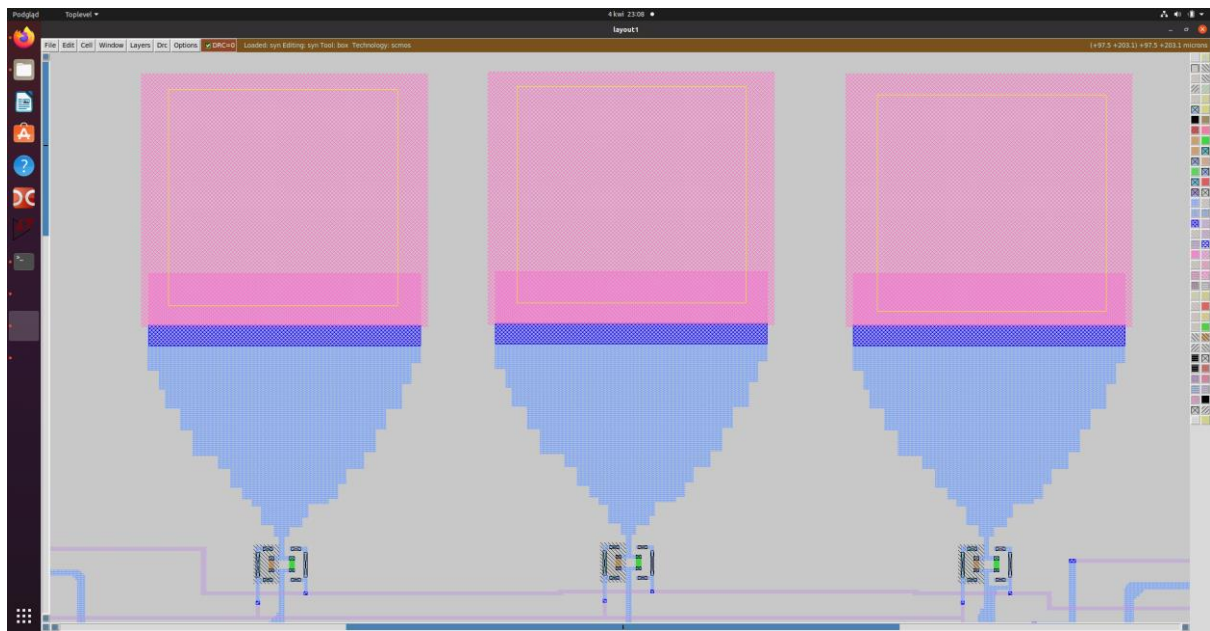
TOPOGRAFIA

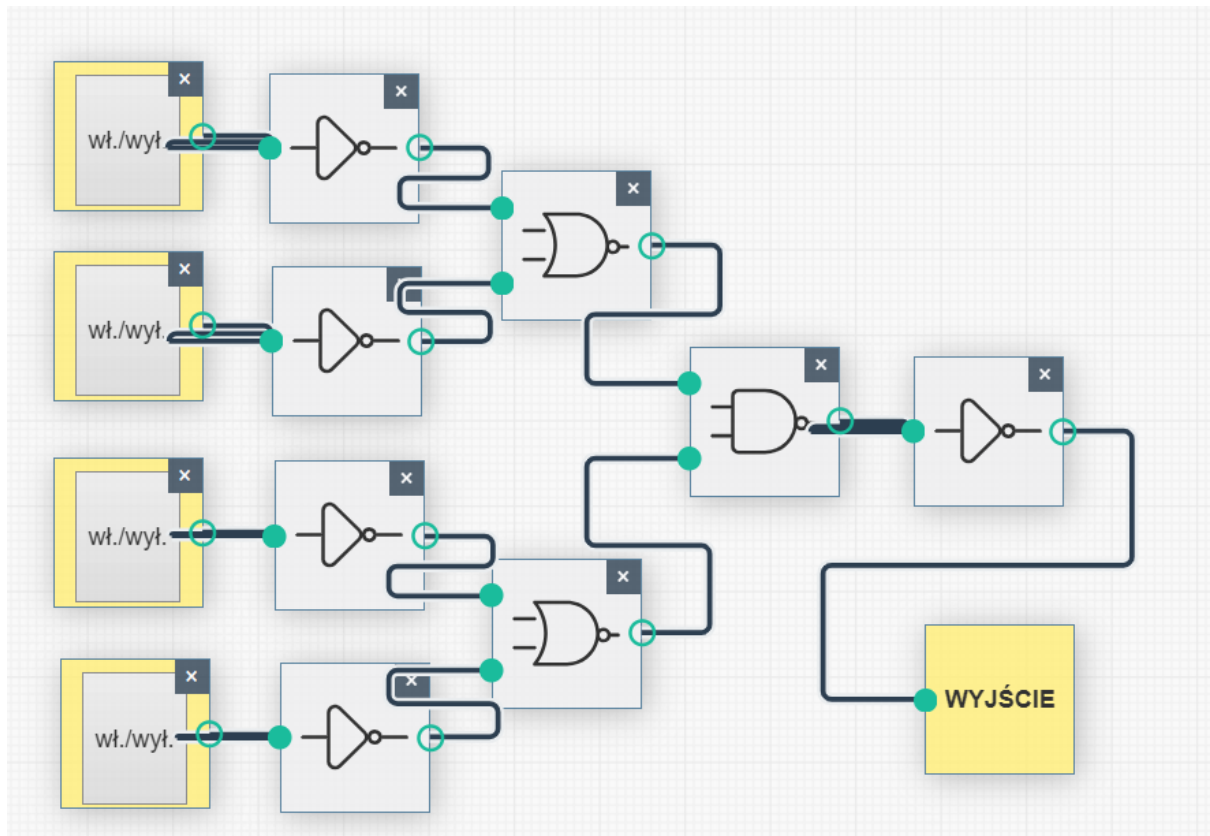
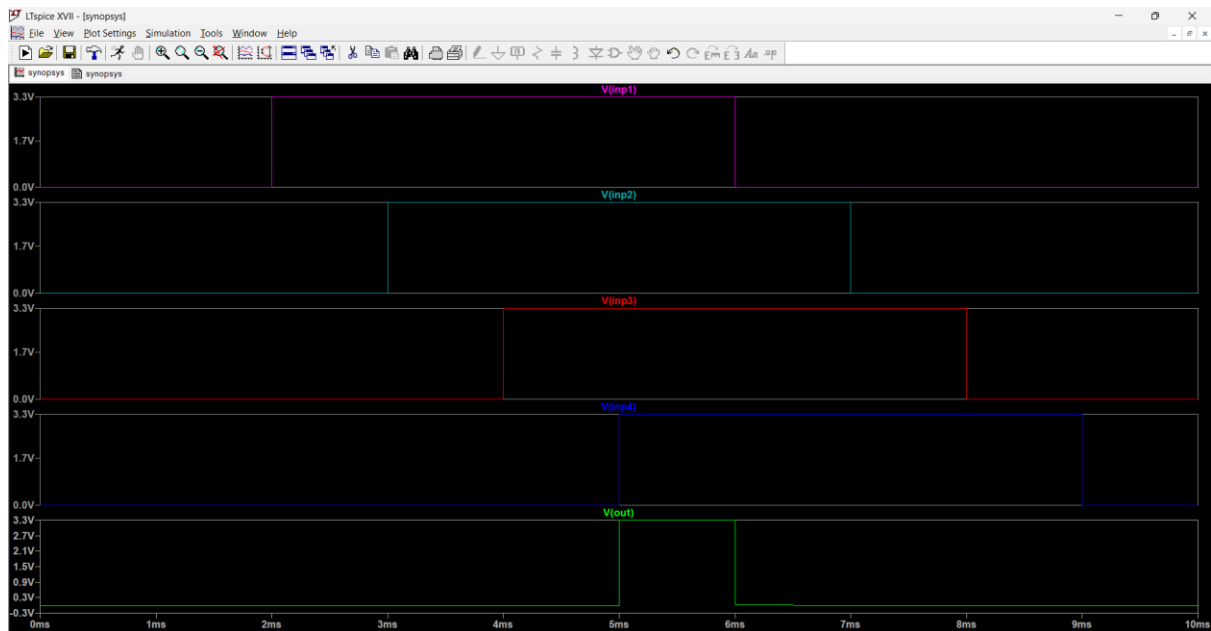


UKŁAD LOGICZNY



ESD oraz Pady



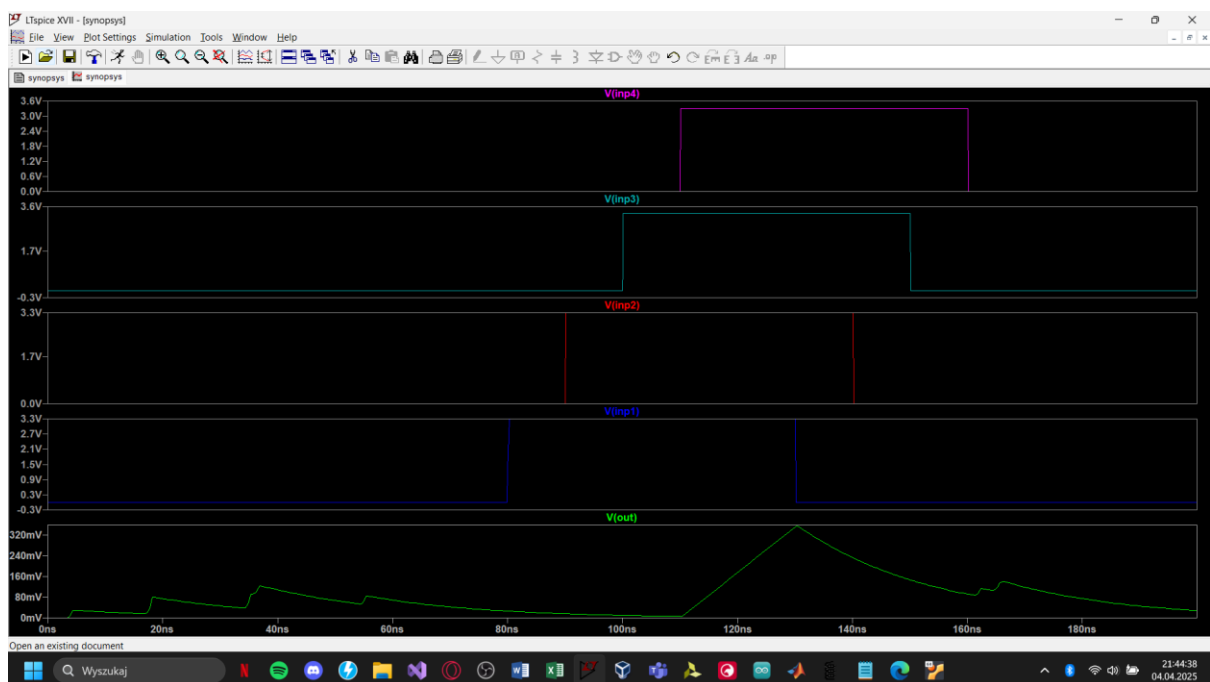


Zostały wykonane pomiary dla napięcia zasilania 3.3V+/-10%

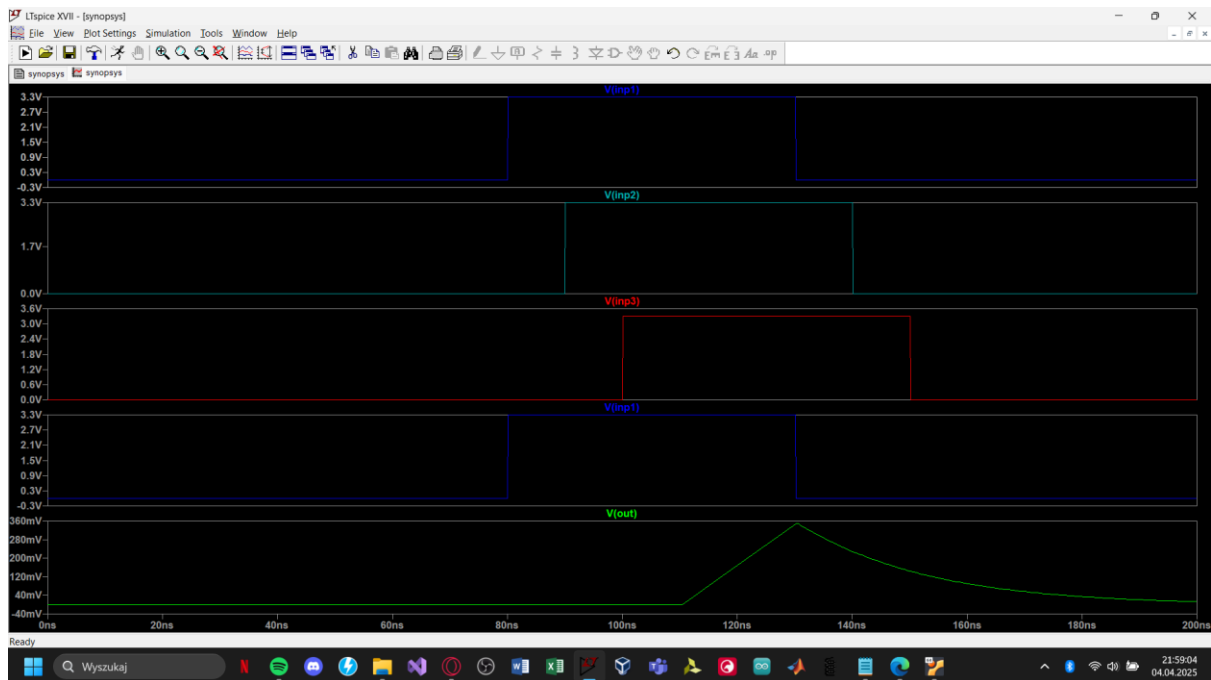
Zostały pomierzone parametry takie jak:

- a) Wymagane napięcie wejściowe
- b) Czas narastania
- c) Czas opadania
- d) Obciążenie prądowe
- e) Działanie na zmian temperatury

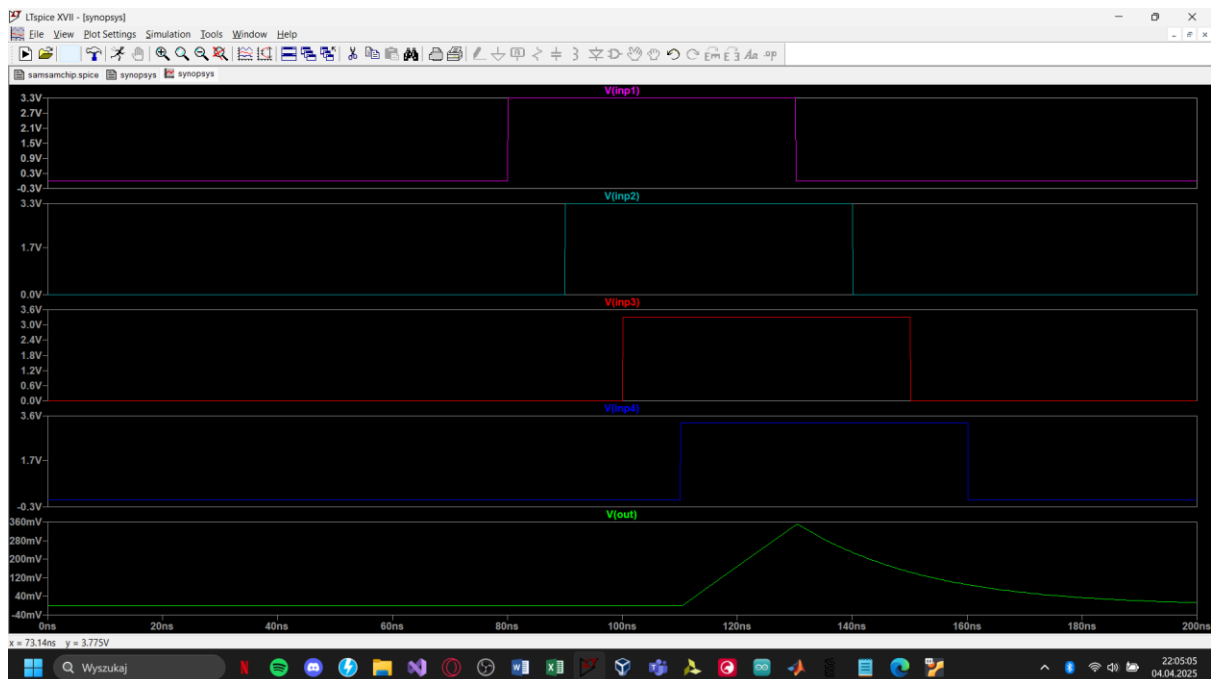
Pomiar po ekstrakcji w MAGIC z podwójnym układem logicznym, padami oraz buforem



Pomiar po ekstrakcji w MAGIC dla układu logicznego z 8 wejściami



Pomiar po ekstrakcji w MAGIC dla układu logicznego z 4 wejściami



Pomiar po ekstrakcji w MAGIC dla układu logicznego z 4 wejściami

