### Projekt układu CD4075B

**Triple 3-input OR gate project** 



### PLAN PREZENTACJI:

- 1) Wymagania projektowe
- 2) Schemat układu CD4075B
- 3) Netlista połączeniowa układu
- 4) Topografia całego układu potrójnej bramki OR
- 5) Przebiegi czasowe dokonane po ekstrakcji układu z programu MAGIC
- 6) Wyniki teoretyczne oraz po ekstrakcji
- 7) Literatura



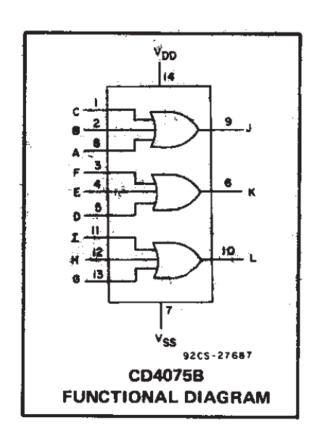
### Wymagania Projektowe:

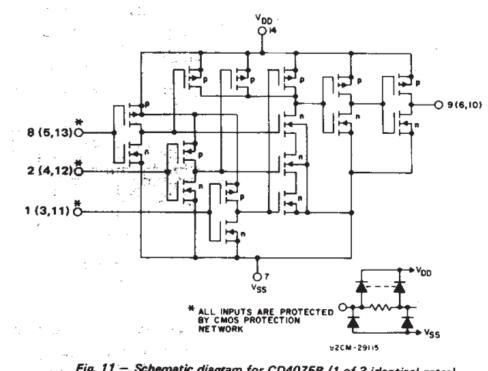
Wymaga się, aby zaprojektowany układ spełniał następujące parametry:

- 1) Technologia: dowolna CMOS (preferowana CMOS AMIS ami-C5
- 2) Temperatura pracy: od –80°C do +125°C
- 4) Wydajność (stało)prądowa buforów wyjściowych: 20 mA DC
- 5) Częstotliwość na wyprowadzeniach zewnętrznych: przynajmniej 20 MHz przy obciążeniu 20pF
- 6) Ze względu na brak szczegółowych danych technolgii należy dodatkowo przyjąć:
- maksymalny prąd warstw metalicznych 1 mA/μm (zabezpieczenie przed elektromigracją),
- maksymalne odległości pomiędzy sąsiednimi kontaktami do podłoża 50μm i wyspy 150μm (zabezpieczenie przed zatrzaskiwaniem się układu),
- PAD z warstwy M3 o wymiarach 100 μm × 100 μm,
- wejścia powinny mieć zabezpieczenie przed ESD w postaci diod lub tranzystorów p-n-p



### Schemat układu CD4075B z dokumentacji





Schematic diagram for CD4075B (1 of 3 identical gates).

## NETLISTA POŁĄCZENIOWA UKŁADU

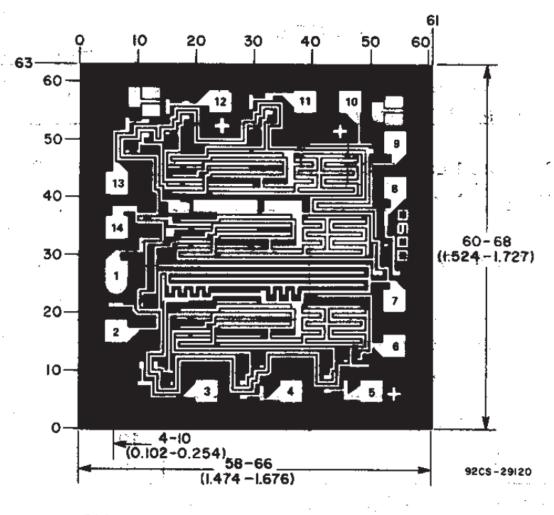


```
.subckt OPAMP inp1 inp2 inp3 out Vdd GND
M1 D12 inpl Vdd Vdd pfet W=1.8u L=0.6u
M2 GND inp1 D12 GND nfet W=1.8u L=0.6u
M3 D34 inp2 Vdd Vdd pfet W=1.8u L=0.6u
M4 GND inp2 D34 GND nfet W=1.8u L=0.6u
M5 D56 inp3 Vdd Vdd pfet W=1.8u L=0.6u
M6 GND inp3 D56 GND nfet W=1.8u L=0.6u
M7 D78 D11 Vdd Vdd pfet W=1.8u L=0.6u
M8 GND D11 D78 GND nfet W=1.8u L=0.6u
M9 out D78 Vdd Vdd pfet W=1.8u L=0.6u
M10 GND D78 out GND nfet W=1.8u L=0.6u
M11 D11 D12 Vdd Vdd pfet W=1.8u L=0.6u
M12 D11 D34 Vdd Vdd pfet W=1.8u L=0.6u
M13 D11 D56 Vdd Vdd pfet W=1.8u L=0.6u
M14 D15 D12 D11 GND nfet W=1.8u L=0.6u
M15 D16 D34 D15 GND nfet W=1.8u L=0.6u
M16 GND D56 D16 GND nfet W=1.8u L=0.6u
.ends
****** WywoAanie podobwodu wzmacniacza *****
```

X1 inp1 inp2 inp3 out Vdd GND OPAMP

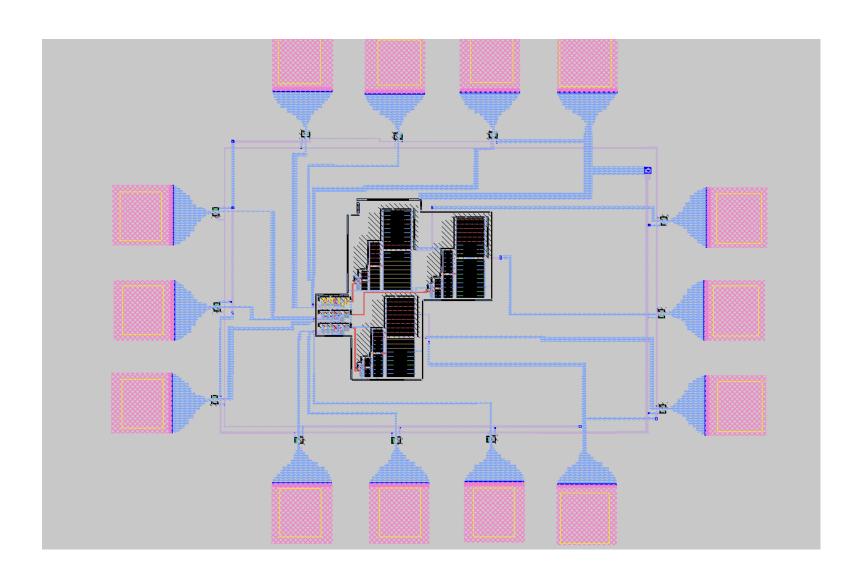


### TOPOGRAFIA CAŁEGO układu CD4075B

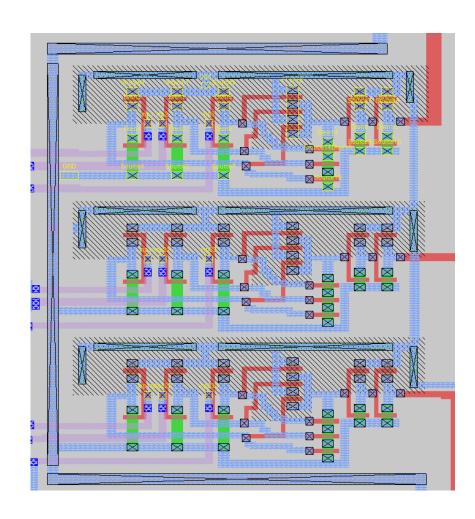


Chip dimensions and pad layout for CD4075B.

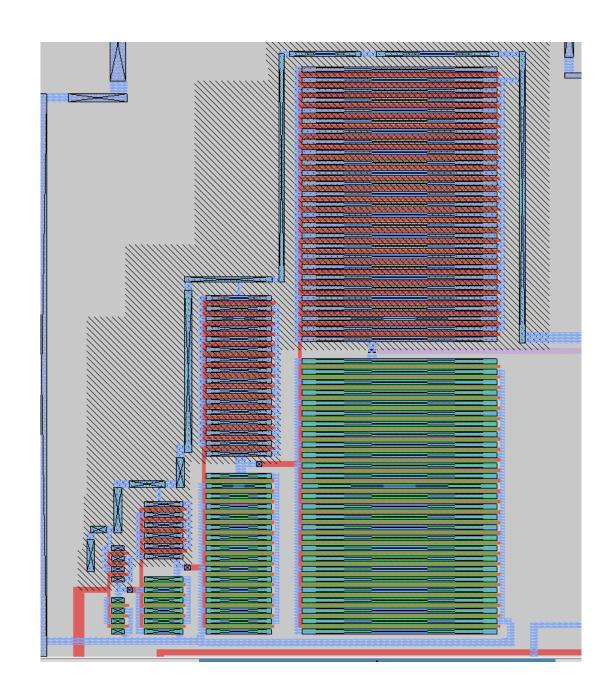
### **TOPOGRAFIA**



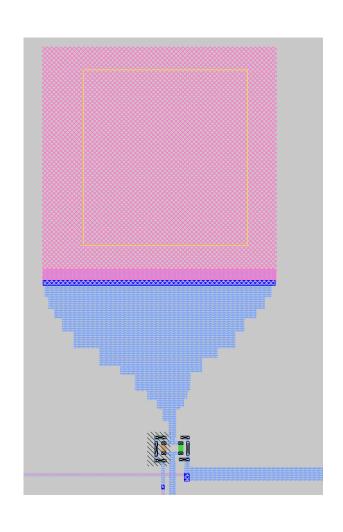
### **UKŁAD LOGICZNY**

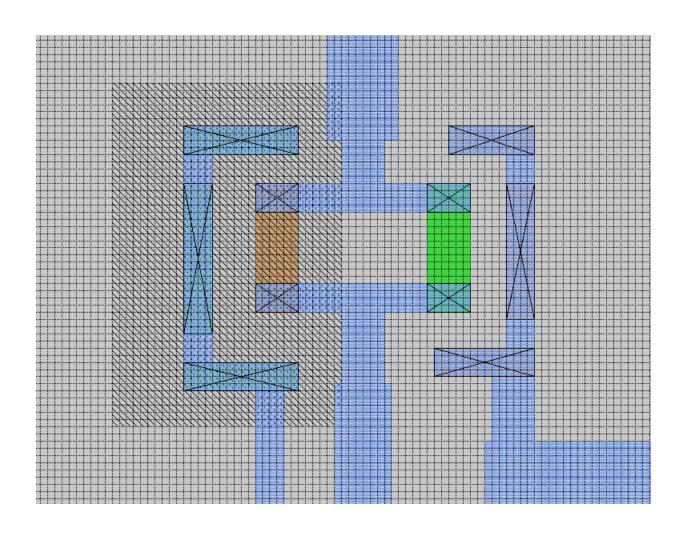


### **BUFOR**



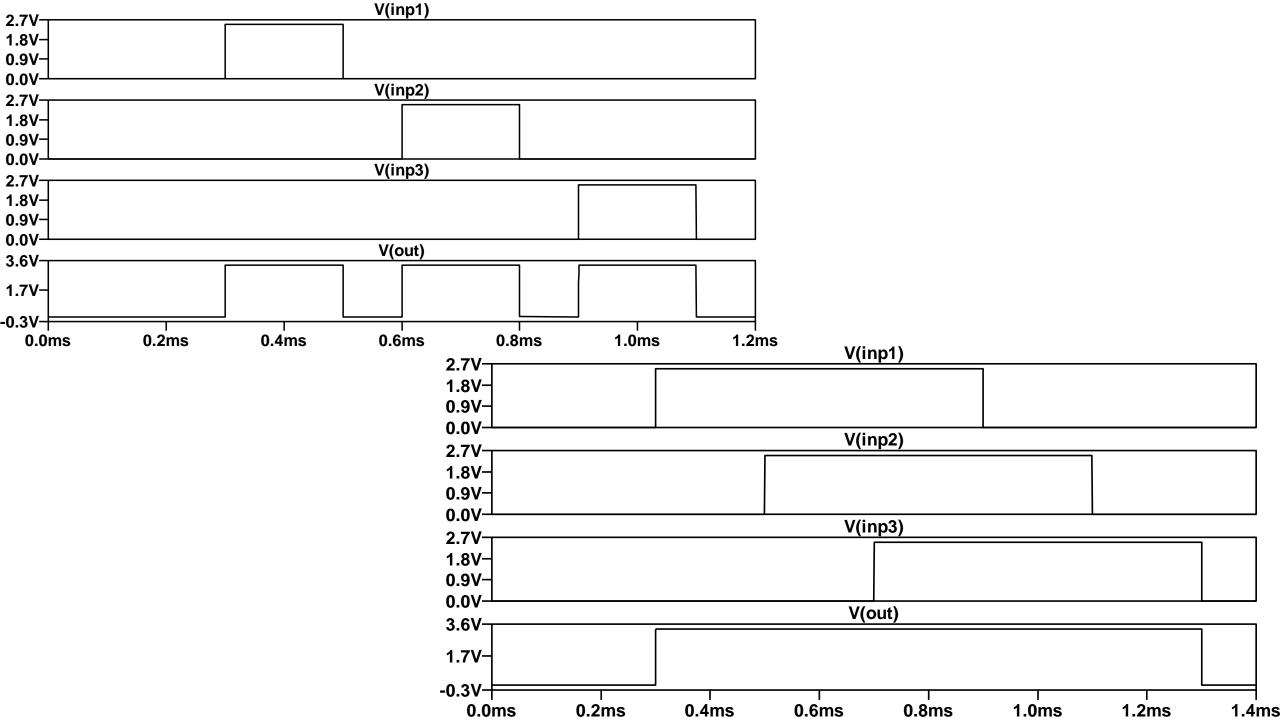
## **ESD** oraz Pady





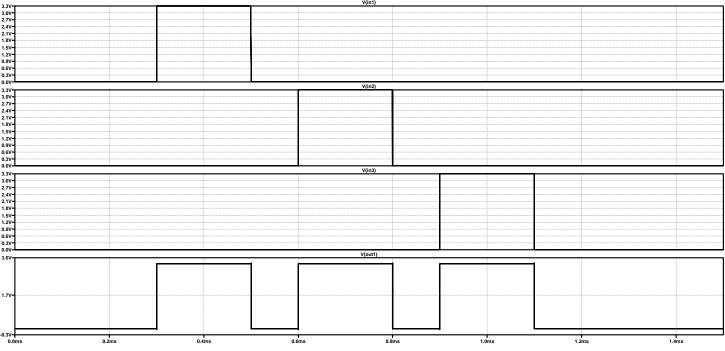


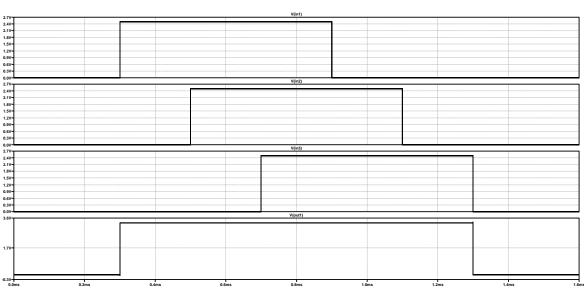
PRZEBIEGI CZASOWE DOKONANE PODCZAS PIERWSZEJ SYMULACJI UKŁADU





PRZEBIEGI CZASOWE DOKONANE po wykonaniu ekstrakcji





### OBLICZENIA TEORETYCZNE



### Zostały wykonane pomiary dla napięcia zasilania 3.3V+-10%

Zostały pomierzone parametry takie jak:

- a) Wymagane napięcie wejściowe
- b) Czas narastania
- c) Czas opadania
- d) Obciążenie prądowe
- e) Działanie na zmian temperatury

### Napięcie przełączania



Teoretyczne VDD=3.3V+-10% Napięcie do którego układ ma stan niski = 1.2V Napięcie od którego układ ma stan wysoki = 1.5V

Po ekstrakcji VDD=3.3V+-10% Napięcie do którego układ ma stan niski = 1.2V Napięcie od którego układ ma stan wysoki = 1.5V

## Czas narastania oraz czas opadania

Teoretyczne VDD=3.3V Czas narastania 24.627615ns Czas opadania 8.625ns

VDD=3.3V-10%=2.97V Czas narastania 26.666667ns Czas opadania 9.4142259ns

VDD=3.3V+10%=3.63V Czas narastania 22.208333ns Czas opadania 8.1694561ns

Po ekstrakcji VDD=3.3V Czas narastania 2.2337165ns Czas opadania 2.0723195ns

VDD=3.3V-10%=2.97V Czas narastania 2.4910714ns Czas opadania 2.2924107ns

VDD=3.3V+10%=3.63V Czas narastania 2.1416164ns Czas opadania 1.921351ns





WYNIKI OBCIĄŻENIA PRĄDOWEGO BADANEGO UKŁADU TEORETYCZNEGO Zostało przyjęte że na wyjście układu zostaną dodane 4 inwertery

N=4

Alfa=5

Rozmiary tranzystorów pierwszego inwertera

Wp=9u

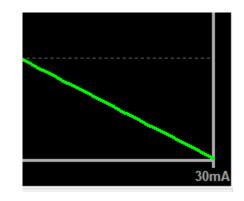
Wn=9u

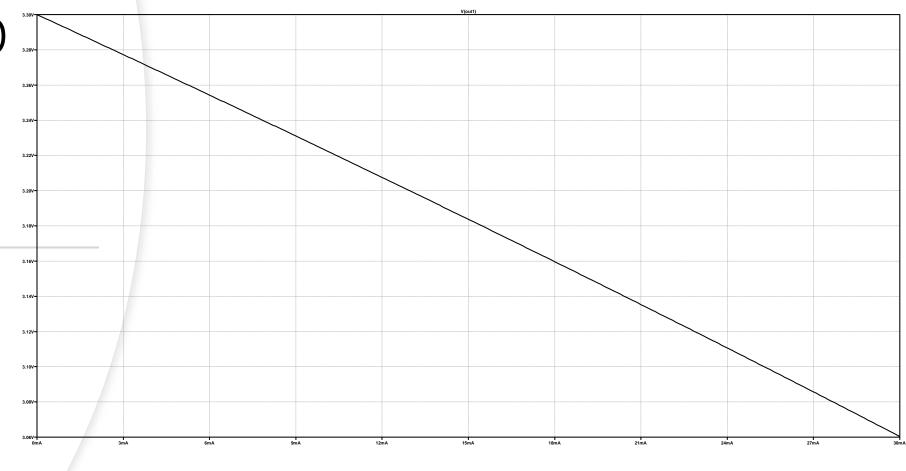
L=0.6u



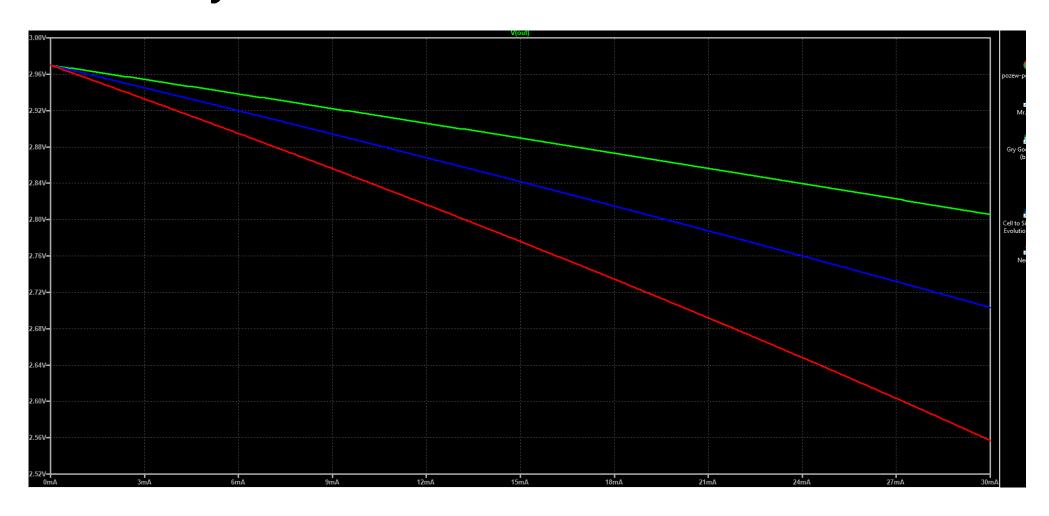


WYNIKI OBCIĄŻENIA PRĄDOWEGO 32 BADANEGO 14 UKŁADU PO 12 EKSTAKCJI 12

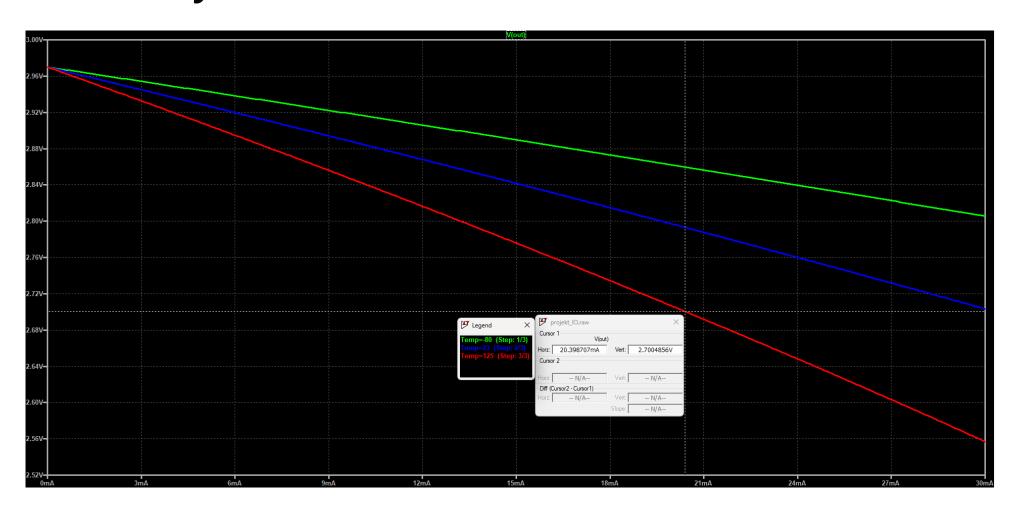




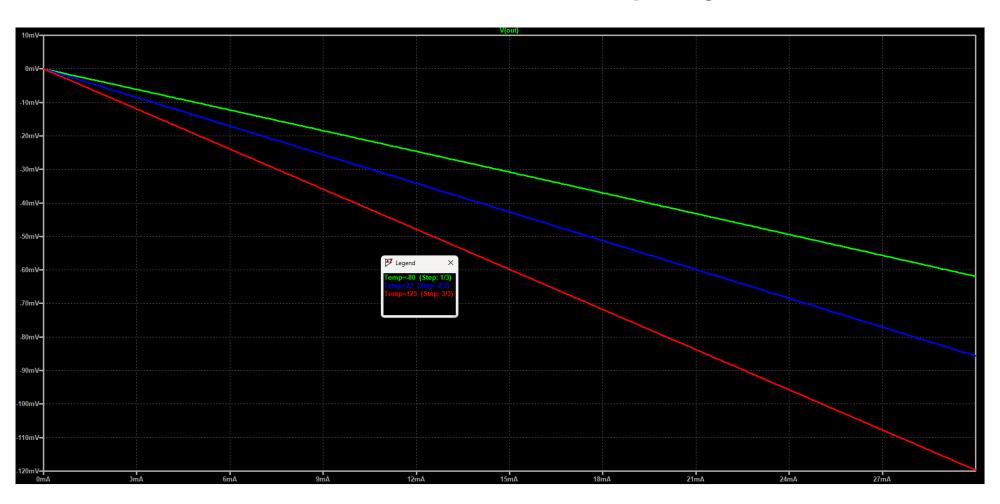
## Teoretyczny prąd wsteczny przy pobudzeniu stanem wysokim dla Vdd=3.3V



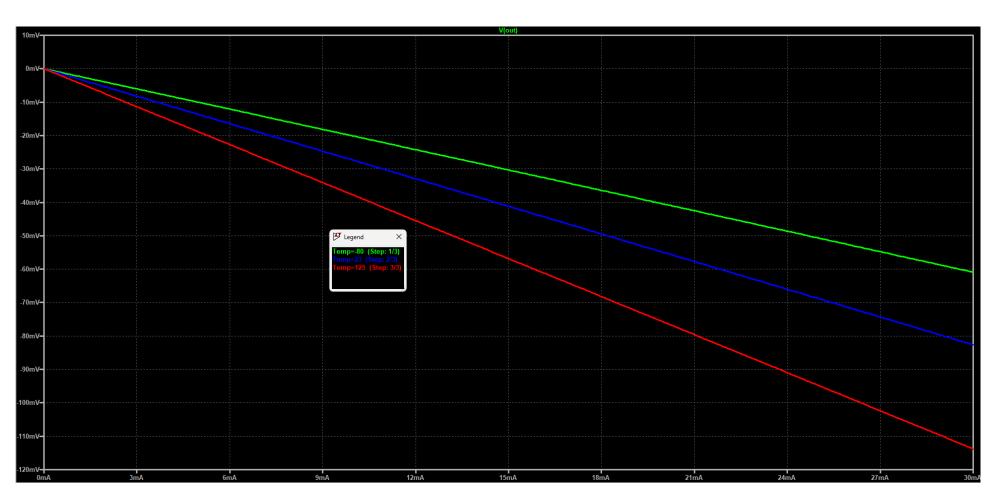
# Teoretyczny prąd wsteczny przy pobudzeniu stanem wysokim dla Vdd=2.97V



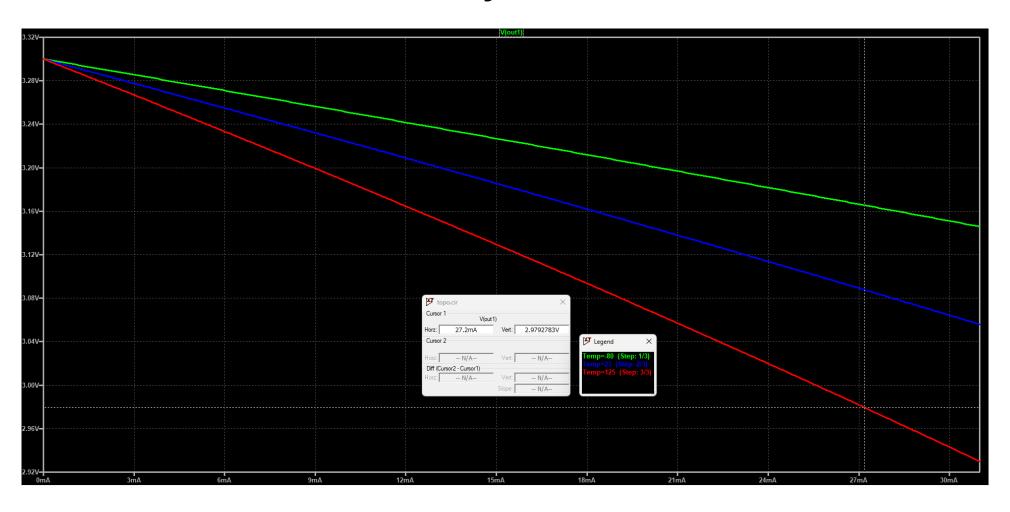
# Teoretyczny prąd obciążenia przy podzudzeniu stanem niskim przy Vdd=3.3V



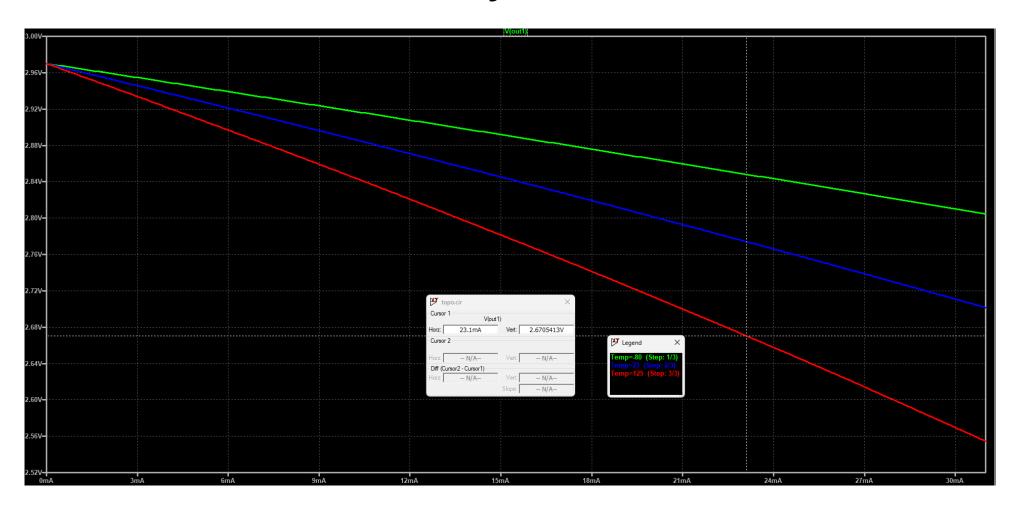
# Teoretyczny prąd obciążenia przy podzudzeniu stanem niskim przy Vdd=3.63V



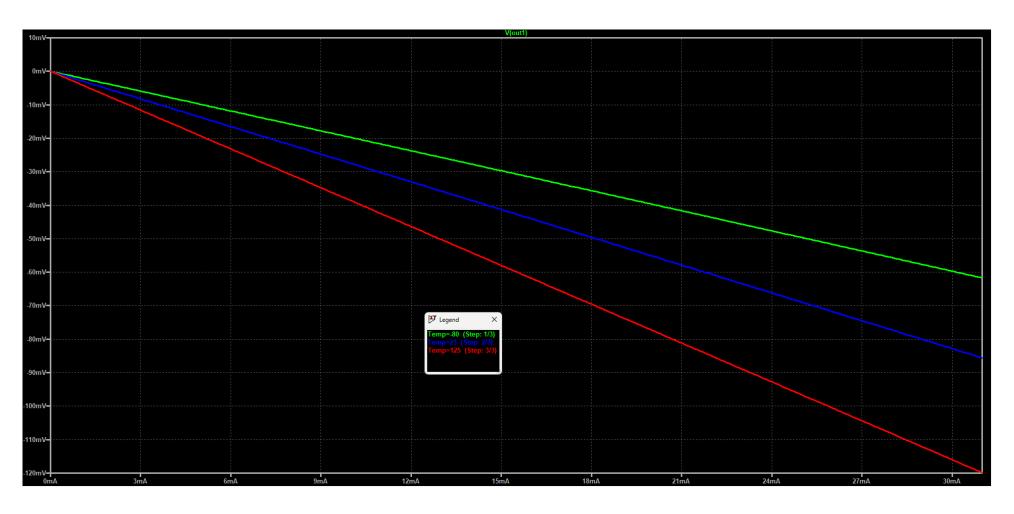
## Teoretyczny prąd wsteczny po ekstrakcji przy pobudzeniu stanem wysokim dla Vdd=3.3V



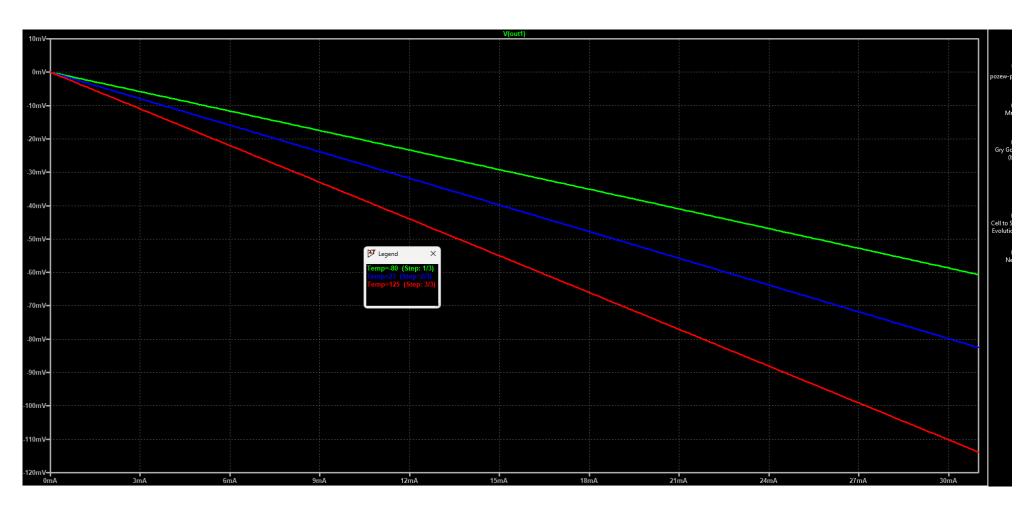
## Teoretyczny prąd wsteczny po ekstrakcji przy pobudzeniu stanem wysokim dla Vdd=2.97V



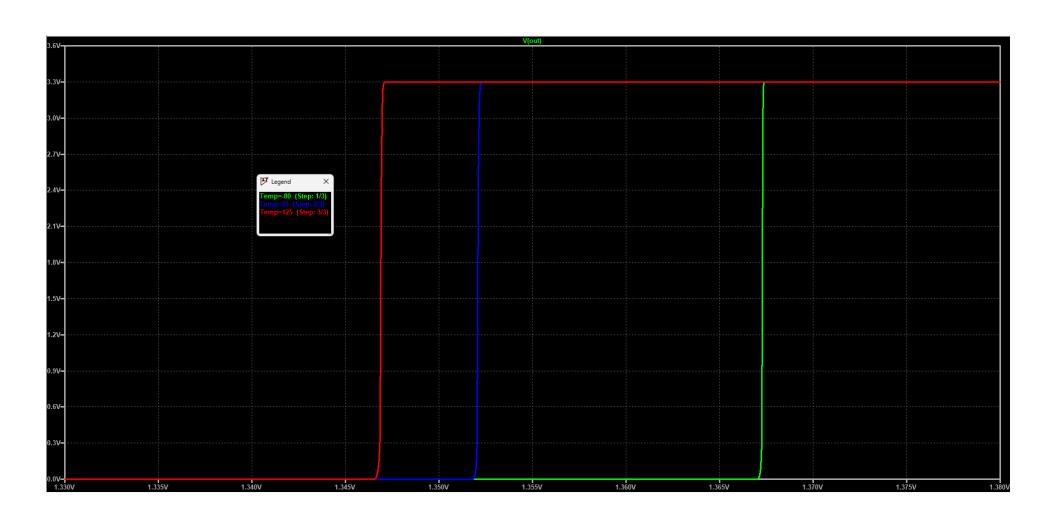
# Teoretyczny prąd wsteczny po ekstrakcji przy pobudzeniu stanem niskim dla Vdd=3.3V



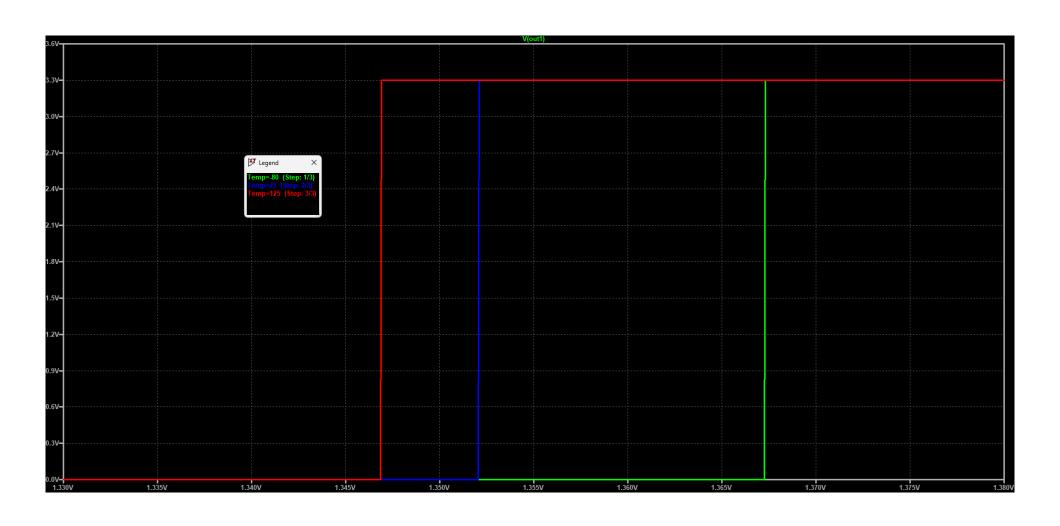
# Teoretyczny prąd wsteczny po ekstrakcji przy pobudzeniu stanem niskim dla Vdd=3.63V



## Napięcie przełączania teoretyczne

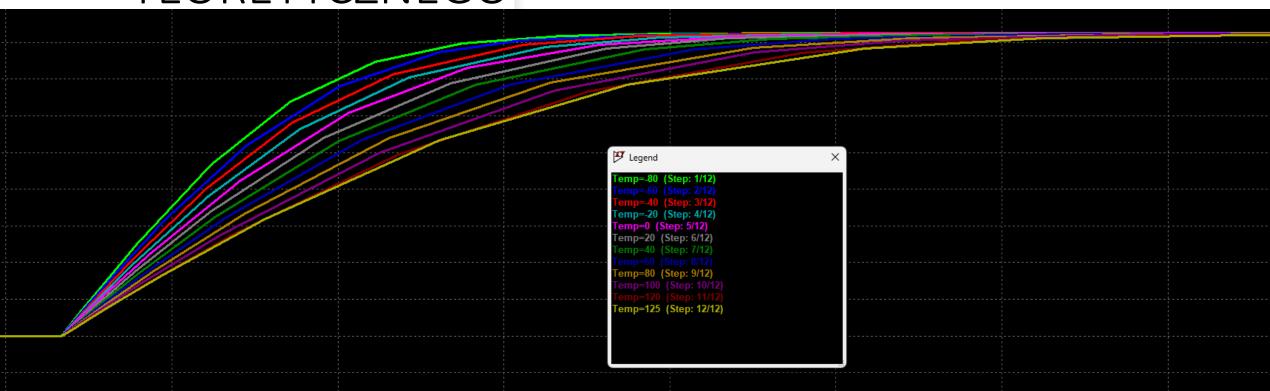


## Napięcie przełączania po ekstrakcji



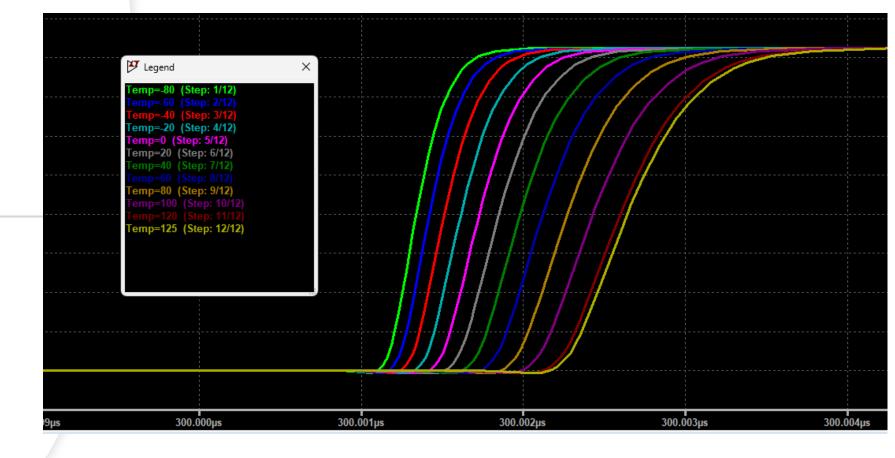
ZALEŻNOŚĆ
DZIAŁANIA
UKŁADU NA
ZMIANE
TEMPERATURY
UKŁADU
TEORETYCZNEGO







ZALEŻNOŚĆ DZIAŁANIA UKŁADU NA ZMIANE TEMPERATURY UKŁADU PO EKSTRAKCJI





#### Literatura:

https://www.ti.com/lit/ds/symlink/cd4075b.pdf?ts=1702929353437&ref\_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FCD4075B%253Futm\_source%253Dgoogle%2526utm\_medium%253Dcpc%2526utm\_campaign%253Dasc-int-null-44700045336317929\_prodfolderdynamic-cpc-pf-google-wwe\_int%2526utm\_content%253Dprodfolddynamic%2526ds\_k%253DDYNAMIC%2BSEARCH%2BADS%2526DC\_M%253Dyes%2526gad\_source%253D1%2526gclid%253DCjwKCAiA-P-rBhBEEiwAQEXhH42jH7tifXT1Onrd-h5-lqJmrr3fCwnnL9CQtRTd2b0KnMYL7VbHSBoCbu4QAvD\_BwE%2526gclsrc%253Daw.ds