

## 1. 背景

這學期的計算機組織為先前數位邏輯設計的課程內容之延伸，計組課程以 MIPS 處理器的運作模式、電路設計架構為主要方向，同時帶入了以硬體描述語言 Verilog 來實作邏輯電路設計的教學內容。

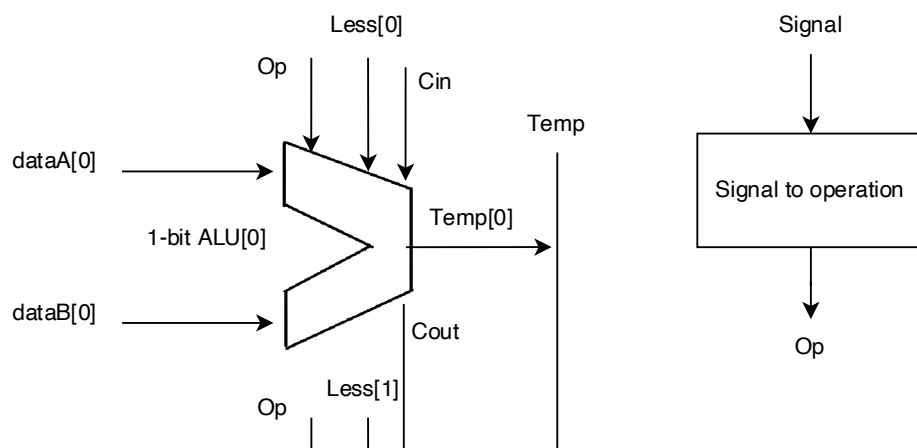
本次作業的目的為實作一個具有加減法、乘法、邏輯運算跟移位功能，且可以選擇功能的算數邏輯器(ALU)。結合先前數位電路的訊號輸入/輸出與邏輯閘等概念，依照本次作業要求編寫出數種功能不一樣的組合邏輯與時序邏輯之電路元件，再將這些元件依照彼此之間的輸入/輸出之關係進行拼接，合而為一，形成功能完整的 ALU。

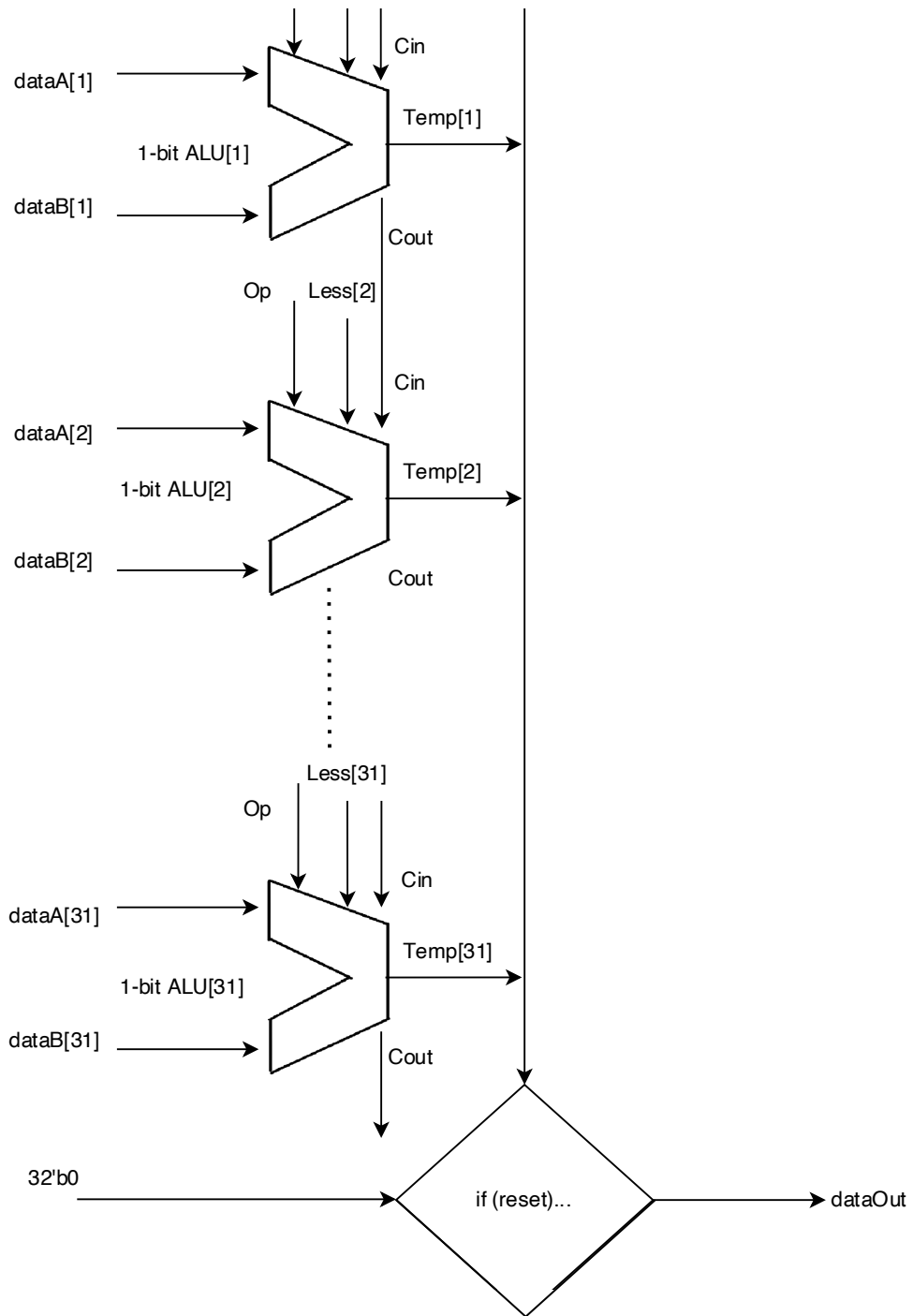
## 2. 方法

設計重點說明：

- ALU 的全加法器須確實寫出，不可直接用+，架構也應為 32 個 1-Bit ALU 連接起來，資料要單個位元分開處理。
- 以時脈週期的累加去做乘法器的計算。
- 160 個多工器並以 dataB 的五個位元做判斷的移位器。
- 將 reg 改 wire 解決不能使用 always@ ( ) 的狀況。
- Mux 在時脈下沿觸發，以避免值延後輸出。

ALU 詳細架構：

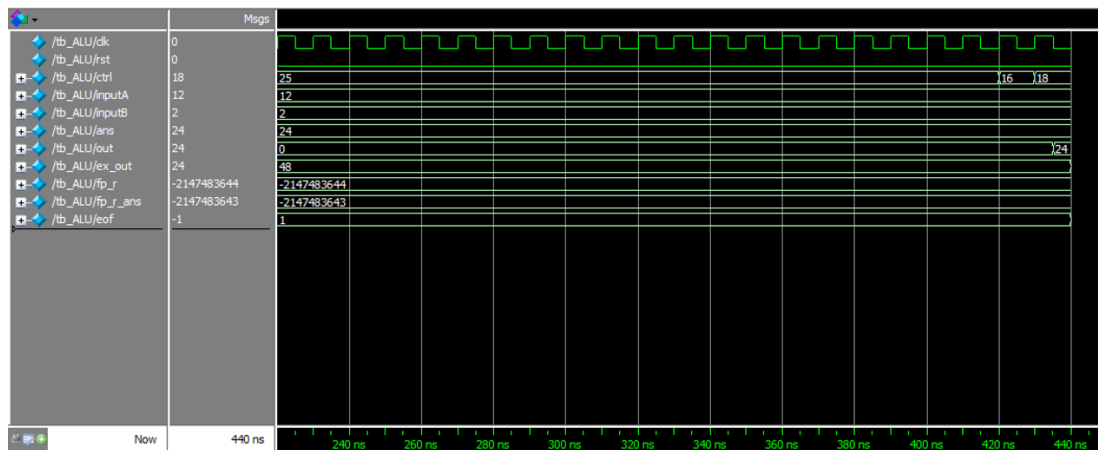




### 3. 結果

模擬結果：





#### 4. 討論

設計上的挑戰：

作業上對 Verilog 程式的編寫方式有特別規範，因此會需要將老師原本提供的範本給大幅修改，寫出的成品在功能上會與範例原版大同小異，但實際上架構相差甚遠，為了思考出新的編寫方式、架構排版，就會耗費而外的心力來完成。

舉例來說，Module ALU 原版中的架構是 behavior modeling，而且 A 與 B 直接使用運算元來求取相對應的輸出值；作業則需要運用 gate level 與 dataflow modeling，電路的結構與設計上有更多細節，資料傳輸、運算的過程也會步驟更多。

程式驗證&修正：

除了運用編譯器做為第一關的程式碼錯誤檢查，也檢查模擬的執行結果。檢視波型圖與 transcript 上的執行輸出訊息，以此評估是否有其他編譯器無法指出的邏輯錯誤，或是元件數值沒有正常傳輸到另一端的錯誤。

#### 5. 結論

此次作業總共使用了 10 種 module，每個元件該具有的功能必須都齊全，除此之外題目、講義沒提到的部分也不該加，規範之所以限制編寫架構與方式，是為了能強調移位器、ALU 等模塊的基礎組成元件、結構設計，另外也可以訓練我們以不同的電路描述方式，實作出功能相同的處理器元件。

## 6. 未來展望

這次作業的程式除了未來會作為期末作業編寫 CPU 的基礎之外，如果會在其他機緣之下再次接觸硬體描述語言的話，也有機會作為另類的 Verilog 編寫參考模板。

目前階段也還只是以程式模擬，做出作業中的數位電路，未來假設有機會以實體電子元件來實作同樣的 ALU 的話，就可從更不一樣的方面來規劃實作方式，會需要考量的因素和條件更豐富，如果還需要探討物理層面的問題，如元件壽命、功耗、產品大小與其他性質等，也會比較貼切實際的處理器元件實作程序。