

《微机原理与接口》

第7章 直接内存存取（DMA）


教师：苏曙光
华中科技大学软件学院

● 教学内容

- 第1节 DMA基本概念
- 第2节 8237DMA控制器
- 第3节 8237寄存器组和编程

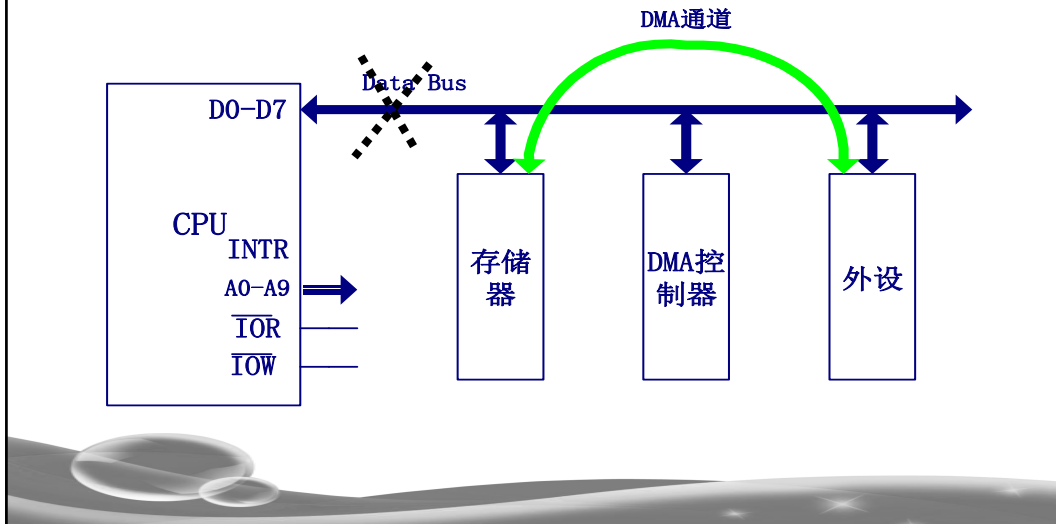


第1节 DMA基本概念

- 无条件传送，查询传送，中断传送的共同特点
 - 外设 ↔ CPU ↔ 内存
 - 两个含义：
 - 1) 软件：外设与内存之间的数据传送是通过CPU执行程序来完成的（PIO方式）；
 - 2) 硬件：I/O接口和存储器的读写控制信号、地址信号都是由CPU发出的（总线由CPU控制）。
 - 缺点：
 - CPU忙于数据传送工作，使得CPU的工作效率低
- 

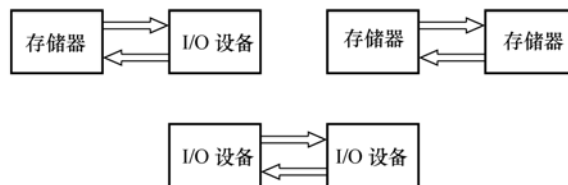
DMA: Direct Memory Access

- 在内存-I/O设备或内存-内存或I/O设备-I/O设备间直接传送数据，不需要CPU的中转。



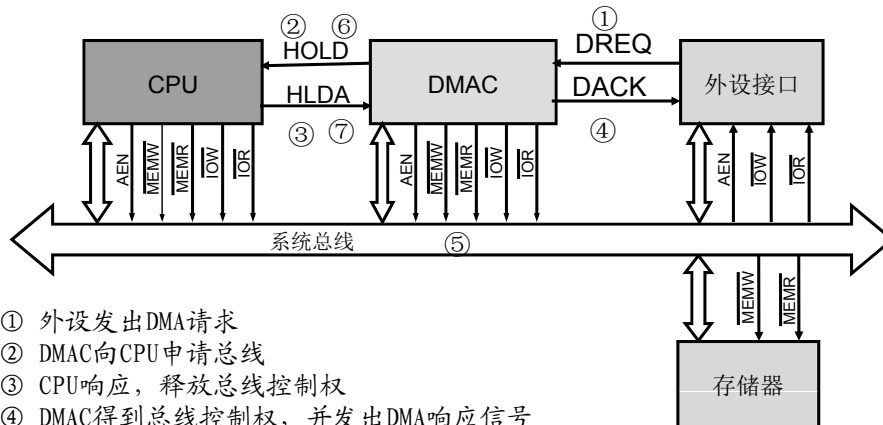
● 传输特点

- 1) 在内存-I/O设备或内存-内存或I/O设备-I/O设备间直接传送数据，不需要CPU的中转



- 2) 用于高速批量数据传送系统。如磁盘、高速采集等系统
- 3) 需要有**DMA控制器**（DMAC, DMA Controlor）支持。

DMA传送原理示意图



- ① 外设发出DMA请求
- ② DMAC向CPU申请总线
- ③ CPU响应，释放总线控制权
- ④ DMAC得到总线控制权，并发出DMA响应信号
- ⑤ DMAC发出各种控制信号，控制外设与存储器间的数据传送
- ⑥ 数据传送完后，DMAC撤销HOLD信号
- ⑦ CPU释放HLDA信号，并重新控制总线

⑤ DMAC发出各种控制信号，控制外设与存储器间的数据传送

■ 1) DMAC送出地址信号和相应的控制信号

◆ 例如：从外设向内存传送一个字节：

□ 向I/O接口发出I/O读信号

□ 同时往地址总线上发出存储器的地址和存储器写信号和AEN信号。

■ 2) DMAC自动修改地址和字节计数器，并判断是否需要重复传送操作。

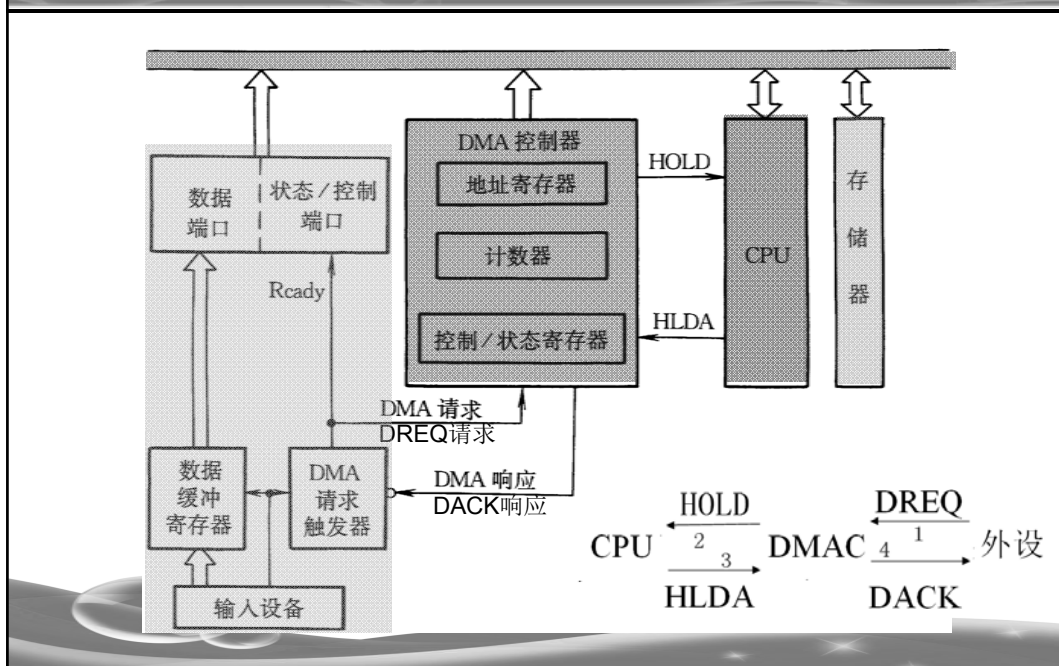
DMA控制器的两种工作状态

- 被动态与主动态
- 被动态
 - DMAC和其他I/O接口芯片一样，受CPU的控制。
 - 编程状态
- 主动态
 - DMAC取代CPU而成为系统（总线）的主控者。
- DMAC的工作状态不断相互转化的。

DMA传送过程（五个阶段）

- 初始化阶段
- 申请阶段
 - DMA控制器收到DMA请求后，向CPU发出总线请求信号，申请占用总线。
- 响应阶段
 - CPU在每一个总线周期结束后检测是否有总线请求信号，如果有且总线锁定信号LOCK无效时，将三总线“浮空”，并回送总线应答信号，表示已让出总线。
- 数据传送阶段
 - DMA控制器收到总线应答信号后，回发**DMA请求应答**信号。DMAC占用总线，向存储器和外设发出读/写控制信号，完成数据传送操作。
- 传送结束阶段
 - 传送完后，DMAC通知外设，外设收到此信号后，使**DMA请求**信号变为无效，进而导致**总线请求**信号变为无效，DMAC释放总线，CPU重新占用总线。DMA传送结束。

DMAC硬件结构和工作原理（以I/O输入到MEM为例）

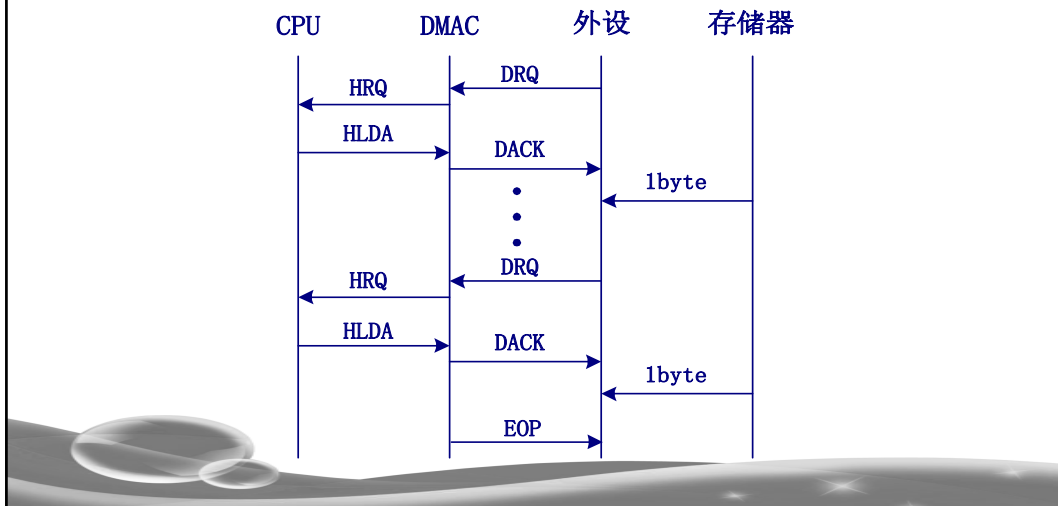


● DMA传送方式【按字节数量】

- (1) 单字节方式
- (2) 字节组方式（块方式，BLOCK）
- (3) 请求方式（按需方式，猝发方式）

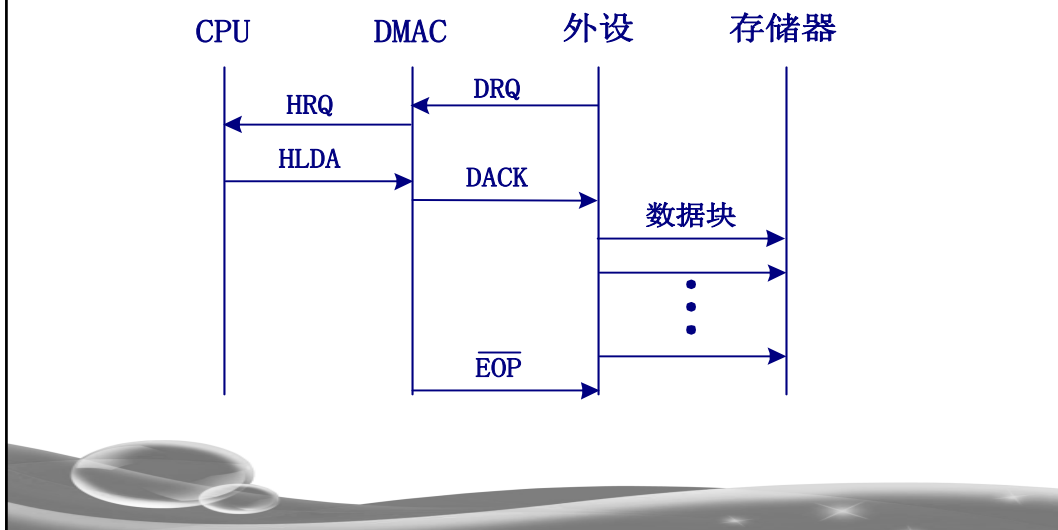
(1) 单字节方式

- 每次只操作一个字节，即发出一次总线请求，DMAC占用总线后，进入DMA周期只传送一个字节便释放总线。由于每次只占用一个总线周期，也称为总线周期窃取方式。



(2) 字节组方式 (块方式, BLOCK)

- 一旦DMA传送开始，一直要把整个数据块传送完毕才释放总线。传送过程中，屏蔽别的DMA操作。



(3) 请求方式（按需方式，猝发方式）

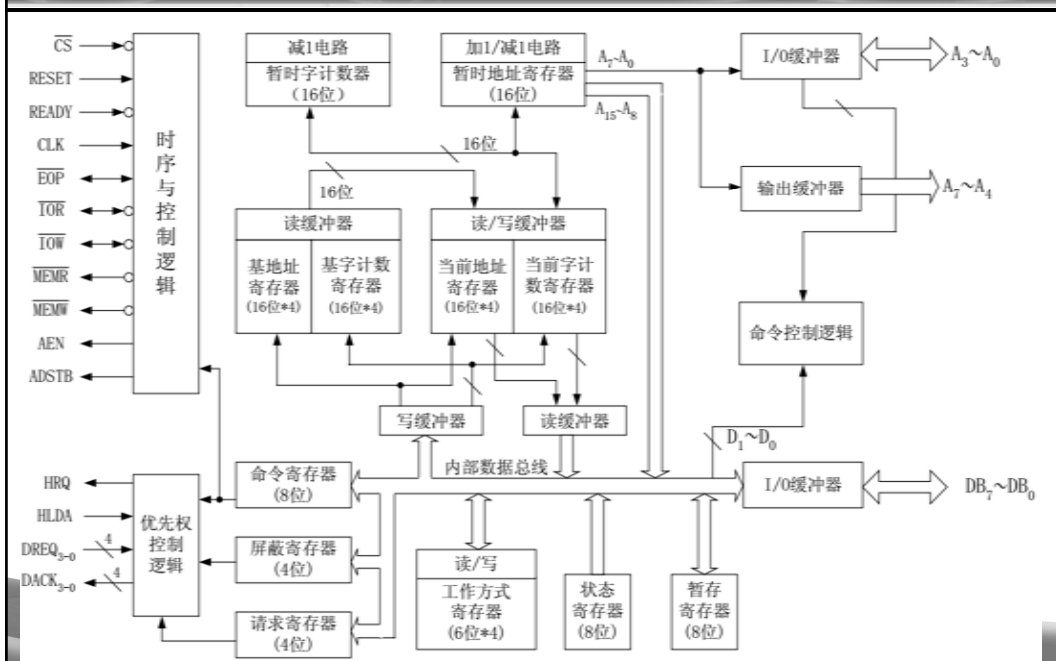
- 与字节组方式类似
- 收到**DMA请求**后，DMAC申请总线传送一个字节，在S4状态查询DMA请求信号是否有效；若有效，继续传送；若无效，8237保存中间值，此时可让更高优先级的DMA通道进行传输；当字节计数为0或EOP信号变为有效时，DMA传送过程结束。

第2节 8237A DMAC

● 主要功能和特点

- (1) 有四个独立DMA通道
- (2) 每个通道的DMA请求都可以分别允许和禁止。
- (3) 每个通道的优先权可以固定，也可旋转（编程决定）。
- (4) 每个通道一次传送数据的最大长度可达64K字节。可以在存储器与外设间进行，也可在存储器两个区域间进行。
- (5) 可以级连，任意扩展通道数。
- (6) 支持四种传送方式
 - ◆ 单字节传送 | 数据块传送 | 请求传送 | 级连
- (7) 有结束处理信号EOP，结束DMA传送或重新初始化。

8237的结构



8237的结构

- DREQ0~DREQ3: DMA通道请求。
 - 外设请求DMA服务时, 将DREQ信号置成有效电平, 并要保持到产生响应信号。
 - DREQ 0 优先级最高。
- DACK0~DACK3: DMA通道响应。
 - 8237A对外设的通道请求产生的相应响应信号。
- HRQ: 总线请求。
 - 8237A输出有效的HRQ高电平, 向CPU申请使用系统总线。
- HLDA: 总线响应。
 - 接收来自CPU的响应信号HLDA, 取得总线的控制权。

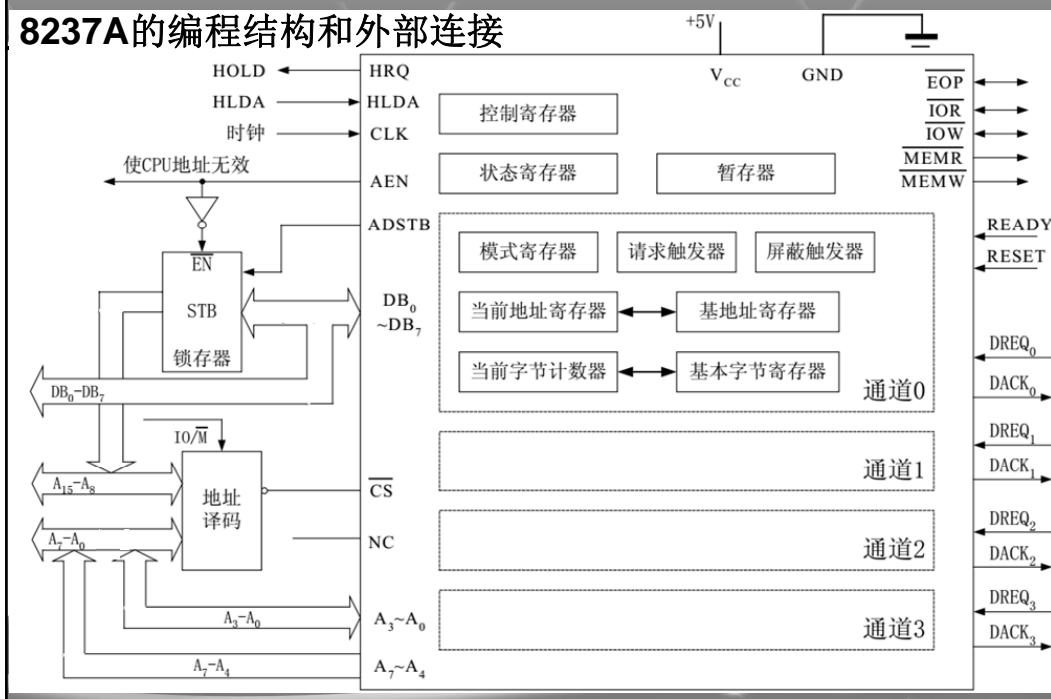
8237的结构

- A0-A3: 4根地址线, 双向三态。
 - 被动态时输入: CPU对8237片内16个端口寻址。
 - 主动态时输出: 访问存储器的地址低4位 A_{0-3} 。
- A4-A7: 4根地址线, 单向。
 - 8237主态时输出: 访问存储器的地址(次低4位: A_{4-7})。
- DB0~DB7: 双向三态双功能线。
 - 被动态: 数据线, CPU对8237初始化用或传送状态。
 - 主动态: 地址线, 访问存储器的高8位地址 A_{15-8} 。
- ADSTB: 地址选通, 输出。
 - 16位地址的高8位地址锁存器的选通信号, 输出。
- AEN: 地址允许, 输出。
 - 高8位地址锁存器的输出允许信号。

8237的结构

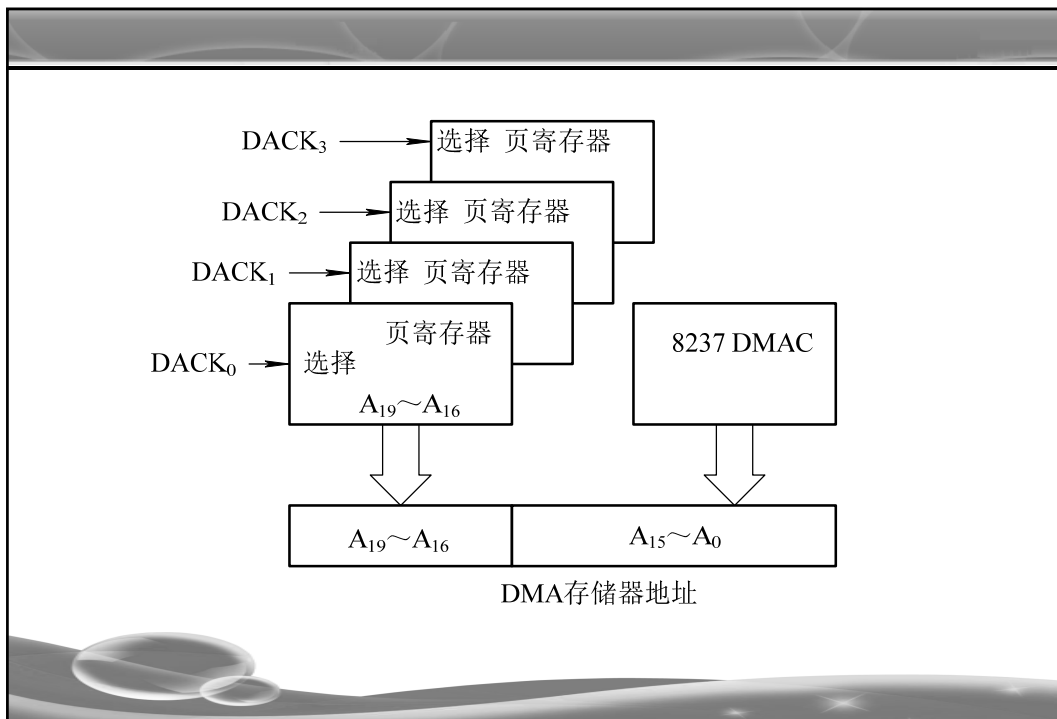
- $\overline{\text{MEMR}}$: 存储器读。
 - 将数据从存储器读出
- $\overline{\text{MEMW}}$: 存储器写。
 - 将数据写入存储器
- $\overline{\text{IOR/IOW}}$: I/O读/ I/O写信号，双向。
 - 主动态时：输出，对I/O设备进行读/写。
 - 被动态时：输入，CPU向DMAC写命令、初始化或读状态。
- READY : 准备好。
- $\overline{\text{EOP}}$: 过程结束。
 - DMA传送结束，低脉冲有效。输入低脉冲则终结DMA传送。
- $\overline{\text{CS}}$: 片选。

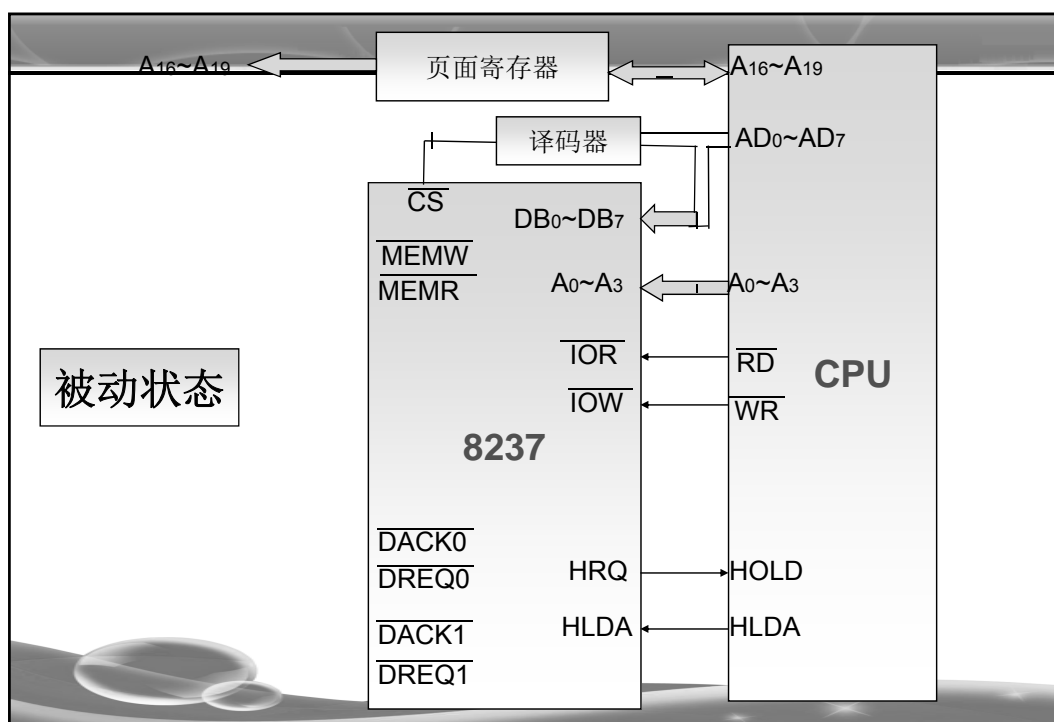
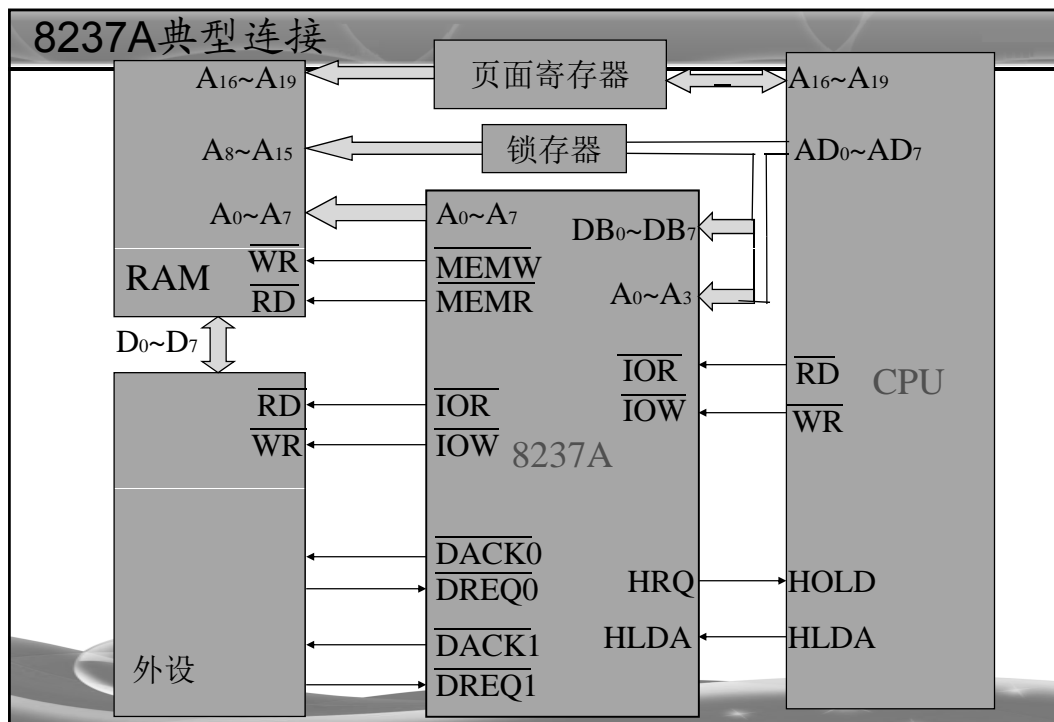
8237A的编程结构和外部连接

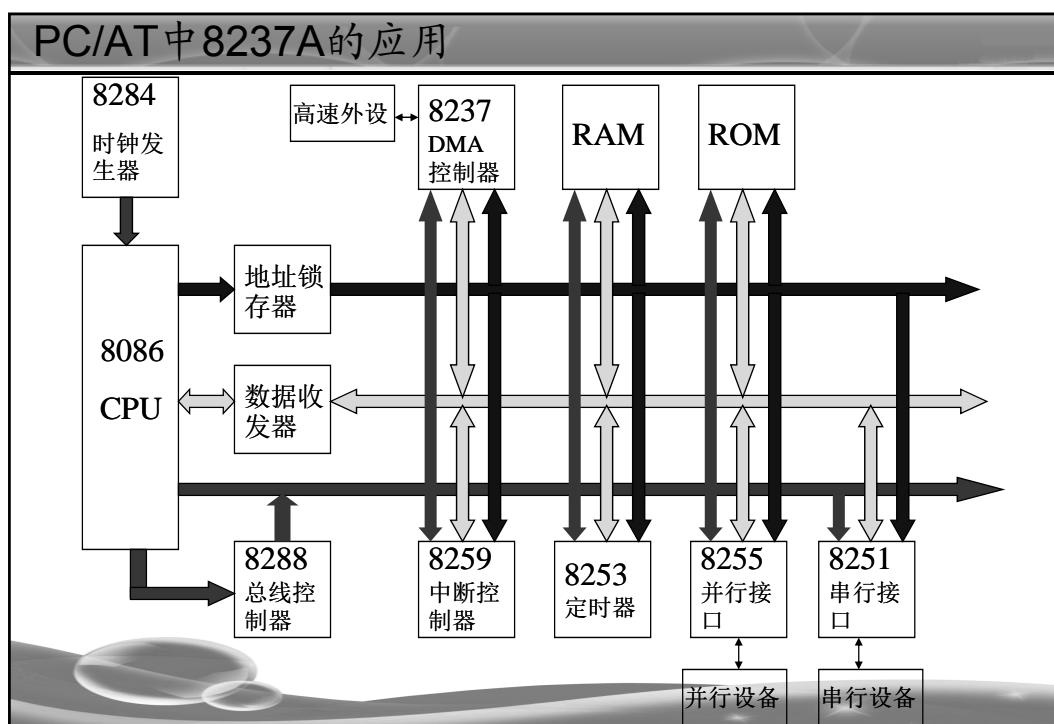
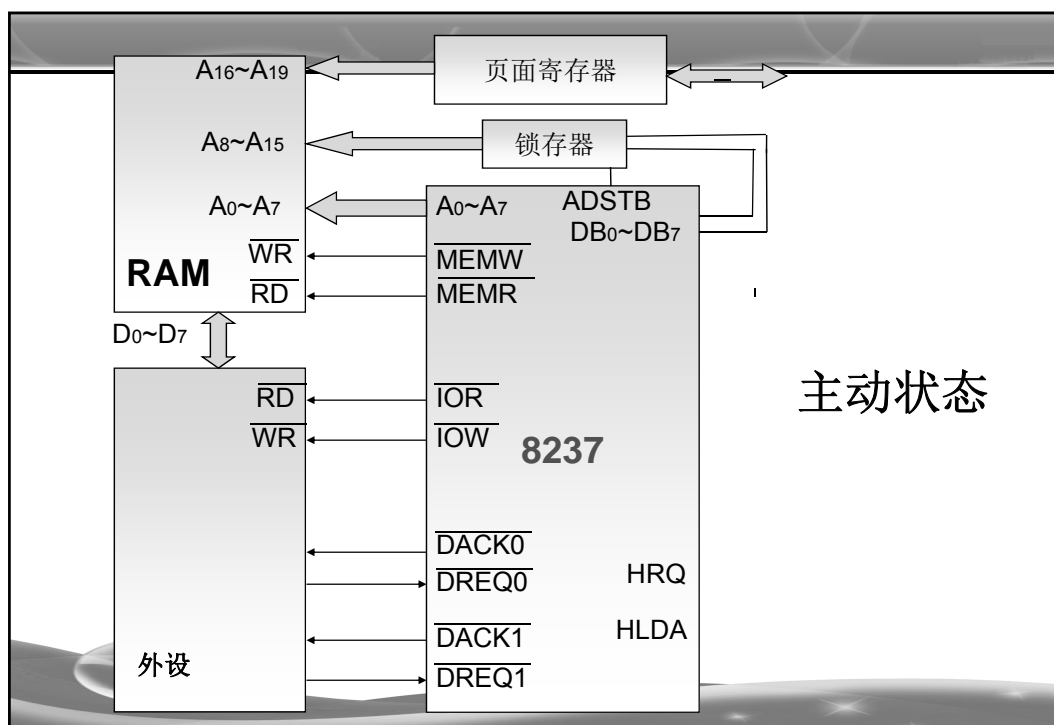


思考：MEM有20位地址线时8237如何处理？

- 用硬件提供一组4位的页面寄存器。
 - 通道0、1、2、3各有一个4位的页寄存器。
 - 在进行DMA传送之前，页寄存器可利用I/O地址来装入和读出。
 - 当进行DMA传送时，DMAC将A0~A15放在系统总线上，同时页寄存器把A16~A19也放在系统总线上，形成A0~A19这20位地址信号实现DMA传送。







8237的工作周期

- 空闲周期 |过渡状态|有效周期
- 空闲周期SI
 - 特点：未编程或已编程但还没有DMA请求。被动态。
 - 采样DREQ：检测外设是否请求DMA服务
 - 采样 \overline{CS} ：检测CPU是否对DMAC进行初始化。当 \overline{CS} 低且DREQ无效，则认为是CPU正在对DMAC初始化编程。
- 过渡状态S0：从空闲周期过渡到有效周期
 - 初始化后，若检测到DREQ有效，表示外设要求DMA传送：DMAC→CPU（HRQ）。DMAC时序从SI状态跳出进入过渡状态S0，重复执行S0状态，直到收到CPU的应答信号HLDA后，才结束S0状态，进入有效周期（的S1状态）。

8237的工作周期

- 有效周期（包含S1, S2, S3, S4, S_w）
 - ①S1：更新高8位地址。
 - ②S2：输出16位RAM地址和发出DACK信号寻址I/O设备。
 - ◆ 高8位：DB0~DB7输出（用ADSTB锁存）
 - ◆ 低8位：A0~A7输出
 - ◆ 向外设发出DACK信号寻址，随后发读/写命令。
 - ③S3：读周期
 - ◆ 读源数据：发出MEMR或IOR命令，。
 - ◆ 8位数据放到DB上等待写周期的到来。
 - ④S4：写周期。
 - ◆ 写数据到目标区域：发出IOW或MEMW命令。
 - ◆ 把保持在DB上的数据写到RAM或I/O口。完成1字节传送。