

《微机原理与接口》

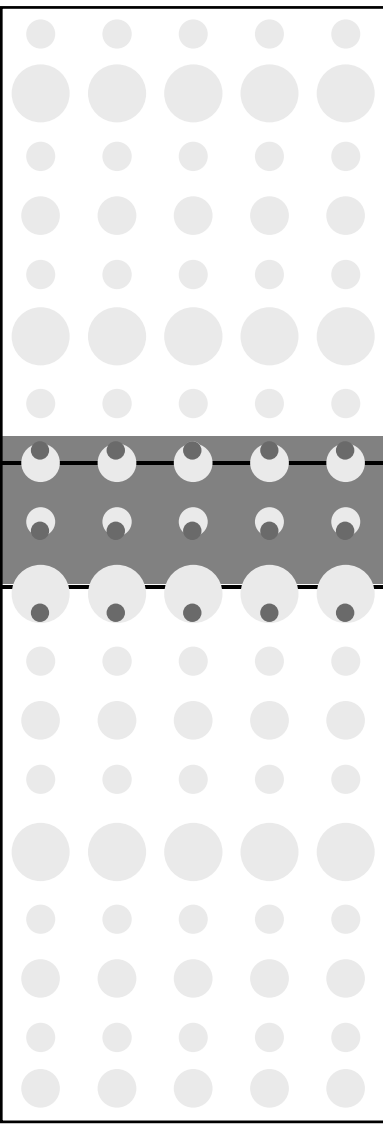
第4章 8088存储系统

教师：苏曙光

华中科技大学软件学院

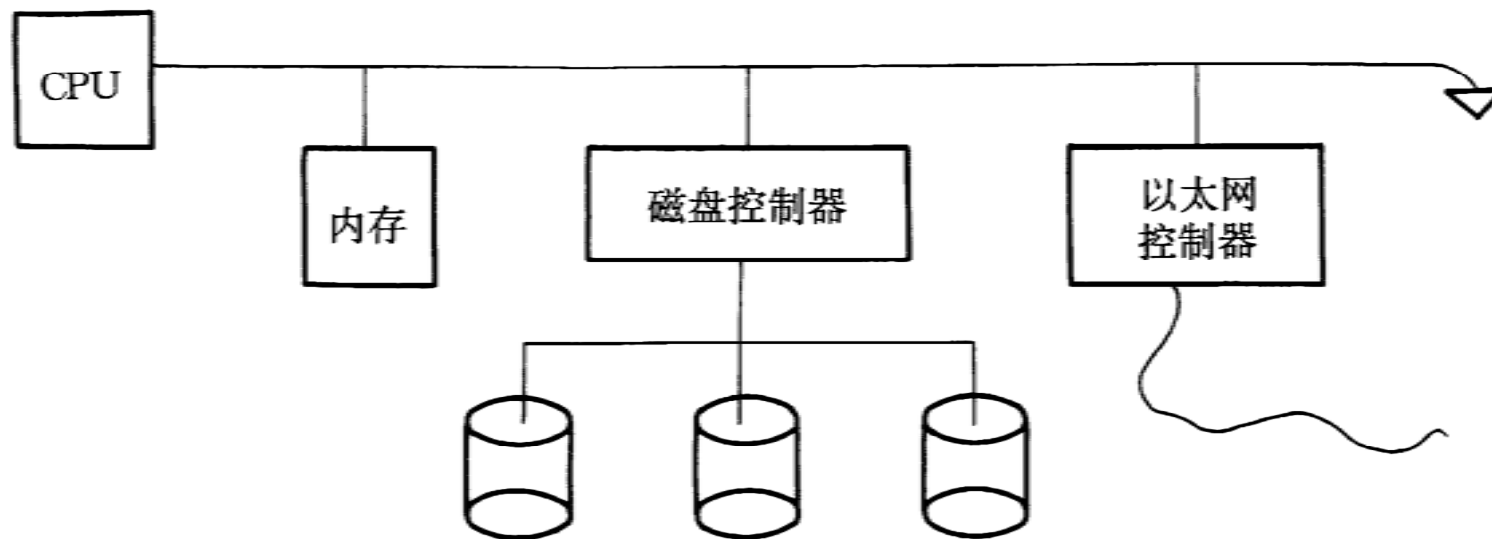
● 第四章 8088存储系统

- 1. 存储器的设计
- 2. IBM PC/XT的结构
- 3. 8088最小系统设计



第1节 8088的存储器

● 存储的层次



● 存储器（Memory）

- 存储器是计算机的记忆设备，用来存放程序和数据。

- 存储介质

 - ◆ 半导体器件和磁性材料。

 - ◆ 最小存储单位就是一个双稳态半导体电路或一个CMOS晶体管或磁性材料存储元，它可存储一位二进制代码（BIT）。

存储器的分类

- 按存储介质分
 - 半导体存储器：用半导体器件组成的存储器。
 - 磁表面存储器：用磁性材料做成的存储器。
- 按存储方式分
 - 随机存储器：任何存储单元的存取时间和位置无关。
 - 顺序存储器：只能按某种顺序来存取，存取时间和位置有关。
- 按存储器的读写方式
 - 只读存储器(ROM)：半导体存储器。
 - 随机读写存储器(RAM)：半导体存储器。
- 按信息的可保存性分
 - 非永久记忆的存储器：断电后信息即消失的存储器。
 - 永久记忆性存储器：断电后仍能保存信息的存储器。

半导体存储器的分类与结构

- 只读存储器 ROM分类与特点

- 掩膜ROM —— ROM

- 可编程ROM—— PROM (Programmable)

- 可擦除ROM——EPROM (Erase Programmable)

- 闪存存储器——Flash Memory

类型	特点	容量	读取	写时间
PROM	批量生产, 工厂编程	KB	150ns	
EPROM	小批量, 设计厂编程	KB	150ns	>10s
Flash Memory	批量产生, 用户编程	MB	80ns	>10us

半导体存储器芯片的结构（RAM为例）

- 组成：

- 存储体

- ◆ 多个存储单元的有机集合就是存储体。

- 线性排列或矩阵排列

- 外围控制电路

- ◆ 地址引脚（地址总线）

- ◆ 输入和输出电路（双向数据总线）

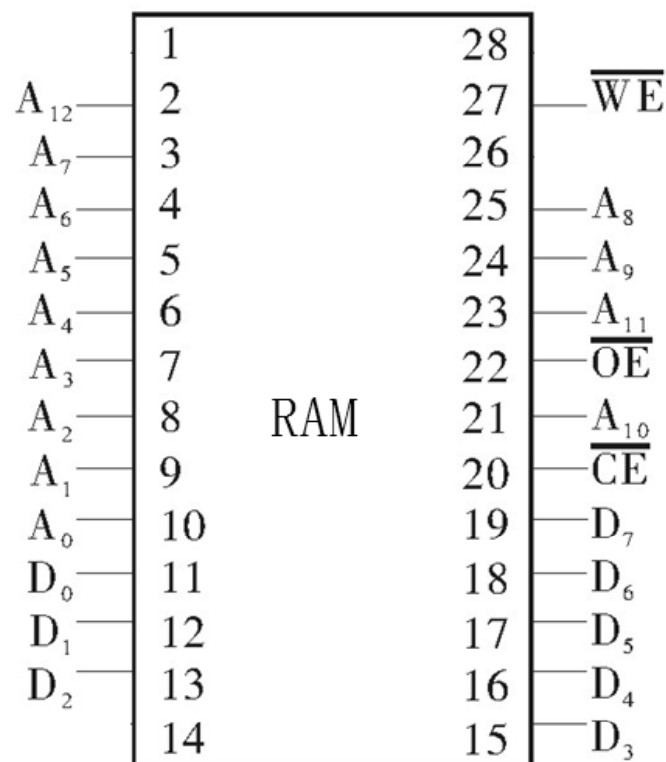
- ◆ 片选端（CS）

- ◆ 读写控制端

RAM芯片的典型结构

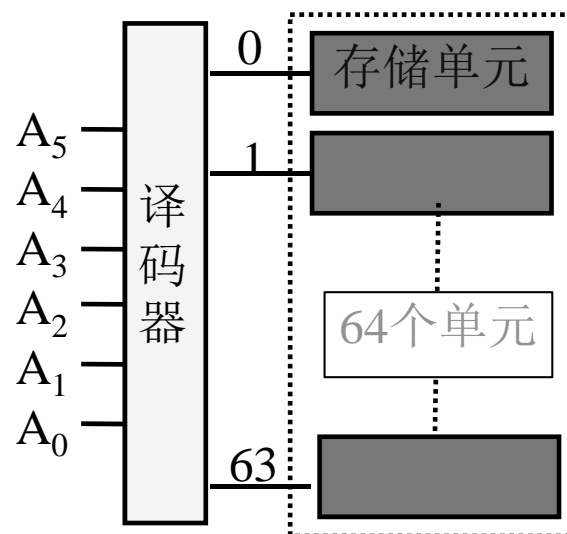
● RAM芯片的典型结构

- 一组地址线
- 一组数据线
- 片选线
- 读线
- 写线

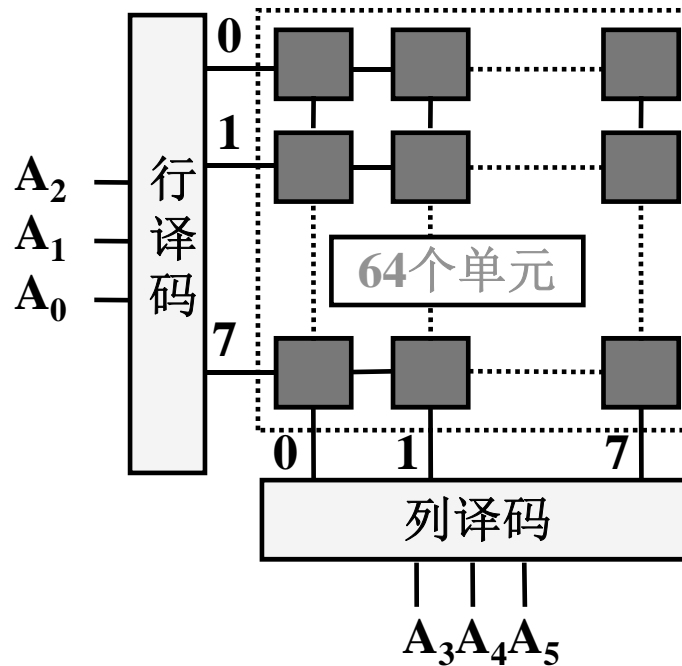


存储单元的两种排列方式

- 以64个存储单元为例



线性排列



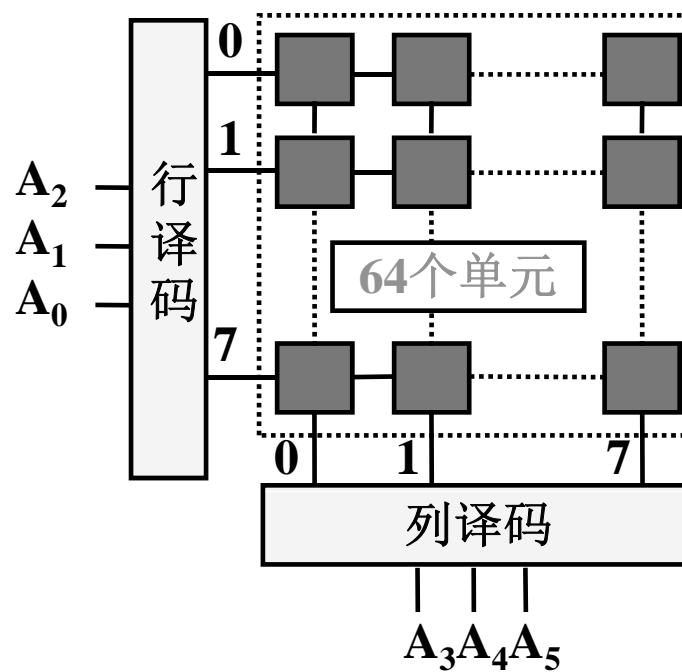
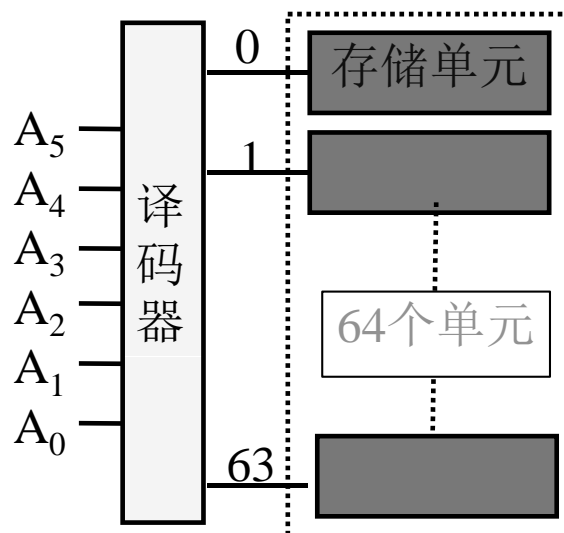
矩阵排列

存储单元的两种排列方式

- 两种地址译码方式

- 单译码方式• 64根选择线

- 双译码方式• 16根选择线



RAM的结构与工作原理：动态RAM|静态RAM

- 动态RAM（DRAM）的特点

- 存储单元——用电容充电保持，单管结构，简单；
- 动态刷新——存储的数据处于暂态，保留2~8ms；
- 容量较大——单位面积的存储单元多



典型SRAM芯片

● 典型SRAM芯片

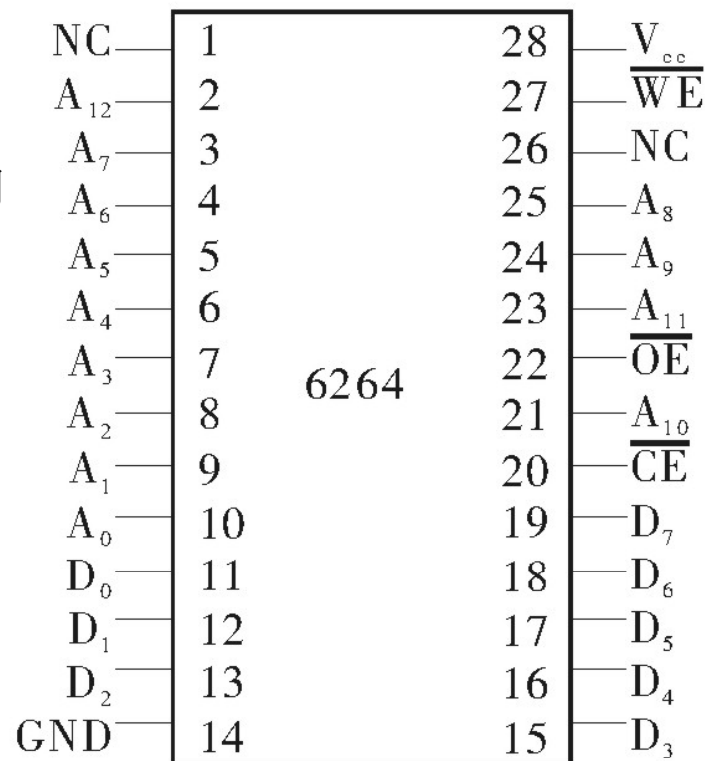
■ Intel 2114\6116\6232\6264\621

◆ $6264 = 8KB = 8K \times 8 = 2^{13} \times 8$

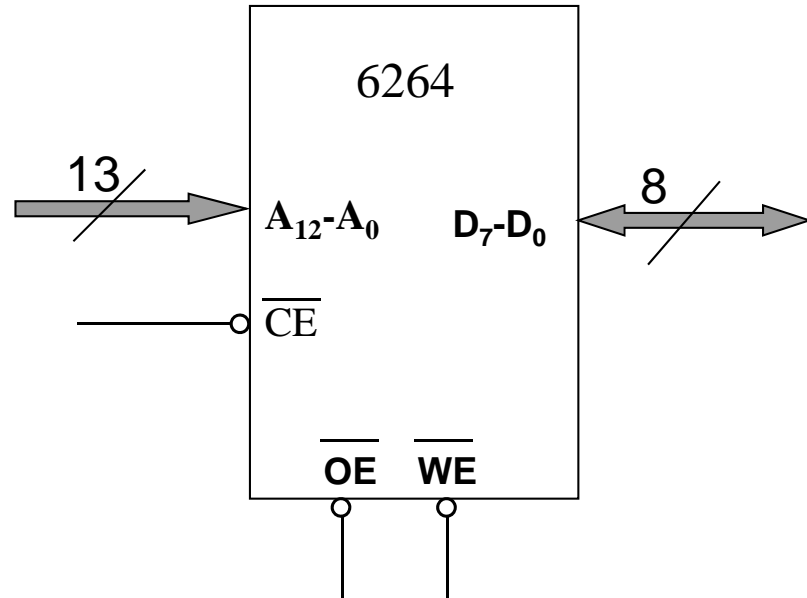
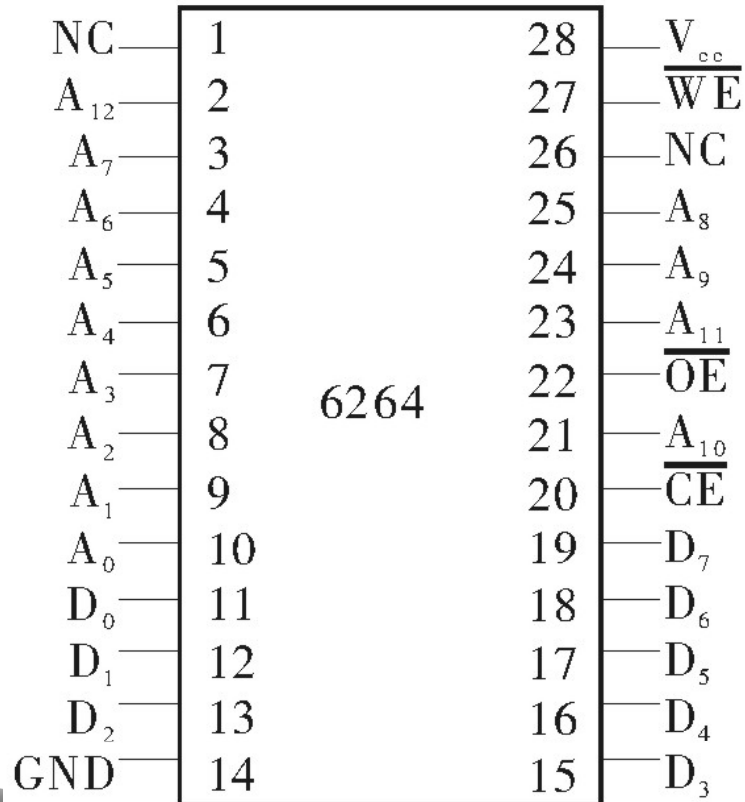
◆ 13根地址线 (9根X向, 4根Y向)

◆ 8根数据线

◆ 片选线、读写线和电源线



INTEL6264的封装



INTEL6264的引脚

- 地址线: $A_0 \sim A_{12}$
- 数据线: $D_0 \sim D_7$
- 输出允许信号: \overline{OE}
- 写允许信号: \overline{WE}
- 选片信号: \overline{CE}

6264的工作方式和工作过程

\overline{CE}	\overline{WE}	\overline{OE}	方式	操 作
0	0	0	非法	不允许 \overline{WE} 与 \overline{OE} 同时为低电平
0	1	0	读出	从RAM中读出数据
0	0	1	写入	将数据写入RAM中
0	1	1	选中	内部I/O三态门均处于高阻
1	×	×	未选中	内部I/O三态门均处于高阻

- RAM与CPU的连接

- 地址线的连接

- 数据线的连接

- 控制线的连接

- 在连接中要考虑的问题

- 数据总线和芯片位数的匹配.（位扩展，横向扩展）

- 存储容量与芯片容量的匹配.（字扩展，纵向扩展）

- 每个芯片在存储空间中的范围（片选**CE**的译码）

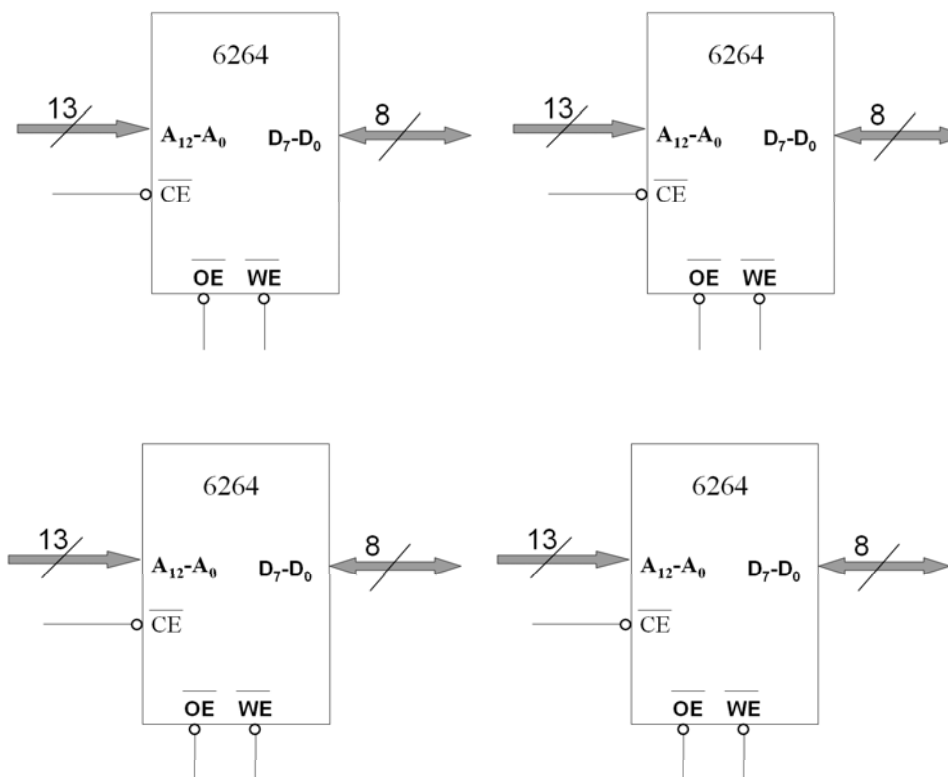
存储器系统地址译码的设计

- 存储空间的设计

- 字扩展

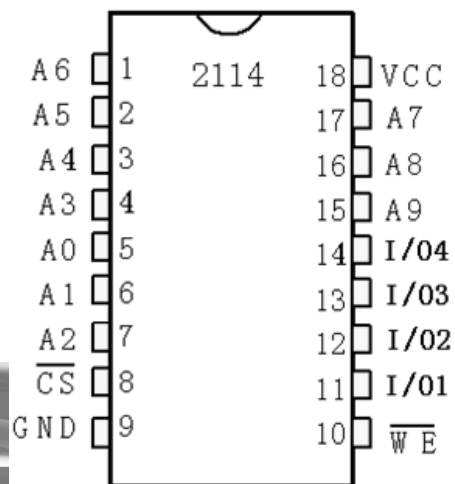
- 位扩展

- 字扩展和位扩展



位扩展

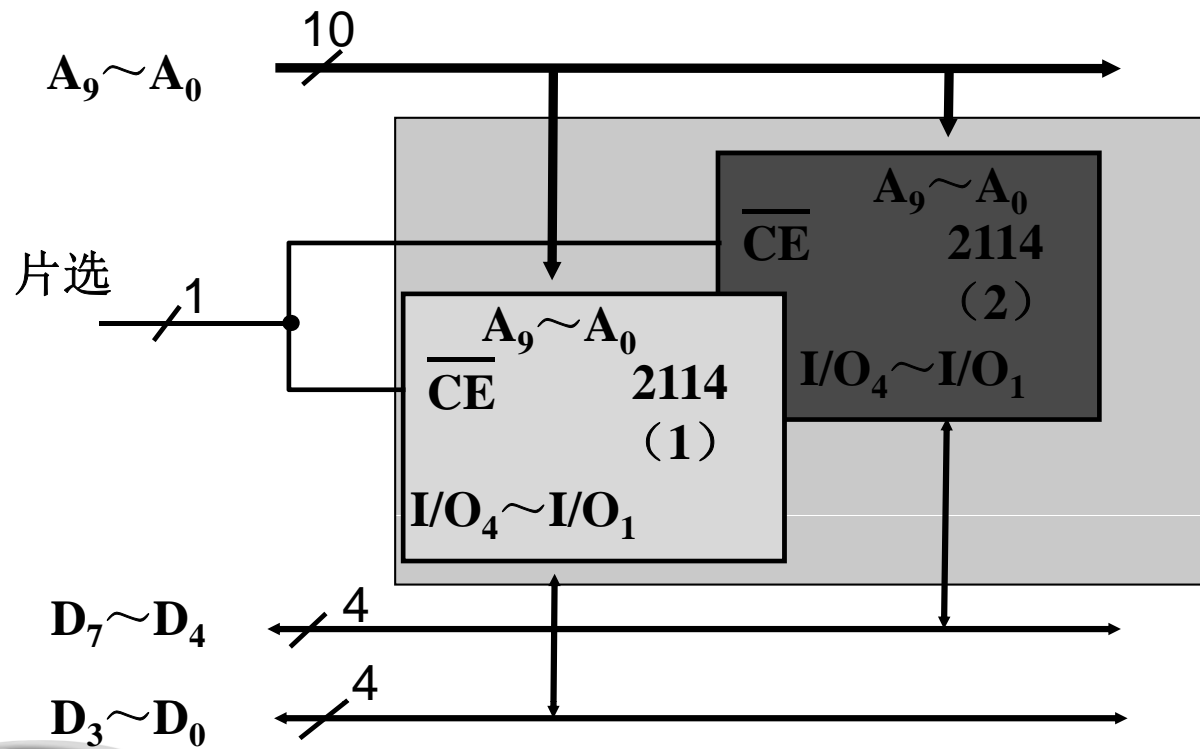
- 当芯片数据总线宽度 < CPU数据总线宽度时，进行位扩展，用数个芯片联合起来提供一个完整的字数据。
 - 芯片数量 = CPU数据总线宽度（或字长）/ 芯片数据总线宽度
- 8088的数据总线宽度= 8位
- 扩展原则：每个芯片的地址线、控制线、片选端相连，仅数据线分别引出，从而每个芯片提供字的不同位段。
- 例：用Intel2114芯片(1K x 4)，设计1K * 8的存储系统。



W E	\overline{CS}	方式	D7-D0
X	H	未选中	高阻
H	L	写	O U T
L	L	读	I N

位扩展

- 用Intel2114芯片(1K x 4), 设计一个1Kx8的存储系统



字扩展

- 功能

- 扩展存储空间容量。当单个芯片（字数）容量太少时，需要进行字扩展，需要数个芯片联合起来形成大容量的存储空间。

- 芯片数量 = 所需容量（或字数）/ 单个的芯片容量

- 扩展原则

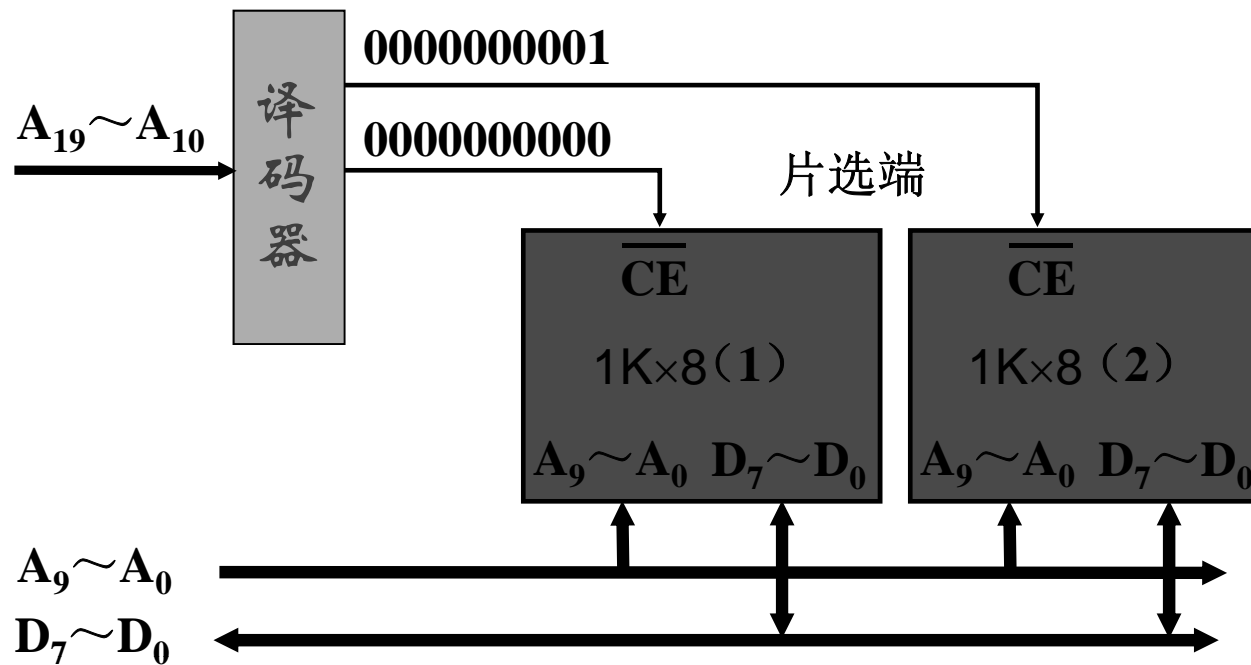
- 每个芯片的地址线、数据线、控制线并联，仅片选端分别引出，实现每个芯片占据不同的地址范围。

- 例子

- 用两片 $1\text{K} \times 8$ 位SRAM芯片构成 $2\text{K} \times 8$ 位的存储器

字扩展

- 两片（ $1K \times 8$ 位）构成 $2K \times 8$ 位的存储器



字位扩展

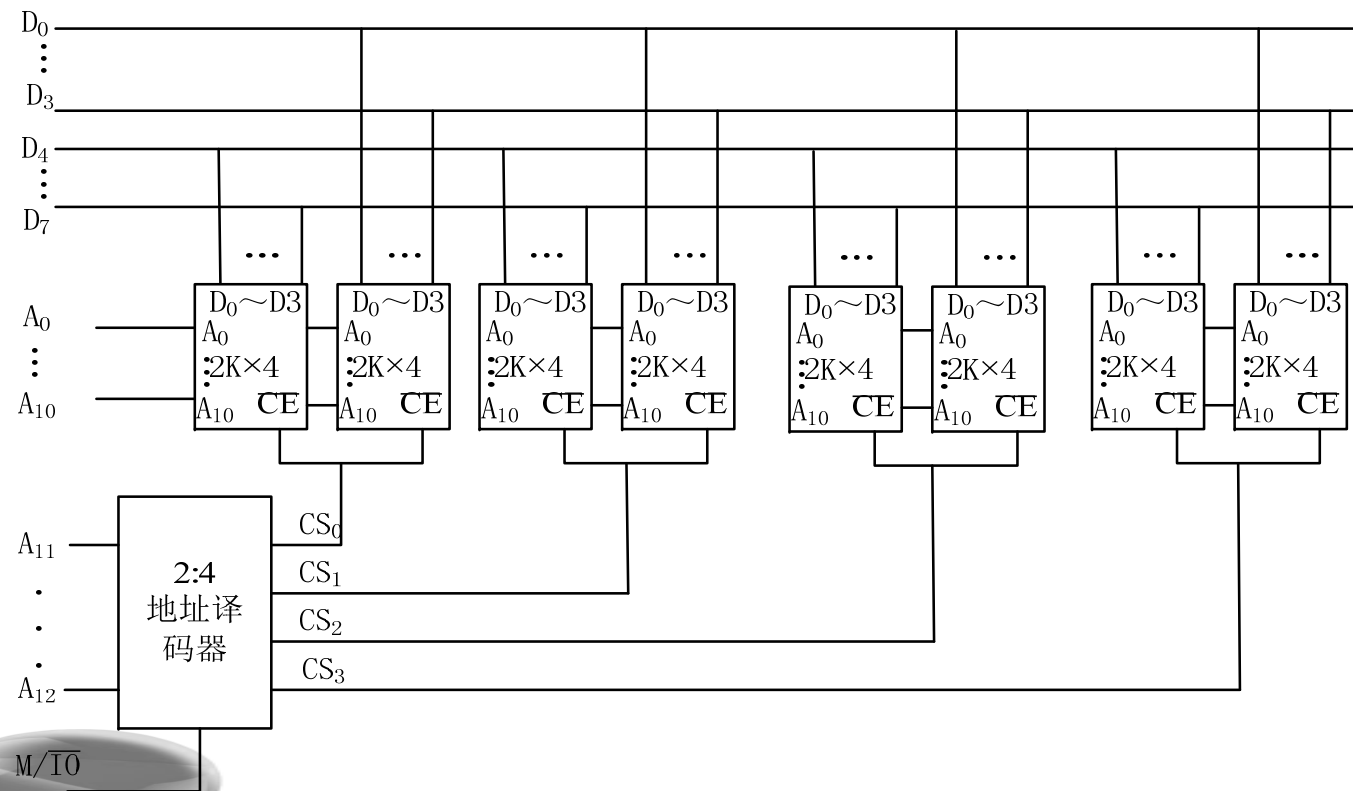
- 适用条件:

- 字向和位向均不能满足要求时需进行字向和位向同时扩充。

- 方法:

- 一个存储器系统的容量为 $M \times N$ ，若使用 $L \times K$ 存储器芯片，那么，这个存储器子系统系统共需要 $(M/L) \times (N/K)$ 个存储芯片，分成 M/L 组，每组 N/K 片，组内采用位扩展法连接（数据线连接不同），组间采用字扩展法连接（片选线连接不同）。

- 例3：用 $2K \times 4$ 位的存储器芯片组成 $8K \times 8$ 位的RAM存储器。

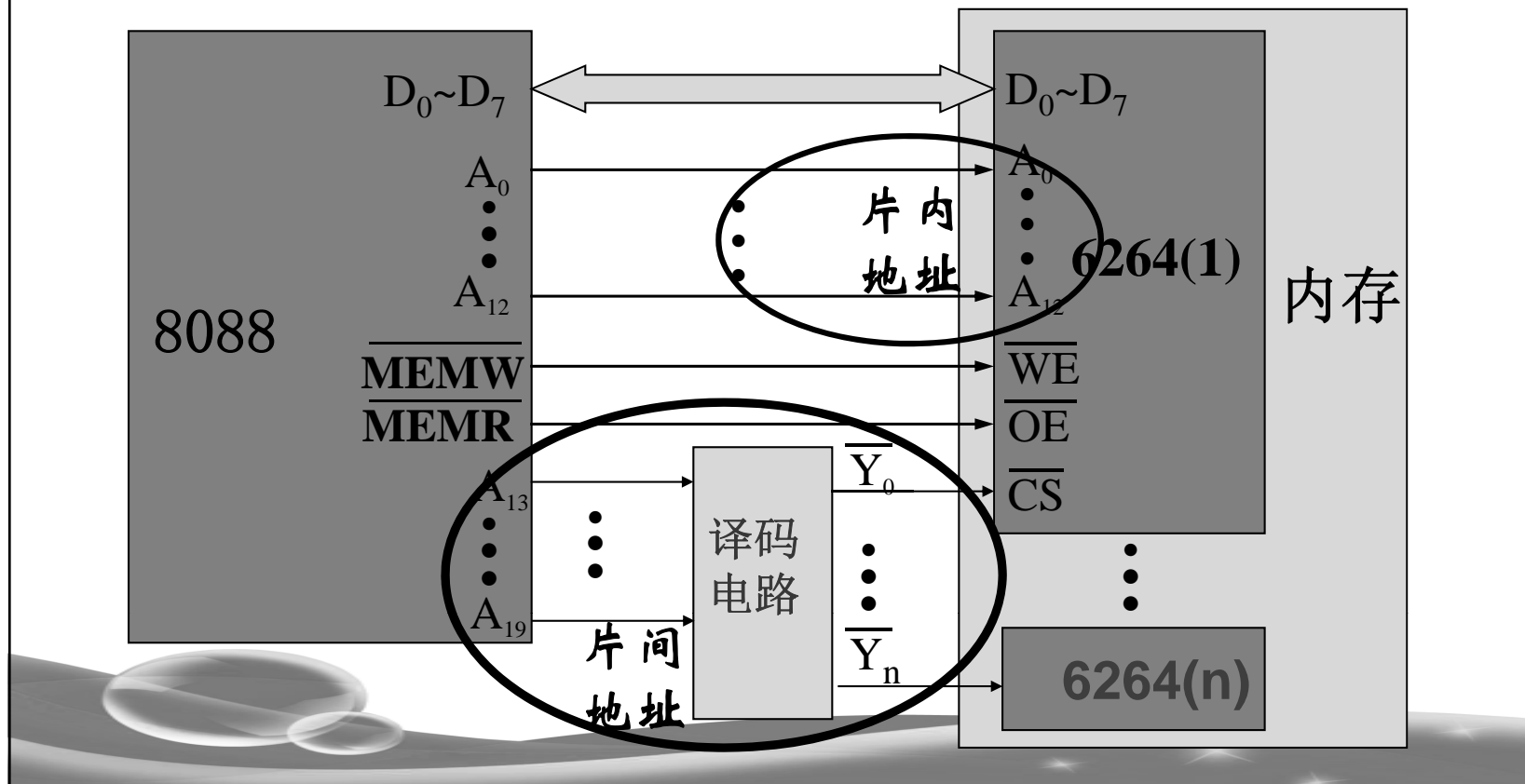


存储单元的访问过程

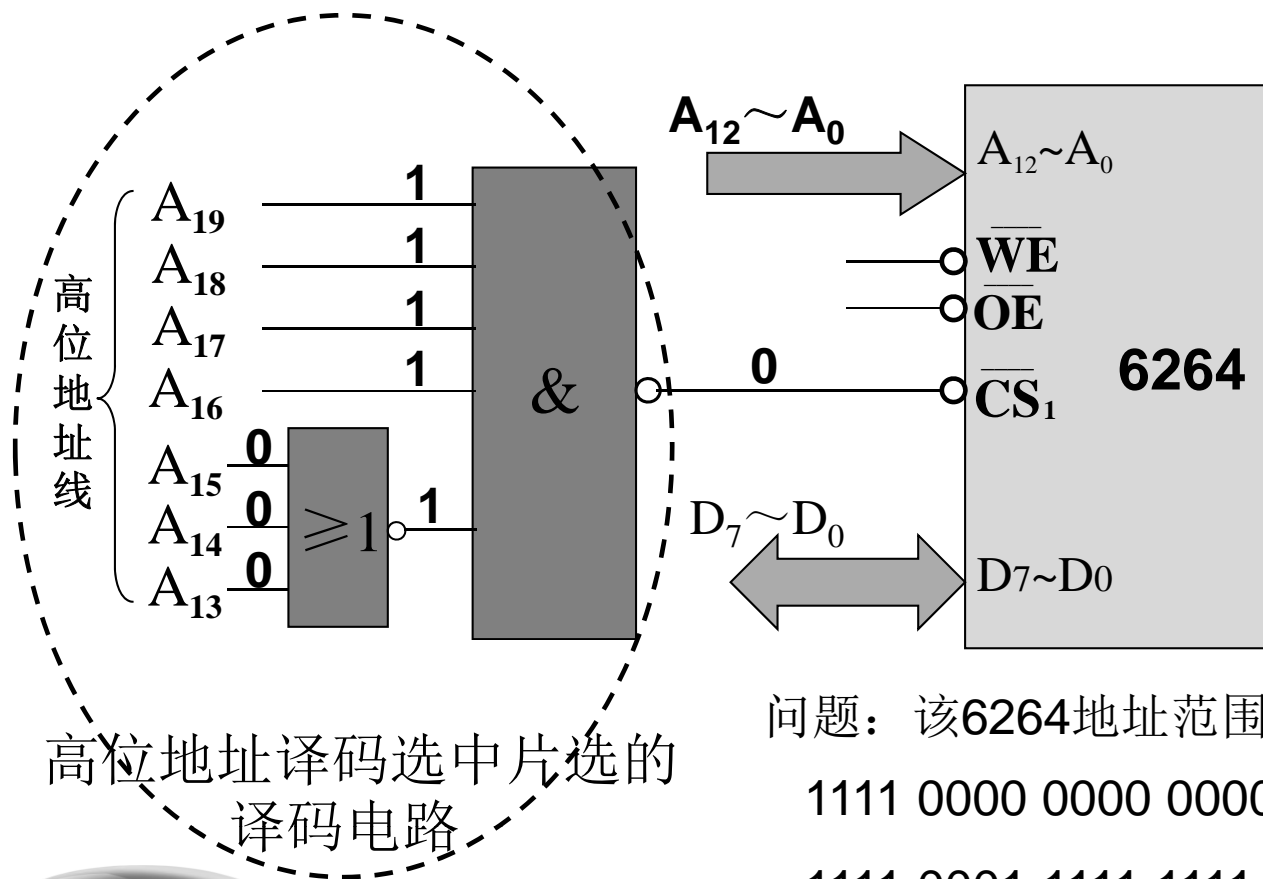
- CPU对存储单元的访问过程：
 - 片选：选择存储器芯片。通过CPU的高位地址线得到片选信号。
 - 字选：再从选中的芯片中依照地址码选择相应的存储单元读写数据。由CPU输出的n(n由片内存储容量 2^n 决定)条低位地址线完成选择。
- 地址译码电路的设计基本思路：二级译码
 - 用地址高位实现芯片之间的选择（片选译码）
 - 用地址低位实现片内的存储单元的选择（片内译码）

二级译码地址译码的例子1

- 用高位地址实现多片存储芯片之间的选择（片选）
- 用低位地址实现存储芯片内的存储单元选择（字选）



二级译码地址译码的例子2



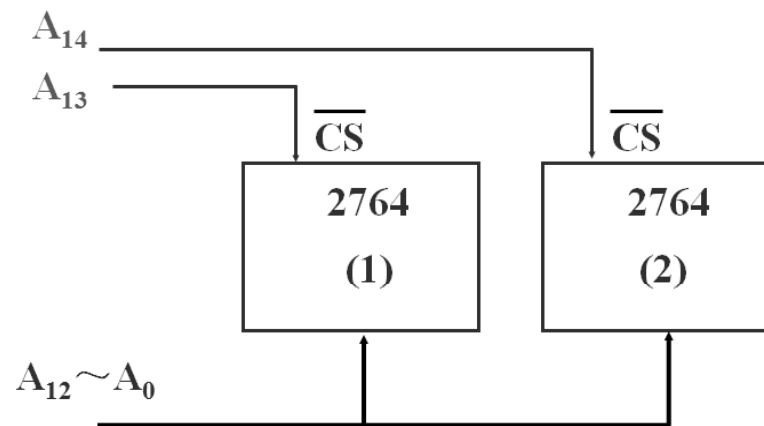
片选信号的产生方法

- 存储器片选信号的产生方法
 - 线选法
 - 全译码法
 - 部分译码法

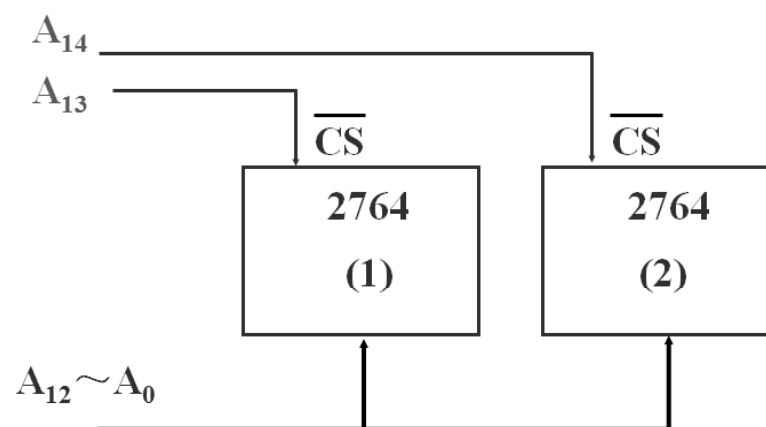
线选法

- 方法:

- 用地址总线的高位地址中的某一位直接（或反向）作为存储器芯片的片选信号**CS**，用地址线的低位实现对芯片的片内单元的选择(字选)。



芯片	$A_{19} \sim A_{15}$	$A_{14} A_{13}$	$A_{12} \sim A_0$	一个可用地址
1	× × × × ×	1 0	全0 ~ 全1	04000H ~ 05FFFH
2	× × × × ×	0 1	全0 ~ 全1	02000H ~ 03FFFH



- 优点

- 电路简单，选择芯片不需外加逻辑电路。

- 缺点

- 不能充分利用系统的存储器空间，每个芯片所占的地址空间把整个地址空间分成了相互隔离的区段，即地址空间不连续。

- 每个存储单元具有多个地址，造成地址重叠现象。

- 适用场合

- 适用于存储容量较小的简单

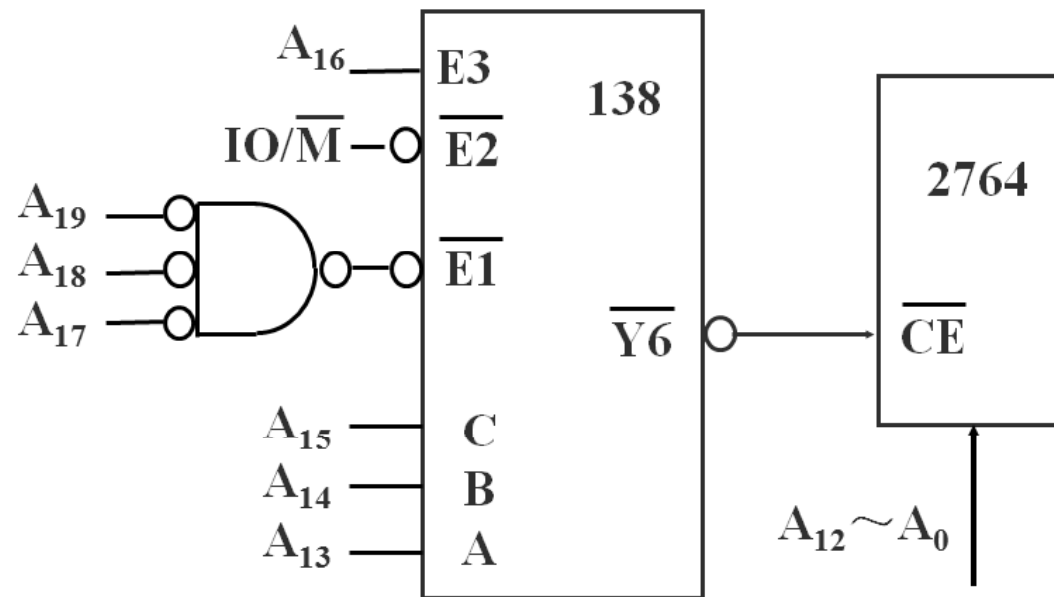
- 微机系统或不需要扩充内存空间的系统。

全译码法

- 方法:

- 将系统地址总线中除片内地址以外的全部高位地址接到地址译码器的输入端参加译码，把译码器的输出信号作为各芯片的片选信号，将它们分别接到存储器芯片的片选端，以实现片选。

● 全译码法：例5



- 优点:

- 可以使每片(或组)芯片的地址范围不仅是唯一的,而且是连续的,不会产生地址重叠现象。

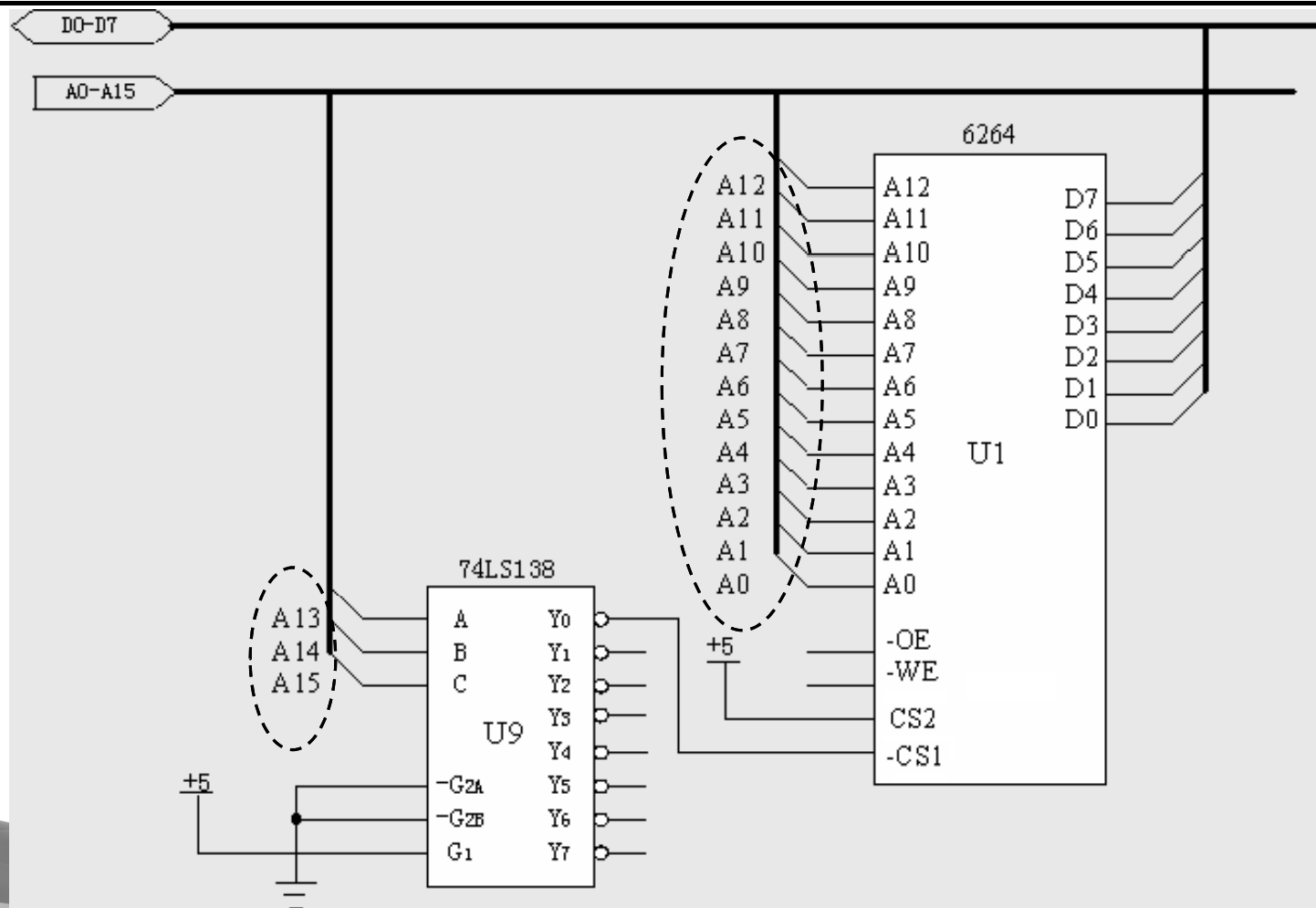
- 缺点:

- 对译码电路要求较高。

- 适用场合

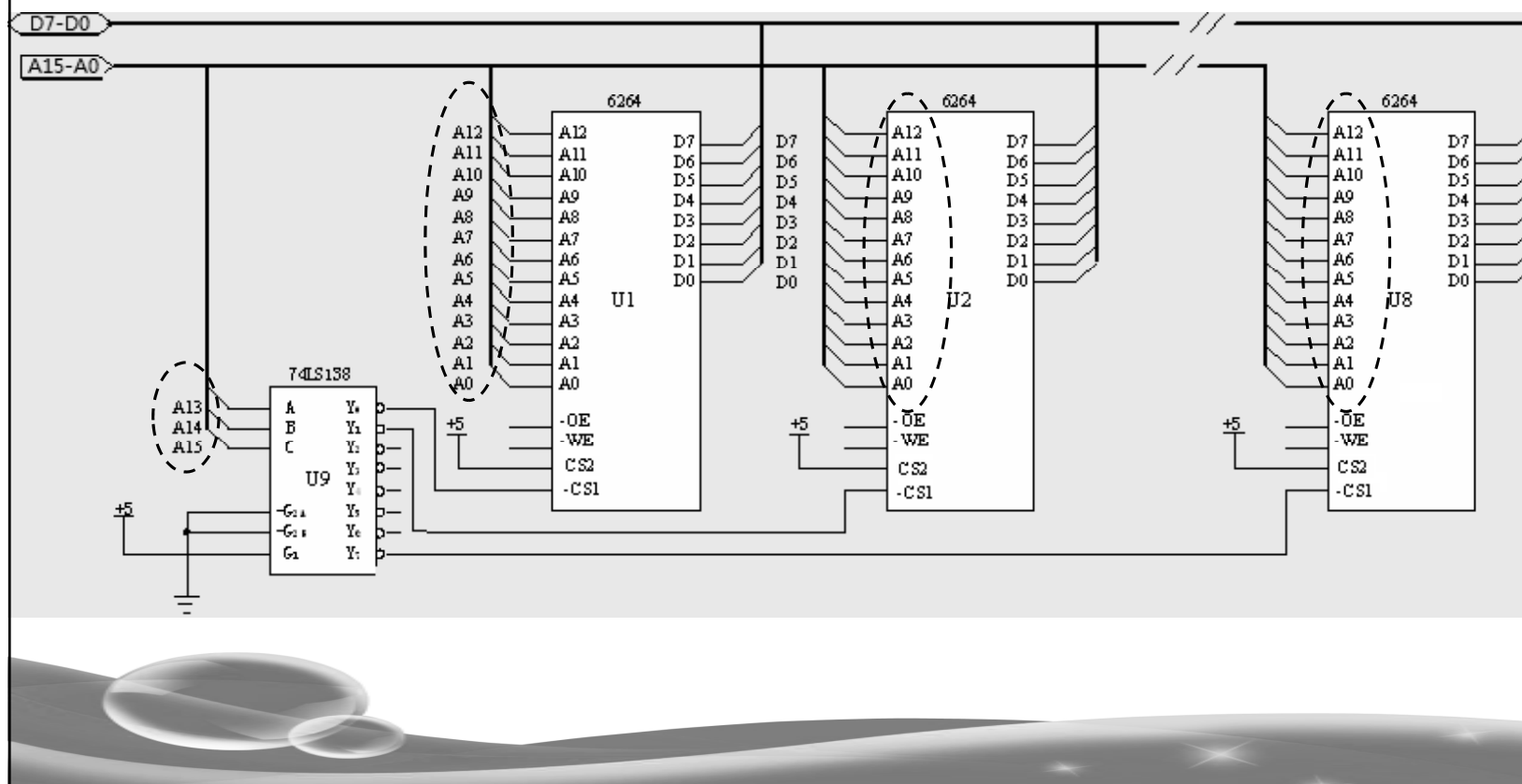
- 适用于存储器芯片较多的系统。

全译码电路例子



全译码电路例子

● 全译码电路



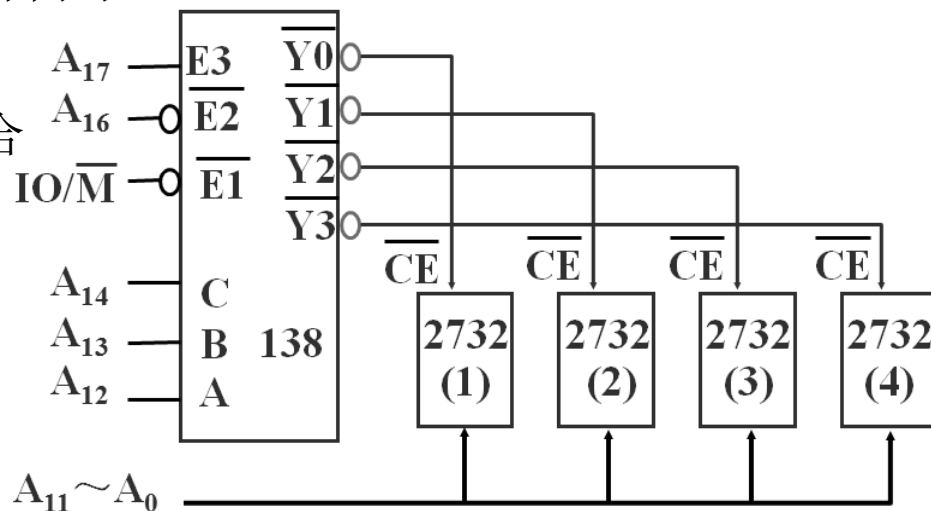
部分译码法

- 方法:

- 将高位地址线中某几位(不是全部高位)地址经过译码器译码, 作为片选信号, 仍用地址线低位部分直接连到存储器芯片的地址输入端实现片内寻址。

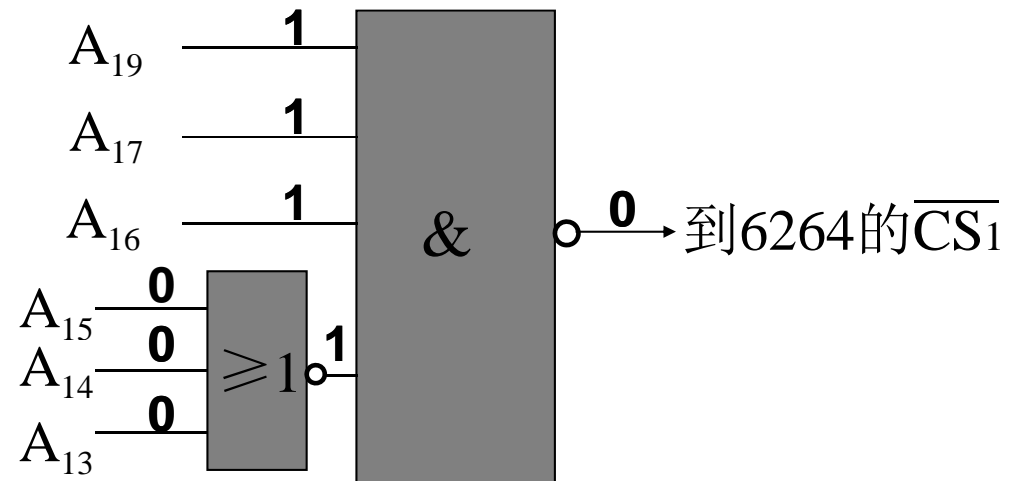
- 特点:

- 线选和全译码混合
- 存在地址重叠



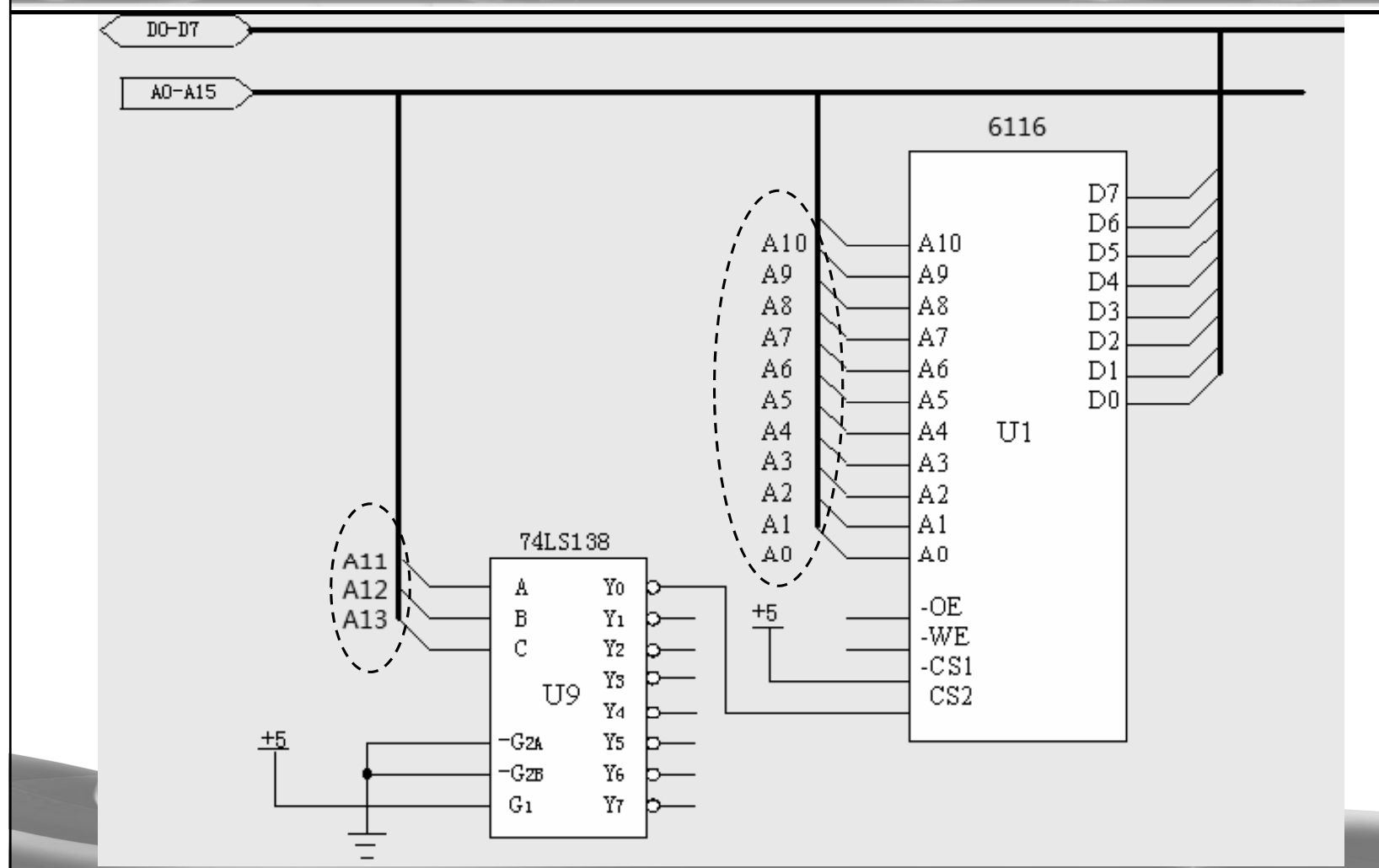
部分译码的例子

- A_{18} 不参与译码 ($A_{18}=1/0=X$)



- 同一存储器占用两组地址:
F0000H~F1FFFH 和 B0000H~B1FFFH
- 被选中芯片的每个单元都占有两个地址。

部分译码的例子



片选方法的比较

线选法

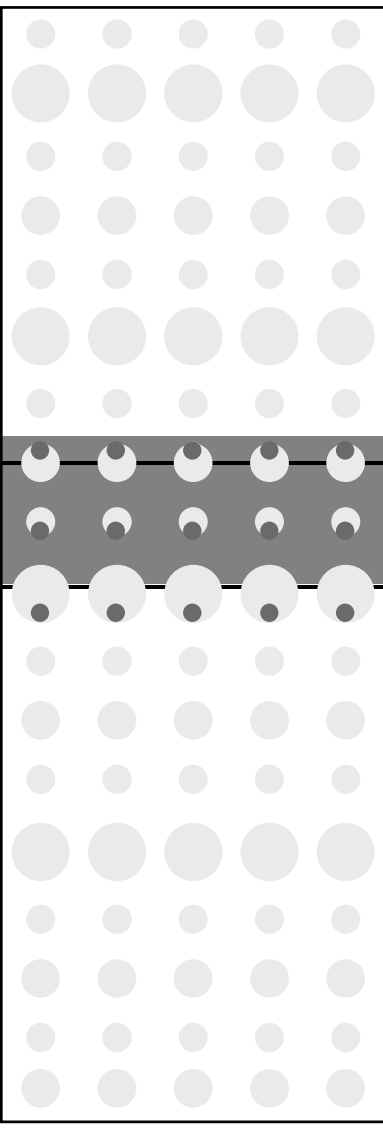
电路简单;
空间不连续, 地址重叠;

全译码

译码电路要求高;
地址范围唯一, 连续不重叠;

部分译码

介于线选法和全译码之间, 地址重叠。



第2节 8088最小系统

8088最小系统:

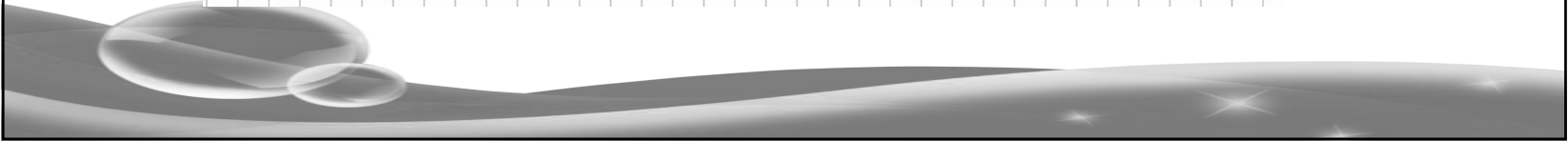
- 功能:

- 能让系统运行程序的最小电路。

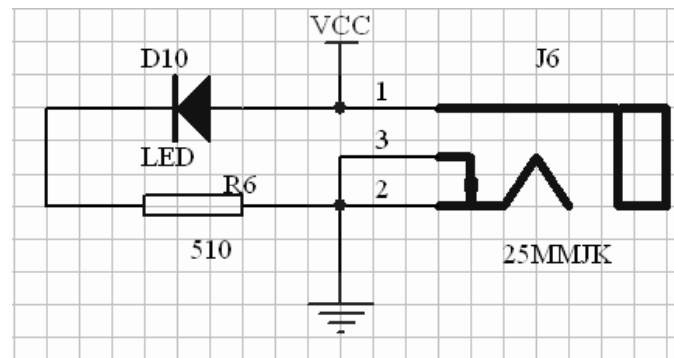
- 构成:

- CPU, 内存, 373芯片, 245芯片, 电源, 复位, 晶振等。

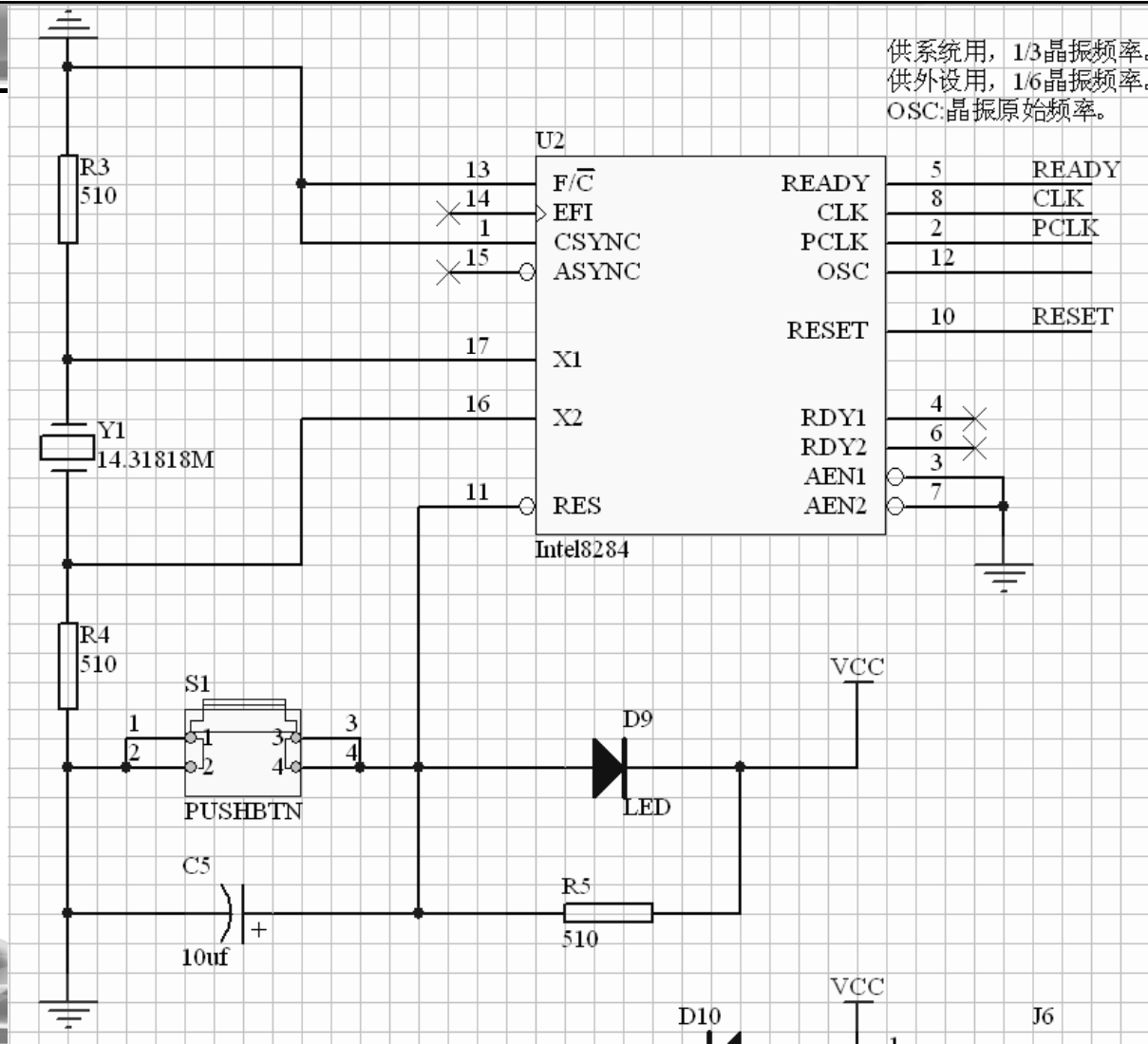
CPU



电源



时钟-复位

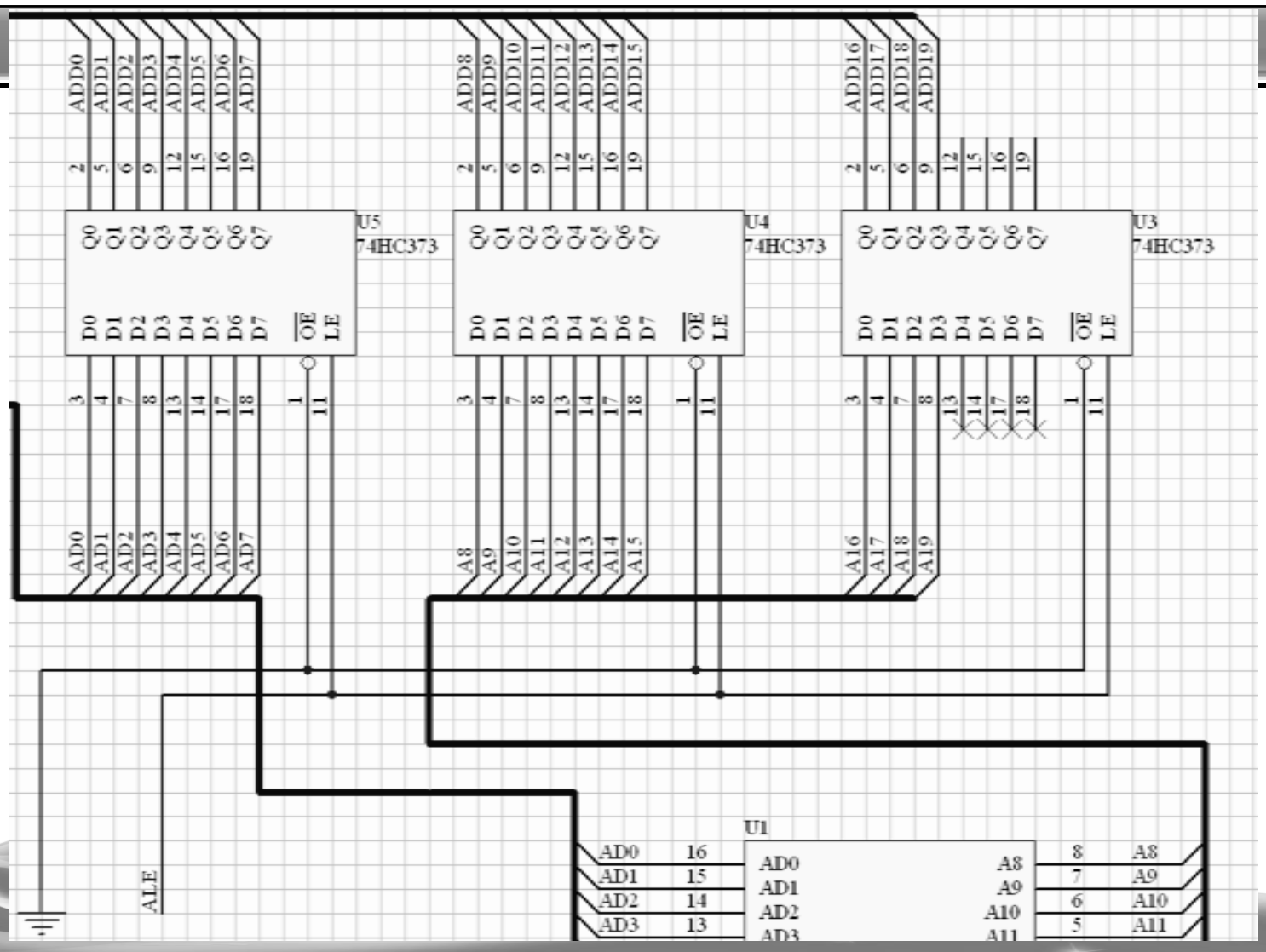


● 8284A的功能有3个

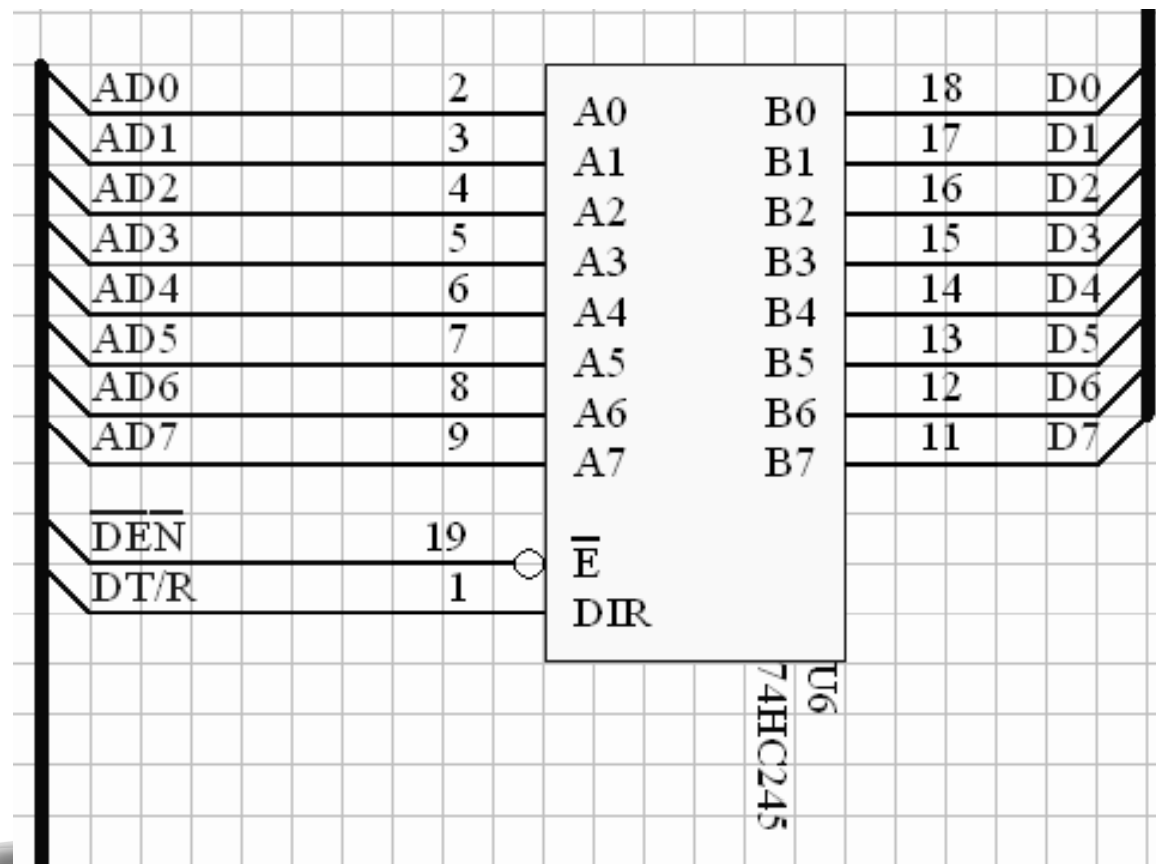
- 产生恒定时钟
- 对就绪信号（READY）进行同步
- 对复位信号（RESET）进行同步。

◆提示：外界RDY及RES信号可以在任何时候到来，8284A能把它们同步到时钟后沿（下降沿）再向CPU输出READY及RESET信号。

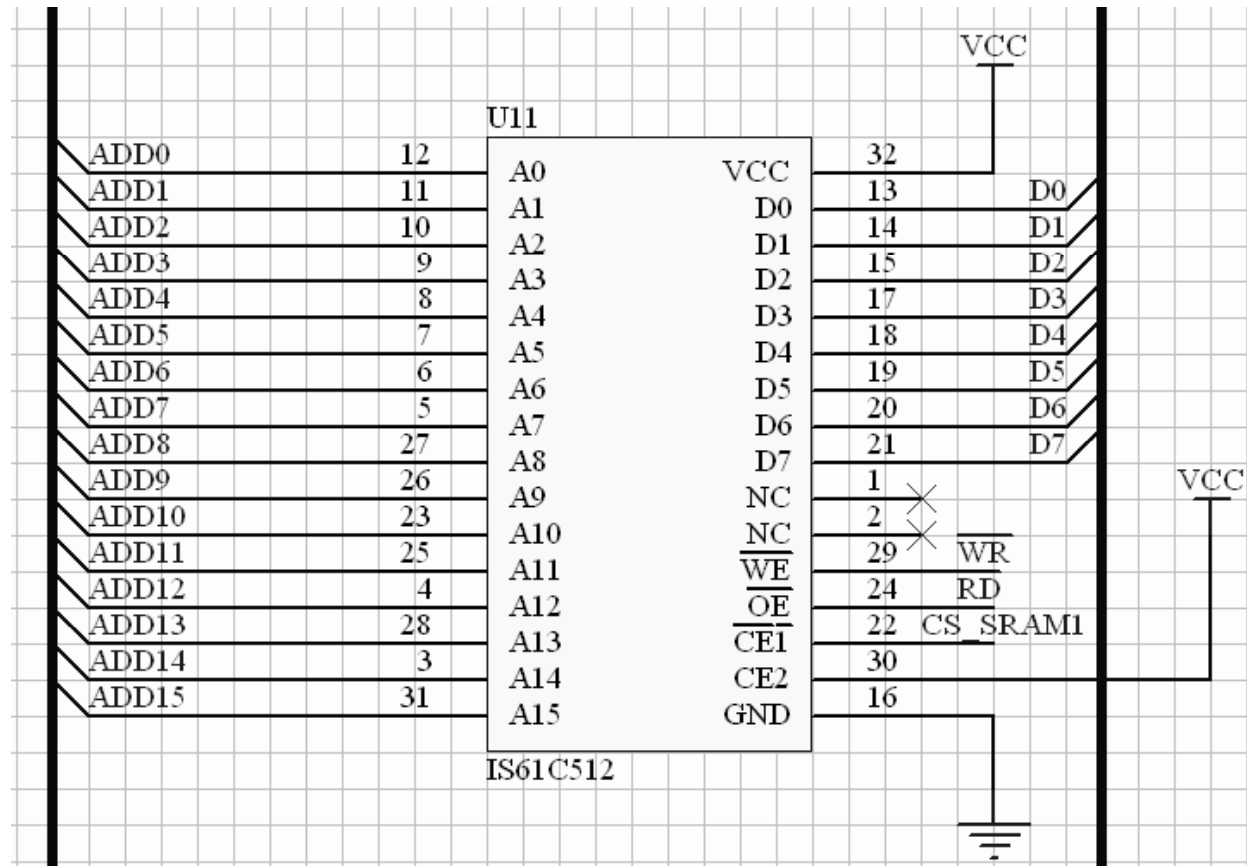
总线生成



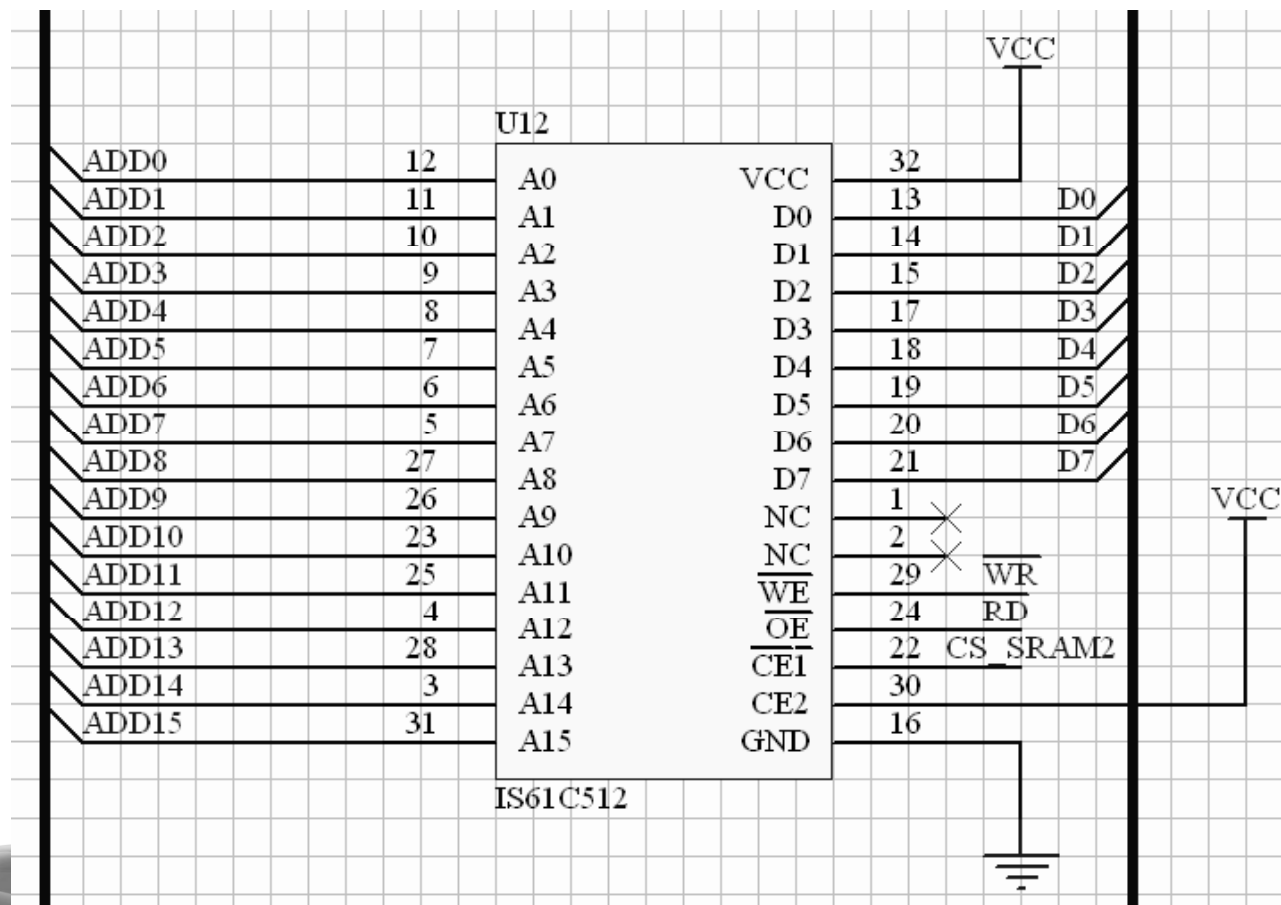
总线生成



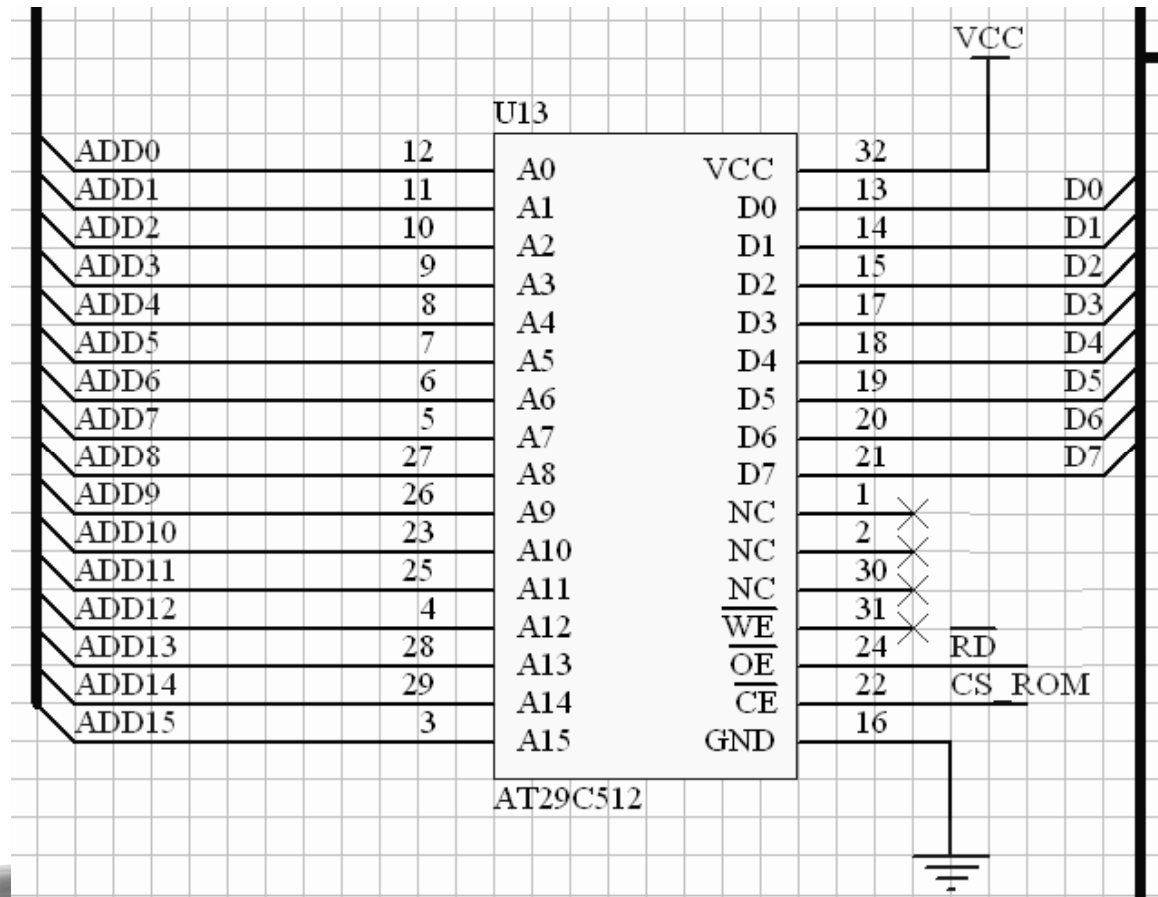
RAM(1)



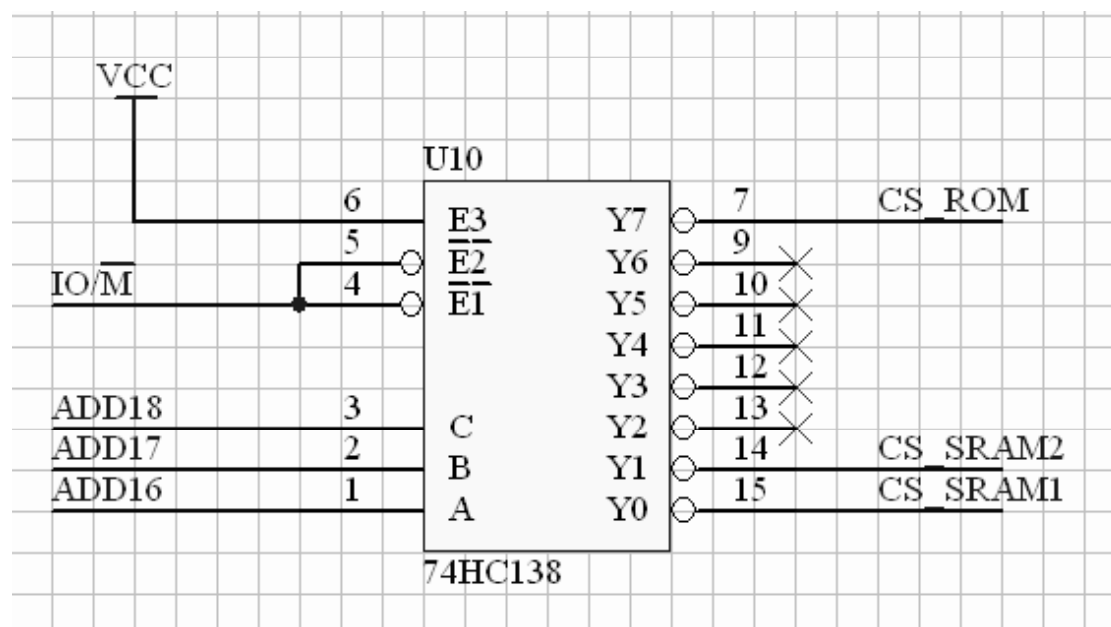
RAM(2)



ROM



片选译码电路



备注:

IS61C512 (普通内存1): 00000 - 0FFFF (64K)

IS61C512 (普通内存2): 10000 - 1FFFF (64K)

AT28C512 (程序): F0000 - FFFFF (64K)