

KIT-Fakultät für Informatik Prof. Dr. Tamim Asfour, Prof. Dr. Wolfgang Karl

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren & Rechnerorganisation

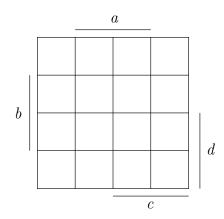
und

Technische Informatik I/II

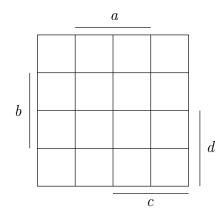
am 23. Februar 2018, 11:00 - 13:00 Uhr

Vame:	Vorname:	Matrikelnummer:		
Digitaltechnik	α und Entwurfsverfal	nren/TI-1		
Aufgabe 1		von 11 Punkten		
Aufgabe 2		von 8 Punkten		
Aufgabe 3		von 7 Punkten		
Aufgabe 4		von 10 Punkten		
Aufgabe 5		von 9 Punkte		
Rechnerorgan	nisation/TI-2	von 10 Punkten		
Aufgabe 7		von 10 Punkten		
Aufgabe 8		von 10 Punkten		
Aufgabe 9		von 8 Punkte		
Aufgabe 10		von 7 Punkte		
Gesamtpunktzah	ıl:			
		lote:		

1. DMF:



2. KMF:



Name:

Vorname:

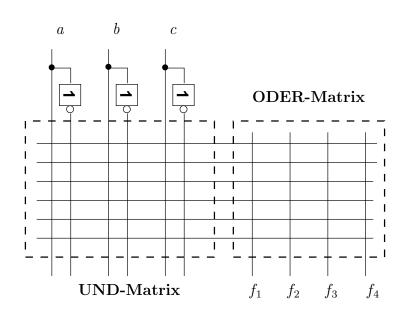
Matr.-Nr.:

3

3.

Produktterm	X	Erklärung
$\overline{d} \; \overline{c} \; b$		
$c \overline{b}$		
$d\ \overline{b}\ a$		
$c\ b\ \overline{a}$		

4. PLA:



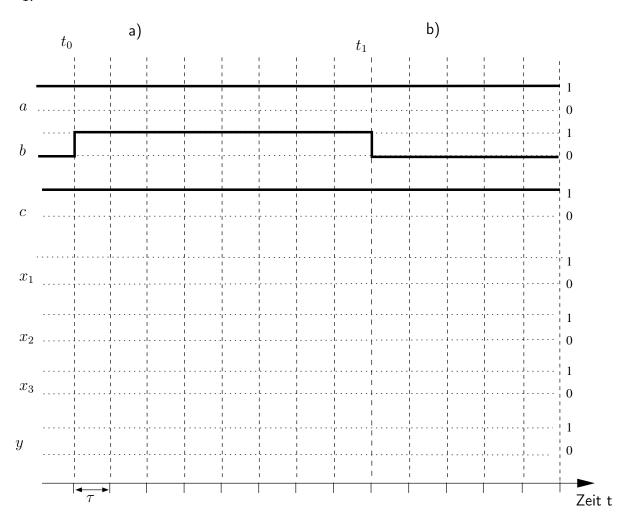
Name: Vorname: Matr.-Nr.: 4

Aufgabe 2

Schaltwerk	1	2	3	4
zählt vorwärts				
zählt rückwärts				
ist synchron				
kann bei $jedem$ Zählerstand mit Hilfe von x angehalten werden.				

Aufgabe 3

1.



2. Typ des Fehlers und Behebungsmöglichkeit:

3. Übergang mit einem statischen 1-Funktionshasard:

Aufgabe 4

1. Umgeformte Schaltfunktion und Transistor-Schaltbild:

Name:	Vorname:	MatrNr.:	6
ivairie.	voiliailic.	IVIALI. IVI	U

2. Unterschied zwischen n-Kanal- und einem p-Kanal-MOSFET:

3. Aufbau eines pMOS-Transistors:

1.	Unterschied	zwischen	Halbaddierer	und	Volladdierer:

2. Schaltbild eines 1-Bit-Volladdierers:

- 3. Anzahl der Prüfbits:
- 4. Physikalische Ursache für Hasardfehler:
- 5. Unterschied zwischen einem PAL-Baustein und PLA-Baustein:
- 6. Schieberegister als:

- 1. MIPS-Assembler:
 - (a)
 - (b)
 - (c)

- 3. Werte der 2 niedrigstwertigen Bits einer Wortaddresse:
- 4. Register- und Speicherinhalte nach der Ausführung:

Registersatz

Register	Inhalt
\$t0	
\$t1	
\$t2	
\$t3	
\$t4	

Hauptspeicher

1	1
Adresse	Inhalt
\$0x20	
\$0x24	
\$0x28	
\$0x2C	
\$0x30	

Name: Vorname: Matr.-Nr.: 9

Aufgabe 7

1. Datenabhängigkeiten:

2. Behebung der Konflikte:

- 3. Berechnung der Ausführungszeit:
 - Sequentielle Ausführung:

• DLX-Pipeline ohne Forwarding:

4. Struktur- oder Ressourcenkonflikte:

1. Unterteilung der Hauptspeicheradresse:

	31	0
DM		

	31	0
\mathbf{AV}		

2. Anzahl der Vergleicher:

Cache	Anzahl der Vergleicher
DM	
A2	
AV	

3. »×« für Cache-Hit und »-« für Cache-Miss:

Adresse:	0x0B	0x2B	0x07	0x0C	0x1E	0x0A	0x1A	0x05	0x04	0x29
DM										
A2										
AV										

1. Unterteilung der virtuellen Adresse:

2. Physikalische Adressen:

Virtuelle Adresse	Physikalische Adresse
1024	
2047	
2048	
2102	
4095	
4096	
8192	
8202	

3. Beschleunigung durch TLB:

4. Breite des Tags:

 $1. \ \ Komponenten \ eines \ einfachen \ Rechnermodells:$

2. (a)

(b)

(c)

(d)

3. (a)

(b)

(c)

(d)

4. "in-order"- "out-of-order":