

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 15. August 2022, 08:00 – 10:00 Uhr

| | | |
|-------|----------|-----------------|
| Name: | Vorname: | Matrikelnummer: |
|-------|----------|-----------------|

| Digitaltechnik und Entwurfsverfahren (TI-1) | |
|---|----------------|
| Aufgabe 1 | von 10 Punkten |
| Aufgabe 2 | von 9 Punkten |
| Aufgabe 3 | von 7 Punkten |
| Aufgabe 4 | von 9 Punkten |
| Aufgabe 5 | von 10 Punkten |

| Rechnerorganisation (TI-2) | |
|----------------------------|----------------|
| Aufgabe 6 | von 12 Punkten |
| Aufgabe 7 | von 12 Punkten |
| Aufgabe 8 | von 12 Punkten |
| Aufgabe 9 | von 5 Punkten |
| Aufgabe 10 | von 4 Punkten |

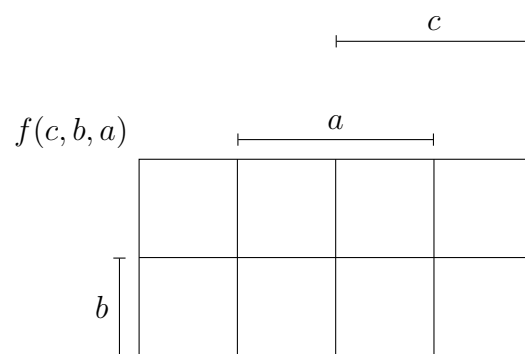
| | |
|------------------|--|
| Gesamtpunktzahl: | |
|------------------|--|

| | |
|--|-------|
| | Note: |
|--|-------|

Aufgabe 1 *Schaltfunktionen*

1. DMF von $f(c, b, a)$:

2. • KV-Diagramm von $f(c, b, a)$:



• DNF von $f(c, b, a)$:

Name:

Vorname:

Matr.-Nr.:

3

3. Kern-Primimplikante:

Reduzierte Tabelle:

4. Dominierte Minterme:

Reduzierte Tabelle:

5. Dominierende Primimplikante:

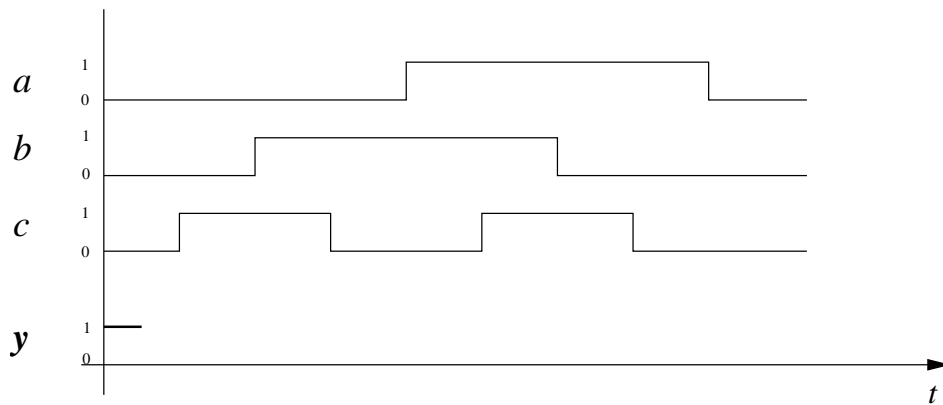
Reduzierte Tabelle:

6. Minimalform der Funktion z :

1. Eigenschaften *Transmission*-Gate:
2. CMOS-Schaltbild des *Transmission*-Gates:
3. $g(d, c, b, a)$:
4. Zweistufige disjunktive Form von $g(d, c, b, a)$:

Aufgabe 3 *Laufzeiteffekte*

1. Verlauf von y :



2. Funktionshazard und Fehler:

3. Schaltnetz ohne Fehler:

Aufgabe 4 *Schaltwerke*

1. Unterschied Schaltnetz und Schaltwerk:

2.

| Schaltwerk | 1 | 2 | 3 | 4 |
|--|---|---|---|---|
| zählt vorwärts | | | | |
| zählt rückwärts | | | | |
| ist synchron | | | | |
| kann bei <i>jedem</i> Zählerstand mit Hilfe von x angehalten werden. | | | | |

Aufgabe 5 *Rechnerarithmetik & Verschiedenes*

1. Unterteilung von *Bfloat16*:

| | |
|----|---|
| 15 | 0 |
|----|---|

2. $2,125_{10}$ in *Bfloat16*:

3. Größte positive Zahl in *Bfloat16*:

4. Anzahl Möglichkeiten der Null:

5. Gründe für die Verwendung:

6. Anzahl Prüfbits:

Name:

Vorname:

Matr.-Nr.:

8

7. Unterschied *Carry-Ripple*-Addierer und *Carry-Lookahead*-Addierer:

Aufgabe 6 *RISC-V Assembler*

1. Anzahl Befehlsformate:

2. Kodierung von R-Typ und I-Typ:
R-Typ:

I-Typ:

3. Unterschied Ausnahme und Unterbrechung:

4. Ausführungsmodell:

5. Konvention der Register:

Name:

Vorname:

Matr.-Nr.:

10

6. RISC-V Assembler:

Aufgabe 7 *Pipelining*

1.

- Echte Datenabhängigkeiten:

- Gegenabhängigkeiten:

- Ausgabeabhängigkeiten:

2. Zustand der Pipeline und Register:

[illegible]

Name:

Vorname:

Matr.-Nr.:

12

Anzahl der Takte:

3. Behebung der Pipelinekonflikte durch Einfügen von NOP-Befehlen:

Anzahl der Takte:

Name:

Vorname:

Matr.-Nr.:

13

4. Forwarding-Techniken:

Aufgabe 8 *Cache-Speicher*

1. Direkt-abgebildeter Cache mit 16 Speicherblöcken:

| Adresse | Hilfsspalte | Tag | Index | Offset | Hit/Miss |
|---------|-------------|-----|-------|--------|----------|
| 0x03 | | | | | |
| 0xb4 | | | | | |
| 0x2b | | | | | |
| 0x02 | | | | | |
| 0xbf | | | | | |
| 0x58 | | | | | |
| 0xbe | | | | | |
| 0x0e | | | | | |
| 0xb5 | | | | | |
| 0x2c | | | | | |
| 0xba | | | | | |
| 0xfd | | | | | |

2. Direkt abgebildeter Cache mit 8 Speicherblöcken:

| Adresse | Hilfsspalte | Tag | Index | Offset | Hit/Miss |
|---------|-------------|-----|-------|--------|----------|
| 0x03 | | | | | |
| 0xb4 | | | | | |
| 0x2b | | | | | |
| 0x02 | | | | | |
| 0xbf | | | | | |
| 0x58 | | | | | |
| 0xbe | | | | | |
| 0x0e | | | | | |
| 0xb5 | | | | | |
| 0x2c | | | | | |
| 0xba | | | | | |
| 0xfd | | | | | |

Aufgabe 9 *Virtuelle Speicherverwaltung*

1. Physikalische Adresse:

- 3088:

- 1420:

- 2555:

- 1023:

- 1024:

Aufgabe 10 *Verschiedenes*

1. Entscheidende Nachteil:

2. Vorteile eines DMA-Controllers:

3. Beschleunigung durch TLB:

4. Befehlssatzarchitektur: