

Aufgabenblätter zur Prüfung

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 15. August 2022, 08:00 – 10:00 Uhr

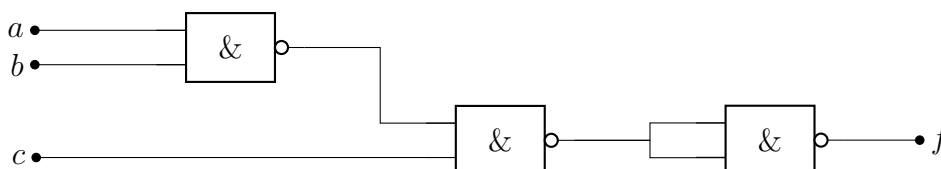
- Beschriften Sie bitte gleich zu Beginn jedes Lösungsblatt deutlich lesbar mit Ihrem Namen und Ihrer Matrikelnummer.
- Diese Aufgabenblätter werden nicht abgegeben. Tragen Sie Ihre Lösung deshalb ausschließlich in die für jede Aufgabe vorgesehenen Bereiche der Lösungsblätter ein. Lösungen auf separat abgegebenen Blättern werden nicht gewertet.
- Außer Schreibmaterial sind während der Klausur keine Hilfsmittel zugelassen. Täuschungsversuche durch Verwendung unzulässiger Hilfsmittel führen unmittelbar zum Ausschluss von der Klausur und zur Note „nicht bestanden“.
- Soweit in der Aufgabenstellung nichts anderes angegeben ist, tragen Sie in die Lösungsblätter bitte nur Endergebnisse und Rechenweg ein. Die Rückseiten der Aufgabenblätter können Sie als Konzeptpapier verwenden. Weiteres Konzeptpapier können Sie auf Anfrage während der Klausur erhalten.
- Halten Sie Begründungen oder Erklärungen so kurz und präzise wie möglich. Der auf den Lösungsblättern für eine Aufgabe vorgesehene Platz lässt nicht auf den Umfang einer korrekten Lösung schließen.
- Die Gesamtpunktzahl beträgt 90 Punkte. Zum Bestehen der Klausur sind mindestens 40 Punkte zu erreichen.

Viel Erfolg und viel Glück!

Aufgabe 1 *Schaltfunktionen*

(10 Punkte)

1. Bestimmen Sie *algebraisch* die disjunktive Minimalform (DMF) der Funktion $f(c, b, a)$, die durch das Schaltnetz in Abbildung 1 realisiert ist. 3 P.

Abbildung 1: Schaltnetz von $f(c, b, a)$

2. Tragen Sie $f(c, b, a)$ in das im Lösungsblatt vorbereitete KV-Diagramm ein. Bestimmen Sie die disjunktive Normalform (DNF). 2 P.

Gegeben sei die Überdeckungstabelle einer weiteren Funktion z mit den Einstellen a, b, c, d und e sowie allen Primimplikanten A, B, C, D und E der Funktion z (Siehe Tabelle 1). Die Realisierungskosten eines Primimplikanten sind umgekehrt proportional zur Anzahl der von ihm überdeckten Einstellen.

Prim- implikante	Einstellen				
	a	b	c	d	e
A		\times	\times	\times	
B			\times	\times	\times
C	\times			\times	
D					\times
E		\times	\times		\times

Tabelle 1: Überdeckungstabelle der Funktion z

3. Vereinfachen Sie die Tabelle, indem Sie den/die Kern-Primimplikant(e) ermitteln und die davon überdeckten Einstellen in Tabelle 1 streichen. 1 P.

Zeichnen Sie die so reduzierte Tabelle.

4. Vereinfachen Sie Ihre Tabelle aus Aufgabenteil 3 mit den Regeln der Spalten-
dominanz. 1 P.

Zeichnen Sie die so reduzierte Tabelle.

5. Ergänzen Sie Ihre Tabelle im Aufgabenteil 4 um eine Kostenspalte und vereinfachen Sie die Tabelle dann mit den Regeln der Zeilendominanz. 2 P.

Zeichnen Sie die so reduzierte Tabelle.

6. Geben Sie die disjunktive minimale Form (DMF) der Funktion z an. 1 P.

Aufgabe 2 Schaltnetze und CMOS-Technologie (9 Punkte)

1. Welche Eigenschaften zeichnet ein sogenanntes *Transmission-Gate* aus? 2 P.
2. Zeichnen Sie das CMOS-Schaltbild eines *Transmission-Gates*. 2 P.
3. Gegeben sei das in Abbildung 2 gegebene CMOS-Schaltbild. Welche Schaltfunktion $g(d, c, b, a)$ wird durch das Schaltbild realisiert. 4 P.

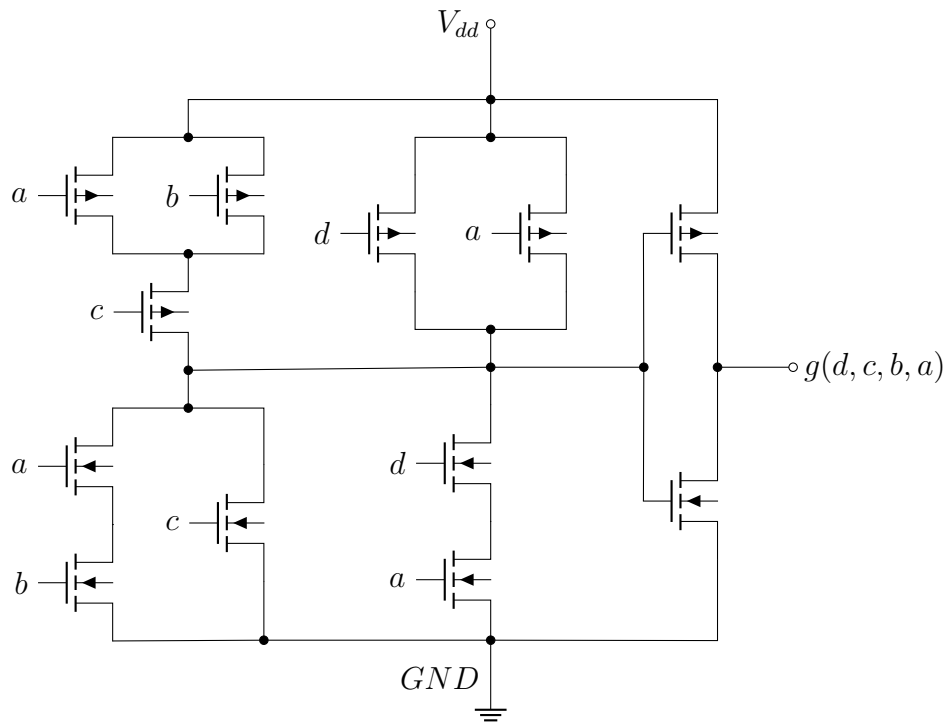


Abbildung 2: CMOS-Schaltbild von $g(d, c, b, a)$

4. Geben Sie eine zweistufige disjunktive Form von $g(d, c, b, a)$ an. 1 P.

Aufgabe 3 Laufzeiteffekte

(7 Punkte)

Gegeben ist das folgende Schaltnetz:

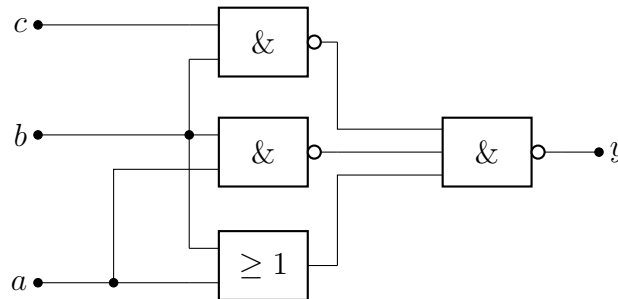
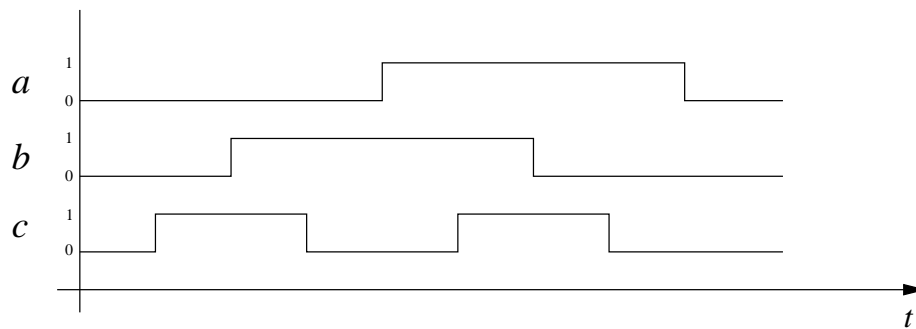


Abbildung 3: Schaltnetz

1. Welchen zeitlichen Verlauf hat das Ausgangssignal y beim folgenden Verlauf der Eingangssignale?

1 P.



2. Welche Übergänge im obigen zeitlichen Verlauf sind mit einem Funktionshazard behaftet? Begründen Sie Ihre Antwort.

2 P.

Kann bei den Übergängen im obigen zeitlichen Verlauf kurzzeitig ein falscher Wert am Ausgang entstehen? Begründen Sie Ihre Antwort. Falls ja, geben Sie mögliche Übergänge an.

3. Entwerfen Sie eine neue Schaltung, welche dieselbe Schaltfunktion y realisiert, jedoch keine Hazardfehler bei den Übergängen im obigen Verlauf aufweist. Begründen Sie Ihre Antwort. Geben Sie die Funktion und das Schaltnetz an.

4 P.

Aufgabe 4 *Schaltwerke*

(9 Punkte)

1. Was ist der Unterschied zwischen einem Schaltnetz und einem Schaltwerk?

1 P.

2. Analysieren Sie die in Abbildung 4 dargestellten Schaltwerke und geben Sie an, ob sie

8 P.

- vorwärts zählen
- rückwärts zählen
- synchron sind
- bei *jedem* Zählerstand mit Hilfe der Eingangsvariablen x angehalten werden können.

Verwenden Sie die im Lösungsblatt vorbereitete Tabelle und tragen Sie ein X an der richtigen Stelle ein.

Hinweis: A stellt das niedrigstwertige Bit (LSB) und B das höchstwertige Bit (MSB) dar.

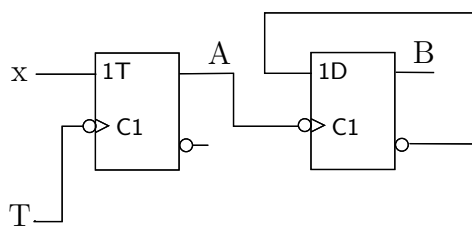
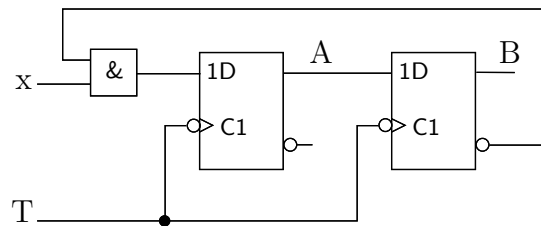
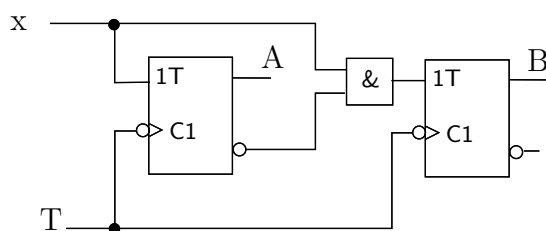
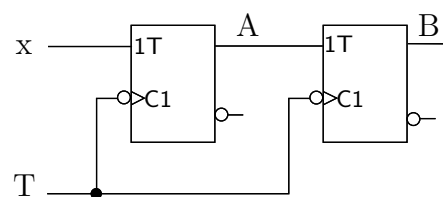
**Schaltwerk 1****Schaltwerk 3****Schaltwerk 2****Schaltwerk 4**

Abbildung 4: Schaltwerke

Aufgabe 5 *Rechnerarithmetik & Verschiedenes* (10 Punkte)

Ein vor allem in Aufgaben des maschinellen Lernens beliebtes Gleitkommaformat ist das 16-Bit lange *Bfloat16*-Format. Es ist dem aus der Vorlesung bekannte 32-Bit IEEE-Format für Gleitkommazahlen sehr ähnlich. Lediglich in der Anzahl Bits für die Mantisse unterscheiden sich die beiden Formate.

1. Geben Sie die Unterteilung der Bitdarstellung von *Bfloat16* an. 1 P.
2. Geben Sie die Zahl $2,125_{10}$ in der Bitdarstellung von *Bfloat16* an. 2 P.
3. Geben Sie die Bitdarstellung der größten positiven Zahl in *Bfloat16* an. 1 P.
4. Wie viele Möglichkeiten in *Bfloat16* gibt es eine Null darzustellen? 1 P.
5. Aus welchen Gründen bietet sich die Verwendung des *Bfloat16* an? Denken Sie zum Beispiel an den abgedeckten Zahlenbereich oder die Konvertierung von Zahlen in die verschiedenen Formate. 2 P.
6. Wie viele Prüfbits sind für die Einzelbit-Fehlererkennung mit dem Hamming-Code für ein Datenwort mit 64 Bits erforderlich? 1 P.
7. Was ist der Unterschied zwischen einem *Carry-Ripple*-Addierer und einem *Carry-Lookahead*-Addierer? Wovon hängt die Additionszeit beim *Carry-Ripple*-Addierer ab? 2 P.

Aufgabe 6 *RISC-V Assembler*

(12 Punkte)

1. Wie viele Befehlsformate gibt es bei RISC-V? 1 P.
2. Geben Sie die Kodierung eines R-Typ Befehls und eines I-Typ Befehls an. 3 P.
3. Was ist der Unterschied zwischen einer Ausnahme und einer Unterbrechung? Geben Sie jeweils ein Beispiel an. 2 P.
4. Welchem Ausführungsmodell unterliegt die RISC-V Architektur? 1 P.
5. Wie unterscheiden sich die Register *t0-t6* und die Register *s0-s11* nach Konvention in ihrer Verwendung? 2 P.
Gibt es auch auf Hardwareebene Unterschiede zwischen diesen Registern? Falls ja, geben Sie diese Unterschiede an.
6. Schreiben Sie die folgenden C-Kontrollstrukturen in RISC-V Assembler um. 3 P.

```
for (i = 10; i > 0; i--) j = j * i;
```

Für die Variablen *i* und *j* stehen die Register *a0* und *a1* zur Verfügung. Sie seien zu Beginn zufällig initialisiert. Verwenden Sie das Register *t0* zur Speicherung temporärer Variablen.

Aufgabe 7 *Pipelining*

(12 Punkte)

Gegeben sei die folgende vierstufige RISC-Pipeline:

IF/ID	OF	EX	WB
-------	----	----	----

mit:

- **IF/ID:** Instruction Fetch/Instruction Decode - Befehl holen und dekodieren
- **OF:** Operand Fetch - Operanden holen
- **EX:** Execute - Befehl ausführen
- **WB:** Write Back - Ergebnis speichern

Dabei ist ein Schreibvorgang in ein Zielregister erst am Ende der WB-Stufe abgeschlossen. Ebenfalls soll das folgende sequentielle Programmstück mit einer solchen Pipeline ausgeführt werden:

```

S1: ADD R1, R2, R3      # R1 = R2 + R3
S2: SUB R4, R1, R3      # R4 = R1 - R3
S3: MUL R1, R4, R2      # R1 = R4 * R2
S4: ADD R3, R1, R4      # R3 = R1 + R4

```

1. Bestimmen Sie alle Datenabhängigkeiten innerhalb des Programmstücks. Geben Sie zu jeder Datenabhängigkeit die beiden beteiligten Befehle, das ursächliche Register und den Typ der Datenabhängigkeit an. 4 P.
2. Zu Beginn des Programmstücks seien die Register folgendermaßen belegt: 3 P.

R1	R2	R3	R4
4	7	3	5

Geben Sie die Registerbelegung nach Ablauf des Programmstücks an. Es sind keine Techniken zur Vermeidung von Datenkonflikten implementiert. Tragen Sie hierzu in die Tabelle auf dem Lösungsblatt den Zustand der Pipeline und der Register nach jedem Taktzyklus ein.

Wie viele Takte werden benötigt, um das Programm abzuarbeiten?

3. Die einzige Methode, die Pipelinekonflikte bei diesem Prozessor zu beheben, sei das Einfügen von NOP-Befehlen (*No Operation*) in den Befehlsstrom. 4 P.
Fügen Sie möglichst wenige NOP-Befehle in das Programmstück ein, sodass es zu keinen Konflikten mehr kommt und das Ergebnis dem einer sequentielle Ausführung entspricht. Geben Sie das modifizierte Programmstück an. Sie können die Bezeichner S1-S4 verwenden.
Wie viele Takte werden nun benötigt?

4. Was versteht man beim Pipelining unter *Forwarding*-Techniken? 1 P.

Aufgabe 8 *Cache-Speicher*

(12 Punkte)

Caches sind wichtig für die Bereitstellung einer leistungsfähigen Speicherhierarchie für Prozessoren. Nachfolgend finden Sie eine Liste von Speicheradressen auf die sequentiell lesend zugegriffen werden soll. Es soll hierbei eine Byte-Adressierung verwendet werden.

0x03, 0xb4, 0x2b, 0x02, 0xbf, 0x58, 0xbe, 0x0e, 0xb5,
0x2c, 0xba, 0xfd

1. Geben Sie für jeden dieser Speicherzugriffe den Tag, den Zeilenindex und den Byteoffset in hexadezimaler Schreibweise an. Gehen Sie dabei von einem direkt-abgebildeten Cache (*direct-mapped cache*) mit **16 Speicherblöcken** aus, bestehend aus jeweils **einem Byte**. Listen Sie ebenfalls auf, ob es sich dabei um einen Hit oder Miss beim Speicherzugriff handelt. Der Cache sei dabei initial leer. Verwenden Sie die auf dem Lösungsblatt bereit gestellte Tabelle. 6 P.
2. Geben Sie für jeden dieser Speicherzugriffe den Tag, den Zeilenindex und den Byteoffset in hexadezimaler Schreibweise an. Gehen Sie dabei von einem direkt-abgebildeten Cache (*direct-mapped cache*) mit **8 Speicherblöcken** aus, bestehend aus jeweils **zwei Bytes**. Listen Sie ebenfalls auf, ob es sich dabei um einen Hit oder Miss beim Speicherzugriff handelt. Der Cache sei dabei initial leer. Verwenden Sie die auf dem Lösungsblatt bereit gestellte Tabelle. 6 P.

Aufgabe 9 *Virtuelle Speicherverwaltung* (5 Punkte)

Gegeben sei eine Speicherverwaltungseinheit (MMU) mit einer Seitengröße von 1 KiByte, 8 virtuellen Seiten und 4 physikalischen Seiten (Frames). Die Seitentabelle ist in Tabelle 2 angegeben.

Virtuelle Seitennummer	Physikalische Seitennummer
0	1
1	3
2	-
3	0
4	-
5	-
6	2
7	-

Tabelle 2: Seitentabelle

1. Berechnen Sie die physikalischen Adressen zu den folgenden virtuellen Adressen:

5 P.

3088, 1420, 2555, 1023, 1024

Aufgabe 10 *Verschiedenes*

(4 Punkte)

1. Was ist der entscheidende Nachteil eines Befehlsformats mit variabler Länge? 1 P.
2. Welche Vorteile bietet der Einsatz eines DMA-Controllers in einem Mikroprozessor-System? 1 P.
3. Unter welchen Bedingungen wird eine Beschleunigung der Adressumsetzung durch einen *Translation Lookaside Buffer (TLB)* erreicht? 1 P.
4. Was beschreibt die Befehlssatzarchitektur? 1 P.