

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 23. Juli 2018, 14:00 – 16:00 Uhr

Name:	Vorname:	Matrikelnummer:
-------	----------	-----------------

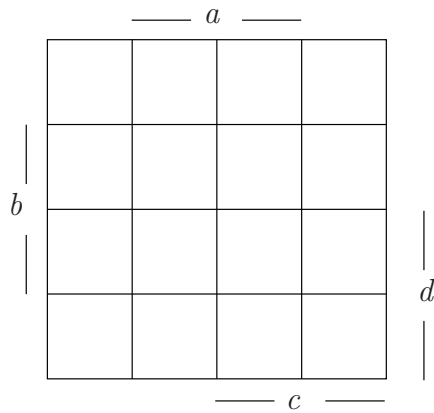
Digitaltechnik und Entwurfsverfahren (TI-1)	
Aufgabe 1	von 11 Punkten
Aufgabe 2	von 10 Punkten
Aufgabe 3	von 6 Punkten
Aufgabe 4	von 9 Punkten
Aufgabe 5	von 9 Punkten
Rechnerorganisation (TI-2)	
Aufgabe 6	von 10 Punkten
Aufgabe 7	von 10 Punkten
Aufgabe 8	von 11 Punkten
Aufgabe 9	von 8 Punkten
Aufgabe 10	von 6 Punkten

Gesamtpunktzahl:	
------------------	--

	Note:
--	-------

Aufgabe 1 *Schaltfunktionen*

1. $f(d, c, b, a)$:



Primimplikanten:

2. Disjunktive Minimalform von $f(d, c, b, a)$:

3. Die Schaltfunktion ist

Begründung:

4. Kernprimimplikanten:

5. Überdeckungsfunktion:

Aufgabe 2 *Schaltnetze und CMOS-Technologie*

1. Disjunktive **Minimal**form von $f(d, c, b, a)$:

2. Disjunktive **Normal**form von $g(d, c, b, a)$:

3. Schaltfunktion $h(d, c, b, a)$ in disjunktiver Form:

Name:

Vorname:

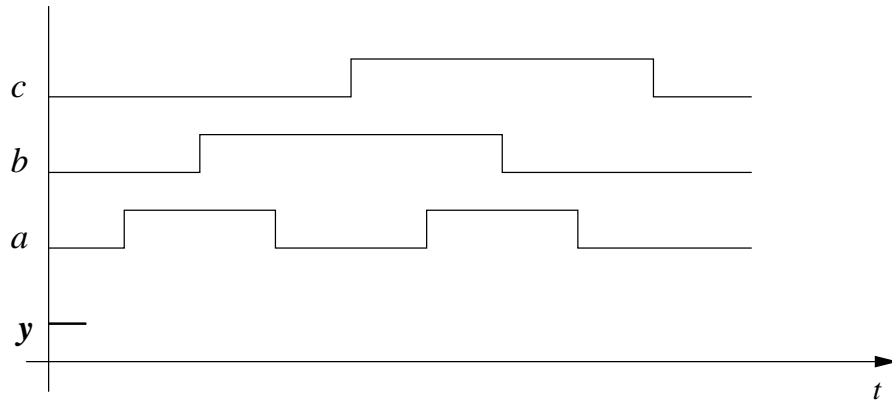
Matr.-Nr.:

4

4. Funktionstabelle und Transistor-Schaltnetz eines Tristate-Inverters:

Aufgabe 3 *Laufzeiteffekte*

1. Verlauf von y :



2.

3.

Aufgabe 4 *Schaltwerke*

1. Automatentyp:

Begründung:

2. Ansteuerfunktion:

Zustandsübergangsgleichung:

Ausgabefunktion:

3. Automatengraph des Schaltwerks:

Name:

Vorname:

Matr.-Nr.:

7

4. Automatengraph mit minimaler Anzahl Zustände:

5. Zustandsübergangsgleichungen:

Aufgabe 5 *Rechnerarithmetik & Codes*

1. $43,21_5$ als Dezimalzahl:

2. $9,6C_{16}$ als Zahl zur Basis 8:

3. 1001 0100 0010 0000 0000 0000 0000 0001:

(a) Vorzeichenlose Dualzahl:

(b) Zahl in Zweierkomplement-Darstellung:

(c) Gleitkomma-Zahl im IEEE-754-Standard in einfacher Genauigkeit:

4. Datenwörter:

Aufgabe 6 *MIPS-Assembler*

1. Inhalte der Zielregister:

Befehl	Zielregister = Wert (z.B. \$s6 = 0x0000 F00A)
<code>ori \$s1, \$zero, 0x2009</code>	
<code>sll \$s2, \$s1, 3</code>	
<code>slti \$s3, \$s2, 0x0001 0049</code>	
<code>sub \$s4, \$s3, \$s2</code>	

2. C-Kontrollstrukturen in MIPS-Assembler:

(a) `if (k == j) k = 0;`

(b) `for (i = 0; i < 100; i++) j = j + i;`

3. Fehlerfreie Version:

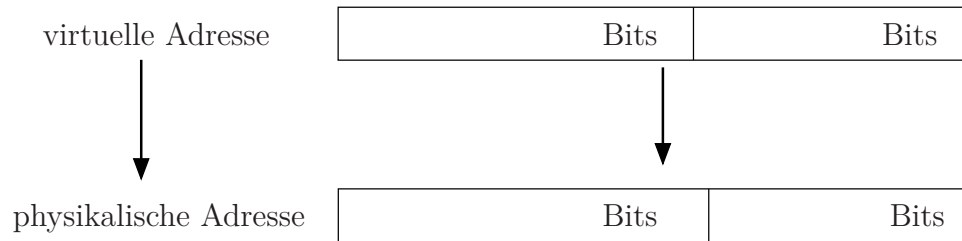
3. Behebung der Pipelinekonflikte durch Einfügen von NOP-Befehlen:

Anzahl der Takte:

4. Bedingte Sprünge (Problem und zwei Behandlungsmöglichkeiten):

Aufgabe 9 *Virtuelle Speicherverwaltung*

1. Virtuelle und physikalische Adresse:



2. Anzahl der Seiten:

Anzahl der Einträge in der Seitentabelle:

3. Anzahl der Bits pro Eintrag:

Anzahl der benötigten Seiten für die Seitentabelle:

Aufgabe 10 *Multiple Choice*

1.

<i>Speicher-Bausteine</i>	<i>richtig</i>	<i>falsch</i>
SDRAM arbeitet synchron zum Systemtakt und Datenpakete werden sowohl bei steigender als auch bei fallender Taktflanke übertragen.		
SRAM wird vorwiegend für schnelle Zwischenspeicher wie Register und Caches eingesetzt.		
Eine DRAM-Speicherzelle besteht aus zwei rückgekoppelten Invertern.		
Statische RAM-Bausteine lassen sich dichter als dynamische RAM-Bausteine integrieren.		

2.

<i>Cache-Speicher</i>	<i>richtig</i>	<i>falsch</i>
Cache-Speicher großer Kapazität werden in der Regel als vollassoziative Cache-Architektur realisiert.		
Bei einem virtuellen Cache-Speicher werden die höherwertigen Bits der logischen Adresse als Tag abgelegt		
Bei einem physikalischen Cache-Speicher werden höchstens genauso viele Bits als Tag gespeichert wie bei einem virtuellen Cache-Speicher.		
Bei einem Hit in einem physikalischen Cache-Speicher wird die Speicherverwaltungseinheit (MMU) zur Adressumsetzung nicht benötigt.		

3.

<i>Systembusse</i>	<i>richtig</i>	<i>falsch</i>
Ein semi-synchroner Systembus arbeitet synchron zum Systemtakt.		
Die langsamste Komponente an einem synchronen Systembus bestimmt den Systemtakt.		
An einem Bus darf es immer nur einen Master geben, aber beliebig viele Slaves.		
Auf einem Split-Bus werden Adresse und Daten zeitlich nacheinander auf den gleichen Leitungen übertragen.		