

Name:

KIT-Fakultät für Informatik

Prof. Dr.-Ing. Uwe D. Hanebeck, Prof. Dr.-Ing. Jörg Henkel

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 17. August 2020, 9:00 - 11:00 Uhr

Matrikelnummer:

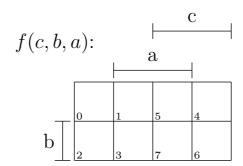
Vorname:

Digitaltechnik und En	ntwurfsverfahren (TI-1)
Aufgabe 1	von 7 Punkten
Aufgabe 2	von 10 Punkten
Aufgabe 3	von 6 Punkten
Aufgabe 4	von 11 Punkten
Aufgabe 5	von 11 Punkten
Rechnerorganisation (, , , , , , , , , , , , , , , , , , ,
Aufgabe 7	von 5 Punkten von 9 Punkten
Aufgabe 8	von 10 Punkten
Aufgabe 9	von 12 Punkten
Aufgabe 10	von 9 Punkten
Gesamtpunktzahl:	
	Note:

${\bf Aufgabe\ 1} \quad \textit{Schaltfunktionen}$

1. DNF von f(c, b, a):

2. KV-Diagramm f(c, b, a):



Primimplikante:

DMF von f(c, b, a):

3. Schaltnetz:

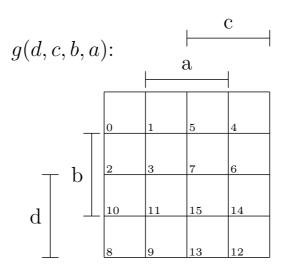
$$\begin{array}{c|c}
 & DX \\
 & 1 \\
 & 2
\end{array}$$

$$\begin{array}{c|c}
 & 0 \\
 & 0 \\
 & 7
\end{array}$$

$$\begin{array}{c|c}
 & 0 \\
 & 1 \\
 & 2 \\
 & 3 \\
 & 4 \\
 & 5 \\
 & & 5
\end{array}$$

$$\begin{array}{c|c}
 & EN & 6 \\
 & 7
\end{array}$$

4. Existenz von g Ja:



Nein (Begründung):

Aufgabe 2 Schaltfunktionen, CMOS-Technologie

1. Realisierung von g(c,b,a) mit NAND-Gattern:

$$g(c,b,a) = \left(\left(\, \overline{c} \, \vee \, \overline{b} \, \right) \wedge \left(\, \overline{b} \, \vee \, \overline{a} \, \right) \right) \, \vee \, \left(\, c \, \wedge \, \overline{a} \, \right)$$

Schaltbild:

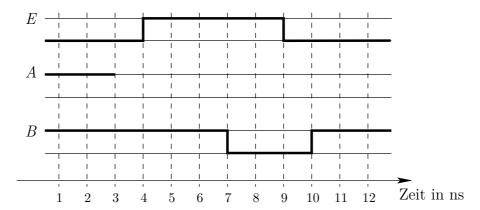
2. CMOS-Transistorschaltung von

$$h(c, b, a) = \text{NAND}_3 \left(\text{NAND}_2(a, b), \text{NAND}_2(a, c), \text{NAND}_2(b, c) \right)$$
:

3. CMOS-Transistorschaltung ist nicht geeignet, weil ...

Aufgabe 3 Laufzeiteffekte

1. Verlauf von A



2. Hasardfehler:

Begründung:

3. Schaltnetz für das Signal B:

Aufgabe 4 Schaltwerke

1. Unterschied zwischen einem Mealy- und einem Moore-Automaten:

2. Moore-Automatengraph:

3. DMF der Ansteuerfunktionen der Flipflops:

Zι	ıstar	nd	Folgezustand			Ansteuerfunktionen der Flipflops
a^t	b^t	c^t	a^{t+1}	b^{t+1}	c^{t+1}	
0	0	0	1	1	1	
0	0	1	0	0	0	
0		0		0		
0	1	0	0	0	1	
0	1	1	0	1	0	
1	0	0	0	1	1	
1	0	1	1	0	0	
1	1	0	1	0	1	
1	1	1	1	1	0	

Aufgabe 5 Rechnerarithmetik & Codes

1. Dezii	naiwert	aer.	Belegung	1001	TOOO:
----------	---------	------	----------	------	-------

2. Größte Dezimalzahl:

3. Kleinste positive Dezimalzahl:

4. Nichtdarstellbare Zahl:

5. N_4 :

6. Gray-Code:

Name:

Vorname:

Matr.-Nr.:

10

7. BCD-Arithmetik und Dual-Arithmetik:

8. x =

r =

 ${\bf Dezimal wert} =$

${\bf Aufgabe~6} \quad \textit{MIMA-Architektur}$

- 1. Mikroprogramm:
 - 1. Takt:
 - 2. Takt:

:

Aufgabe 7 MIPS-Assembler

1. MIPS-Assembler:

(a)

(b)

(c)

2. Register- und Speicherinhalte nach der Ausführung:

Registersatz

Register	Inhalt
\$t0	
\$t1	
\$t2	
\$t3	
\$t4	

Hauptspeicher

Trace	oop cremer
Adresse	Inhalt
\$0x20	
\$0x24	
\$0x28	
\$0x2C	
\$0x30	

3. Nur gerade Registernummern bei doppelter Genauigkeit:

Aufgabe 8 Pipelining

1.	Aufgaben	der	einzelnen	Pipeline-Stufen	der	DLX-Pipeline	für	bedingte	Sprünge	mit
	PC-relativ	ver A	Adressierur	ng:						

- 2. (a) Datenabhängigkeiten:
 - Echte Datenabhängigkeiten (True Dependence):

• Gegenabhängigkeiten (Anti-Dependence):

• Ausgabe-Abhängigkeiten (Output Dependence):

(b) Behebung der Konflikte:

Aufgabe 9 Cache-Speicher

1. (a) Anzahl der Cache-Einträge:

(b) Cache-Organisation:

2. Speicherbedarf:

3.

Adresse	64	32	64	0	112	64	128	48	240	0
read/write	r	r	r	r	w	w	r	r	r	W
Index	0	2								
Tag	1	0								
Hit/Miss	Miss									
write back?	nein									

Aufgabe 10 Speicher & Speicherverwaltung

1. Speicherhierarchie:

- 2. Anzahl der Adressleitungen:
- 3. Anzahl der RAM-Bausteine:
- 4. Organisation des ROM-Bausteins:
- 5. Physikalische Adresse von 3112:

Physikalische Adresse von 1417: