

KIT-Fakultät für Informatik

Prof. Dr. Mehdi B. Tahoori, Prof. Dr. Wolfgang Karl

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren (TI-1)

und

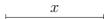
Rechnerorganisation (TI-2)

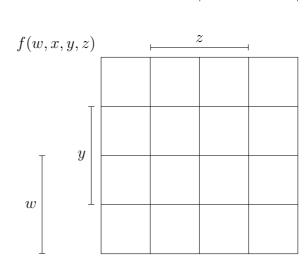
am 28. März 2022, 10:30 - 12:30 Uhr

lame:	Vorname:	Matrikelnummer:
Digitaltechni	k und Entwurfsver	fahren (TI-1)
Aufgabe 1		von 10 Punkten
Aufgabe 2		von 8 Punkten
Aufgabe 3		von 11 Punkten
Aufgabe 4		von 6 Punkten
Aufgabe 5		von 10 Punkten
	nisation (TI-2)	0 D 14
Aufgabe 6		von 8 Punkten
Aufgabe 7		von 10 Punkten
Aufgabe 8		von 10 Punkten
Aufgabe 9		von 9 Punkten
Aufgabe 10		von 8 Punkten
Gesamtpunktzah	nl:	
]	Note:

${\bf Aufgabe\ 1} \quad \textit{Schaltfunktionen}$

1. KV-Diagramm:

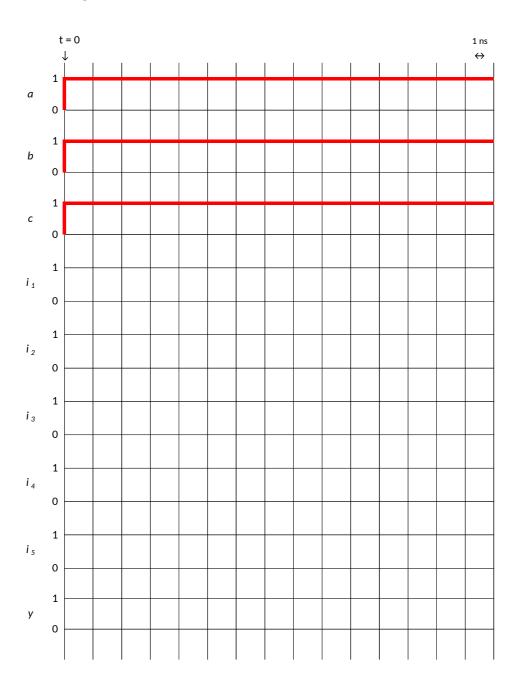




- 2. Primimplikanten und Kernprimimplikanten f(w, x, y, z):
- 3. Disjunktive Minimalform (DMF) von f(w, x, y, z):
- 4. Schaltnetz mit NOR-Gatter:

Aufgabe 2 Laufzeiteffekte

1. Verlauf der Signale:



2. Hazardfehler (falls ja, Analyse):

Aufgabe 3 Boolesche Algebra

1.
$$(a \leftrightarrow b) \leftrightarrow c = a \leftrightarrow (b \leftrightarrow c)$$
:

$$2. \ a \leftrightarrow b \leftrightarrow c = a \nleftrightarrow b \nleftrightarrow c:$$

- 3. Vollständiges Operatorensystem $\{\rightarrow,\,0\}$:
 - Negation:

• Konjunktion:

• Disjunktion:

Aufgabe 4 Schaltwerke

1. DMF der Ansteuerfunktionen:

Zustand Eingabe			zustand	${ m and} \mid { m Ansteuerfunktion}$		unktionen der Flipflops	
q_0^t	q_1^t	x^t	q_0^{t+1}	q_1^{t+1}	J_0^t	K_0^t	D_1^t
0	0	0	1	0			
0	0	1	1	1			
0	1	0	0	0			
0	1	1	0	1			
1	0	0	0	0			
1	0	1	1	0			
1	1	0	1	0			
1	1	1	0	1			

2. Schaltung des Schaltwerks:

${\bf Aufgabe~5} \quad \textit{Rechnerarithmetik}$

1. $-\frac{1}{4}$ als 32-Bit IEEE-754 Gleitkomma:

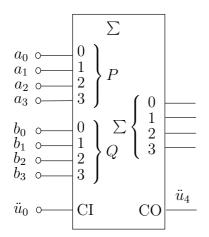
2. unsigned u:

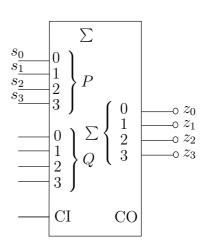
3. signed u:

Name:

Vorname:

4. BCD-Addierer für eine Tetrade:





10

o ü

5. Fehler und Datenwörter:

${\bf Aufgabe~6} \quad \textit{MIMA-Architektur}$

1. Kodierung des Mikroprogramms für die Lese-Phase:

Takt	Adresse	Befehl in hexadezimaler Schreibweise
1. Takt	0×00	
2. Takt		
3. Takt		
4. Takt		
5. Takt		

2. Mikroprogramme:

LDV	STV
EQL	JMP

Aufgabe 7 C und RISC-V Assembler

- 1. f = g + (h 5) in Assemblersprache:
- 2. C-Statement:
- 3. B[8] = A[i] + A[j] in Assembler sprache:

4. Inhalte der Zielregister:

Befehl	Zielregister =	(z. B. \$s7 = 0x0000 F00A)
addi s1, zero, 0x28		
srai s2, s1, 1		
slti s3, s2, 10		
lui s4, 0x21		
xor s5, s4, s1		
andi s6, s5, -1		

Aufgabe 8 Pipelining

- 1. ohne Pipelining:
 - mit Pipelining:
- 2. ohne Pipelining:
 - mit Pipelining:
- 3. Geeignete Stufe:
 - Zykluszeit:

4. Registerinhalte:

Register	t1	t2	t3	t4
Inhalt				

5. • Programmstück:

• Registerinhalte:

Register	t1	t2	t3	t4
Inhalt				

Aufgabe 9 Cache-Speicher

1. Unterteilung der Hauptspeicheradresse:

	31	0
DM		

	31	0
A8		

	31	0	
AV			

2. Anzahl der Vergleicher:

Cache	Anzahl der Vergleicher
DM	
A8	
AV	

3. Lesezugriffe von links nach rechts; $\times \times \times$ für Cache-Hit und $- \times \times$ für Cache-Miss:

Adresse:	0x0B	0x2B	0x07	0x0C	0x1E	0x0A	0x1A	0x05	0x04	0x29
DM										
A8										
AV										

Aufgabe 10 Virtuelle Speicherverwaltung

1	Anzahl	dor	Rite	dor	wirtueller	n Adresse:
Ι.	Апхапт	aer.	DILS	(ler	virunener	1 Adresse:

2. Anzahl der Bits der physikalischen Adresse:

3. Anzahl der Bits der virtuellen Seitennummer:

4. Anzahl der Bits der physikalischen Seitennummer:

Name:	Vorname:	MatrNr.:	18
5. first-fit-Strategie:			
			2 ⁿ - 1
best-fit-Strategie:			
0	V//////	V//////	2 ⁿ - 1

6. Vergleich der Strategien: