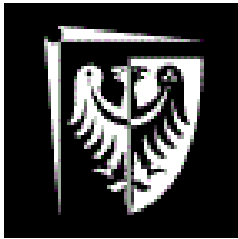




Intel Corporation, Programmable Solutions Group
European Regional Applications Engineering Team
Intel Technology Poland / Gdańsk



Politechnika Wrocławska



Wydział Elektryczny



Studenckie Koło Naukowe SNS Delta Power

Wyzwanie Projektowe Nr 2

Realizacja zamka-śluzy z przyciskiem „panic” i wyświetlaczem statusowym

Wykorzystując zestaw uruchomieniowy DE10-Standard, zrealizujemy sekwencyjny układ logiczny ze skróconym automatem stanów (ang. Finite State Machine, FSM), implementujący zamek czasowy dla dwóch skrzydeł drzwi służący zabezpieczającej chroniony obiekt przed napadem rabunkowym.

Źródło zegara będzie stanowić jeden z bloków PLL dostępnych w układzie FPGA. Częstotliwość taktowania układu logicznego nie musi być wysoka, nie wymagana też jest bardzo wysoka dokładność odmierzenia przedziałów czasu. Przyjmijmy prędkość zegara z przedziału 5...10 MHz. Wyjście zegara PLL połączymy z właściwymi modułami napisanym w języku opisu sprzętu Verilog.

Śluza na obiekcie składa się z drzwi zewnętrznych (od strony ulicy) i wewnętrznych (za korytarzem wejściowym, wejście na chroniony obiekt, np. sala obsługi klientów). Przy każdych drzwiach montujemy po jednym mikroprzełączniku do uwalniania blokady elektromagnetycznej zamka. Na biurku pracownika obiektu instalujemy jeden mikroprzełącznik do wywołania funkcji antynapadowej „panic”. W ramach zadania projektowego wykorzystajcie 3 mikroprzełączniki na płycie uruchomieniowej.

Użyjmy 5 wyświetlaczy 7-segmentowych naszego zestawu uruchomieniowego do przedstawiania bieżącej informacji w którym ze stanów znajduje się w danym momencie automat skończony. Dostosujmy kształt liter do tego co jest osiągalne na 7 segmentach, na przykład:

open = OPEn
close = CLOSE
wait = UAIt
idle = IdLE
panic = PAnIC

Wykorzystajmy 5 diod świecących na płycie uruchomieniowej do sygnalizowania stanu każdego z 2 skrzydeł drzwiowych (zamknięte lub otwarte), a także zaistnienia stanu alarmu panic.

Po włączeniu zasilania układ logiczny powinien nasłuchiwać stanu mikroprzełączników drzwiowych. Naciśnięcie i puszczenie mikroprzełącznika rozpoczyna proces otwierania drzwi, który trwa około 4 sekundy. Po tym czasie drzwi pozostają otwarte przez 5 sekund, następnie się zamykają samoczynnie, co również zajmuje 4 sekundy jak przy otwieraniu. Jednocześnie może być otwarte tylko jedno skrzydło drzwiowe. To samo dotyczy procesu otwierania się i zamykania. W dowolnym momencie użytkownik wewnątrz obiektu może nacisnąć (i przytrzymać lub nie) mikroprzełącznik antynapadu. Jeżeli któreś skrzydło jest wciąż otwarte, to następuje natychmiastowe przyspieszone zamykanie w czasie 1 sekundy. Zapala się dioda sygnalizująca alarm. Układ logiczny pozostaje w tym stanie już na zawsze aż do momentu wyłączenia zasilania (przybycie pracownika ochrony obiektu).

Przebieg implementacji projektu jest bardzo podobny jak w poprzednim Wyzwaniu Projektowym Nr 1. Proszę pamiętać o bardzo starannym rozrysowaniu drzewa stanów automatu skończonego. W przemysłowych grupach projektowych ASIC/FPGA zawsze starannie analizujemy jak zaimplementowano logikę FSM, celem uniknięcia niespodziewanego zachowania układu.

Jeżeli będzie potrzebna pomoc w trakcie realizacji zadania, to zapraszamy do kontaktu.

Powodzenia! 😊

Zespół Aplikacyjny FPGA, Intel/Gdańsk