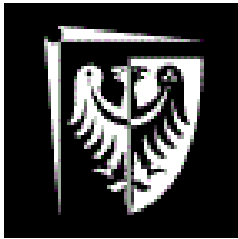




Intel Corporation, Programmable Solution Group
European Regional Application Engineering Group
Intel Technology Poland / Gdańsk



Politechnika Wrocławska



Wydział Elektryczny



Studenckie Koło Naukowe SNS Delta Power

Wyzwanie Projektowe Nr 1

Realizacja sekundnika na 2 wyświetlaczach 7-segmentowych

Wykorzystując zestaw uruchomieniowy DE10-Standard, zrealizujemy sekundnik czasu rzeczywistego z wykorzystaniem 2 wyświetlaczy 7-segmentowych.

Źródło zegara będzie stanowić jeden z bloków PLL dostępnych w układzie FPGA. Dla uzyskania dobrej precyzji odmierzenia czasu, częstotliwość PLL powinna być dobrana w przedziale od 10 do 20 MHz. Wyjście zegara PLL połączymy z właściwym modułem napisanym w języku opisu sprzętu Verilog.

Należy zrealizować dzielnik częstotliwości na bazie licznika z rejestrem synchronicznym m-bitowym i wygenerować sygnał-impuls o częstotliwości 1 sekundy. Kolejny licznik (również zegarowany z układu PLL) będzie inkrementowany na cyklach zegara wyłącznie wtedy gdy pojawi się impuls 1 sekundy.

Wyjście n-bitowe licznika będzie reprezentowane w formacie BCD, a licznik powinien zliczać w pętli od 0 do 59.

Przedostatni blok funkcjonalny to logika kombinacyjna zamieniająca kod BCD na wartości sterujące 2 wyświetlaczami 7-segmentowymi.

Końcowym elementem przed połączeniem z pinami wyjściowymi układu FPGA będzie rejestr synchroniczny zatrzymujący wartości otrzymywane z dekodera BCD->2x 7segment.

Przebieg implementacji projektu:

- 1) Opracowanie rysunku-schematu blokowego z podziałem na podbloki funkcjonalne
- 2) Dobranie dokładnej częstotliwości PLL, szerokości bitowych dzielnika częstotliwości i licznika sekund
- 3) Napisanie tablicy stanów enkodera BCD -> 2x 7segment
- 4) Napisanie implementacji w języku Verilog, podział kodu na kilka plików zgodnie ze schematem blokowym: moduł główny i podmoduły funkcjonalne
- 5) Napisanie prostego testbenchu w języku Verilog i zestawienie symulacji na poziomie RTL (Register Transfer Logic), czyli weryfikacja poprawności implementacji architektury jeszcze przed syntezą logiczną. Umieszczenie w testbenchu dekodera 2x7segment -> BCD
- 6) Przygotowanie projektu w pakiecie oprogramowania Quartus Lite: dołączenie plików Veriloga, napisanie pliku *.sdc (design constraint)
- 7) Sporządzenie zmapowania pinów modułu głównego Verilog względem fizycznych pinów układu FPGA. Właściwe połączenia z dwoma wyświetlaczami 7-segmentowymi
- 8) Przeprowadzenie kompilacji w Quartusie, wygenerowanie plików wsadowych sof/pof, zaprogramowanie układu FPGA, wizualna weryfikacja działania sekundnika
- 9) Zadanie dodatkowe z „*” 😊 : wykorzystanie 2 mikroprzełączników na płycie uruchomieniowej i dodanie 2 przycisków funkcjonalnych „start/stop” i „reset”. Wcześniejszy projekt zawierający logikę kombinacyjną i sekwencyjną (liczniki) zostaje poszerzony o skończoną maszynę stanów FSM (Finite State Machine)