

ARQUITECTURA DE PROCESADORES
DISEÑO DEL PROCESADOR

OSCAR JAVIER CASTELBLANCO
MARÍA ALEJANDRA GÓMEZ CONTRERAS

PONTIFICIA UNIVERSIDAD JAVERIANA
FACULTAD DE INGENIERÍA
DEPARTAMENTO DE ELECTRÓNICA
MAYO DEL 2017

REQUERIMIENTO DEL CLIENTE

Una respetada organización financiera quiere ofrecer a sus clientes un nuevo sistema de cajero automático. Con el fin de conocer la viabilidad del proyecto se desea lanzar un proyecto piloto del mismo en varias zonas de la ciudad.

El cajero posee dos funciones básicas: Ingreso de un usuario nuevo y operaciones de un usuario.

Ingreso de un usuario nuevo

La suscripción de un usuario implica que este registre sus datos básicos (Nombre, Apellido) y elija una clave.

A cada una de las cuentas se le asignará una numeración con el fin de conocer el número de cuenta en el momento en que se desee realizar una transferencia.

Operaciones de un usuario

El cajero debe permitirle al usuario digitar un código de 4 dígitos para acceder a su cuenta en la cual puede realizar las siguientes acciones:

- Transferir dinero a otro usuario
- Ingresar dinero a la cuenta
- Retirar dinero de la cuenta
- Visualizar el dinero disponible
- Conocer el número de su cuenta asignado automáticamente

INSTRUCCIONES

INSTRUCCIÓN

4 BITS



DIRECCIÓN

12 BITS

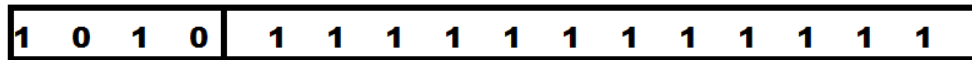


Imagen1. Primera aproximación de la estructura de los 16 bits.

INSTRUCCIÓN

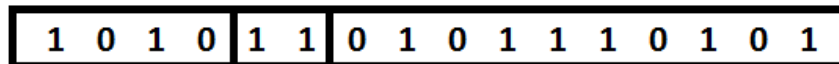
4 BITS

MODO

2 BITS

DIRECCIÓN

10BITS



a)

INSTRUCCIÓN

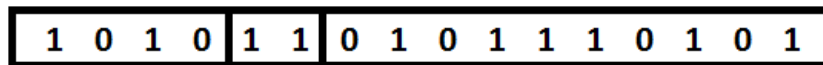
4 BITS

MODO

2 BITS

DATO

10BITS



b)

INSTRUCCIÓN

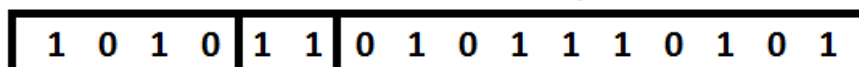
4 BITS

MODO

2 BITS

DIRECCIÓN DE LA DIRECCIÓN

10BITS



c)

Imagen2. Segunda aproximación de la estructura de los 16 bits.a. Modo directo b. Modo inmediato c. Modo indirecto

NOMBRE	MNEMÓNICO	CÓDIGO HEXA	DURACIÓN (Ciclos de Reloj)	BANDERAS AFECTADAS			MODOS OPERACIÓN		
				N (Negativo)	Z (Cero)	Ov (Overflow)	Directo	Inmediato	Indirecto
Leer	Leer	1	3				X	x	
Escribir	Esc	2	3				X		
Suma	Sum	3	7	X		X	X	X	X
Compare	Comp	4	6	X	X		X	X	X
Salte si es igual	SalteIgu	5	1				X	X	X
Salte si es mayor	SalteMay	6	1				X	X	X
Salte si es menor	SalteMin	7	1				X	X	X
Saltar si Overflow	SalteOV	8	1				X	X	X
Restar	Res	9		X	X	X	X	X	X
Salto Subrutina	SubR	10					X		
Retorno Subrutina	RetSubR	11					X		
Salte si es mayor o igual	SalteMayIgu	12					X	X	X
Salte si es menor o igual	SalteMinIgu	13					X	X	X
Interrupción	Int	14					X		
Retorno Interrupción	RetInt	15					X		

Tabla 1. Tabla de Instrucciones del Procesador.

DIAGRAMA DE BLOQUES V1

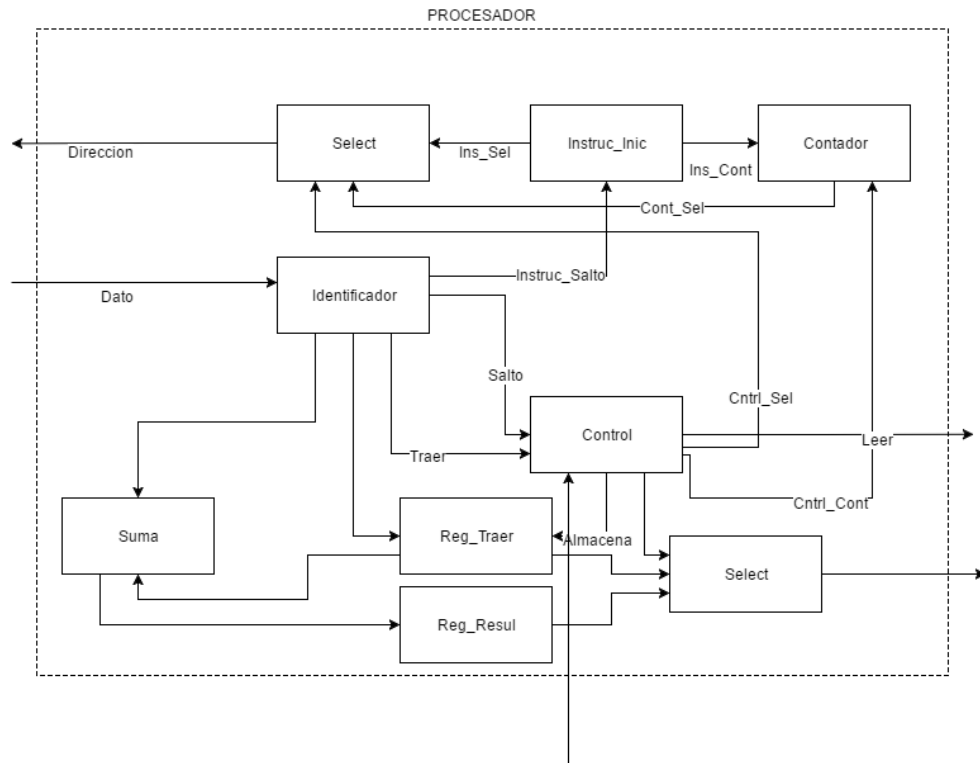


DIAGRAMA DE BLOQUES V2

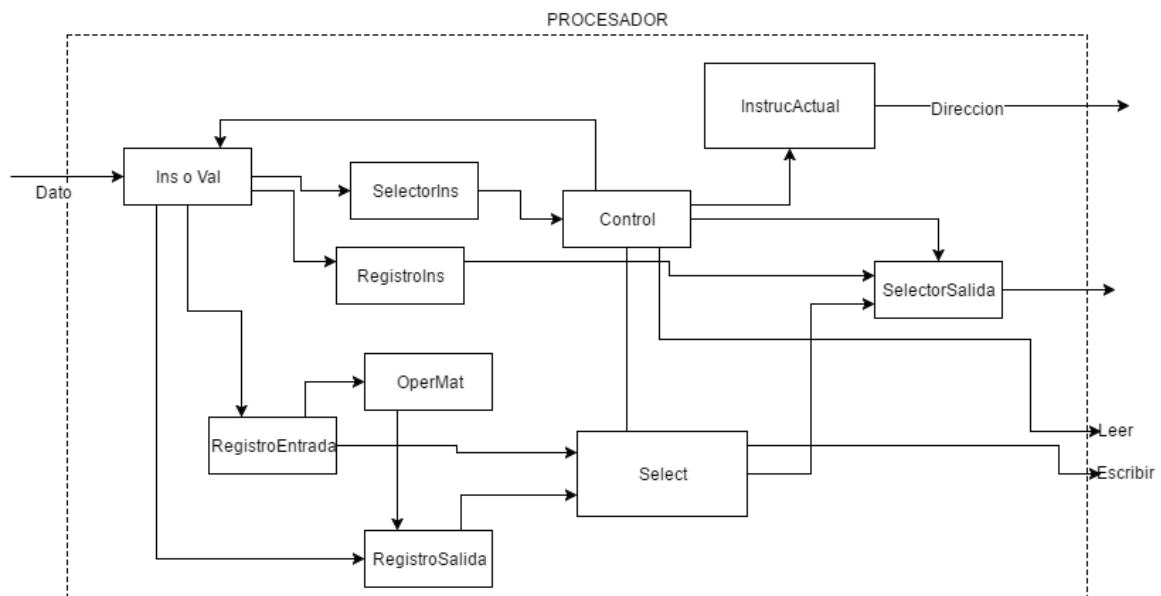


DIAGRAMA DE BLOQUES V3

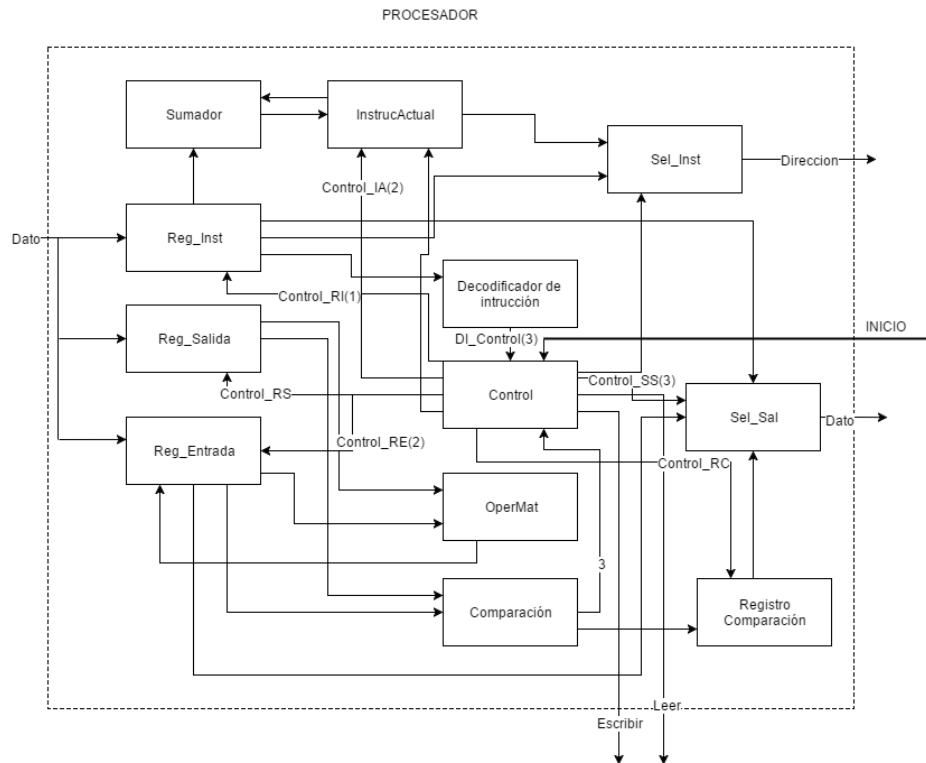


DIAGRAMA DE BLOQUES V4

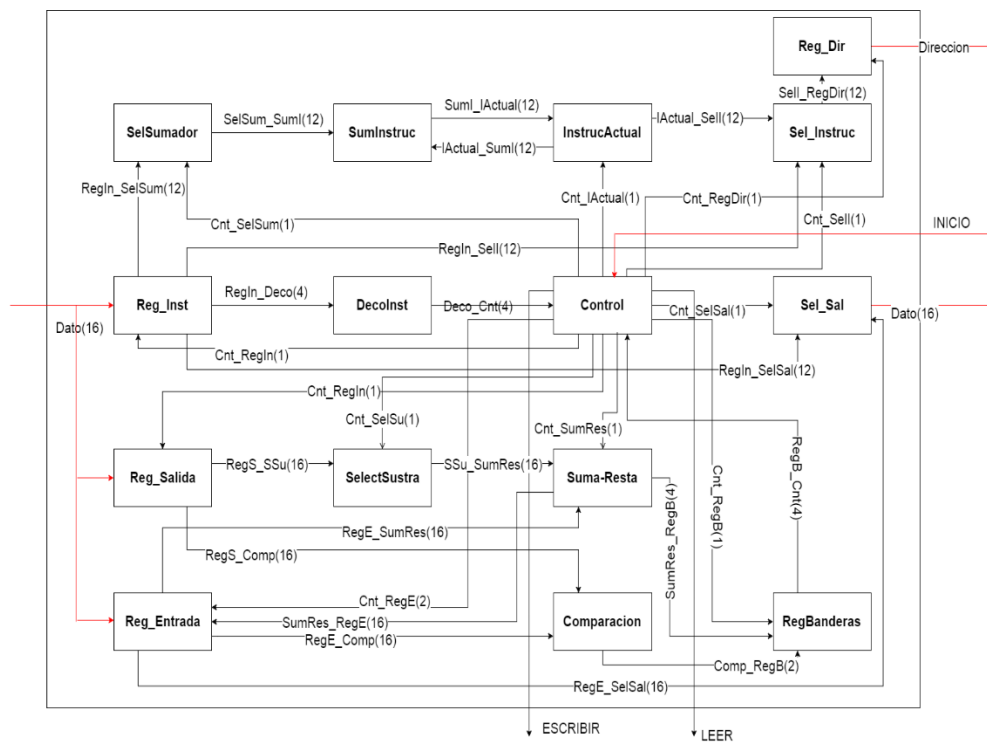


DIAGRAMA DE BLOQUES V6

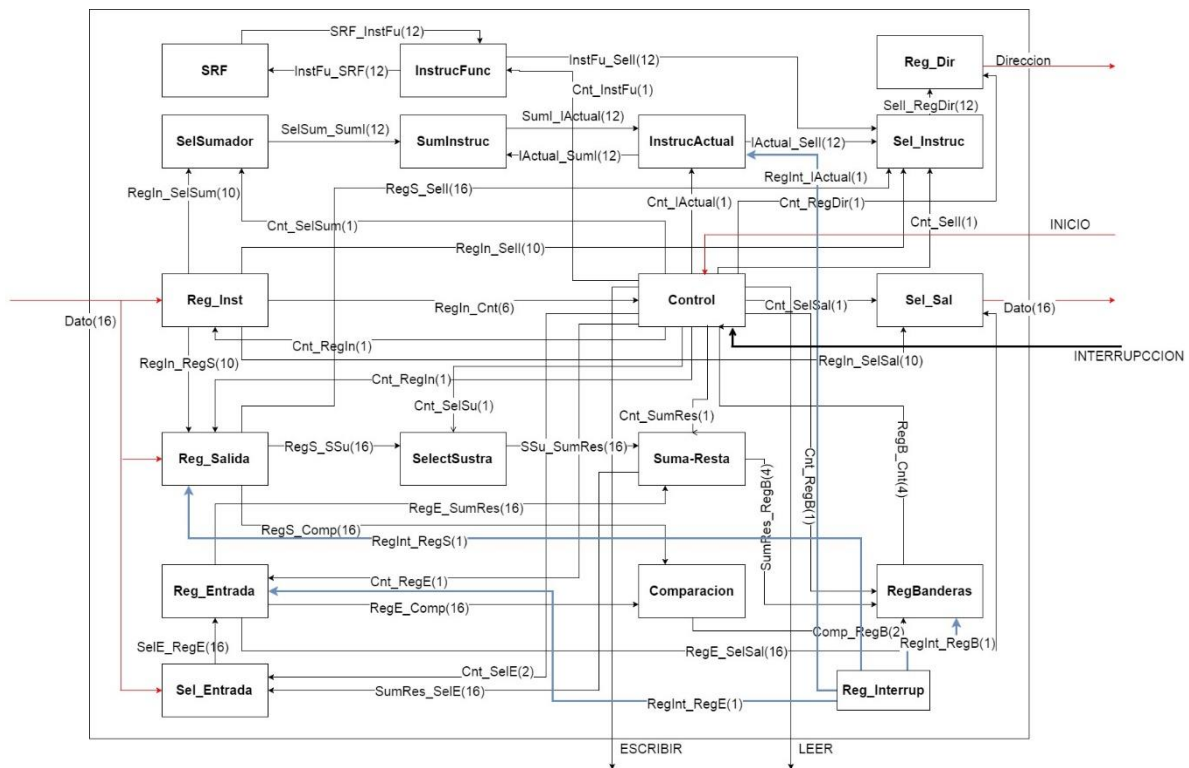
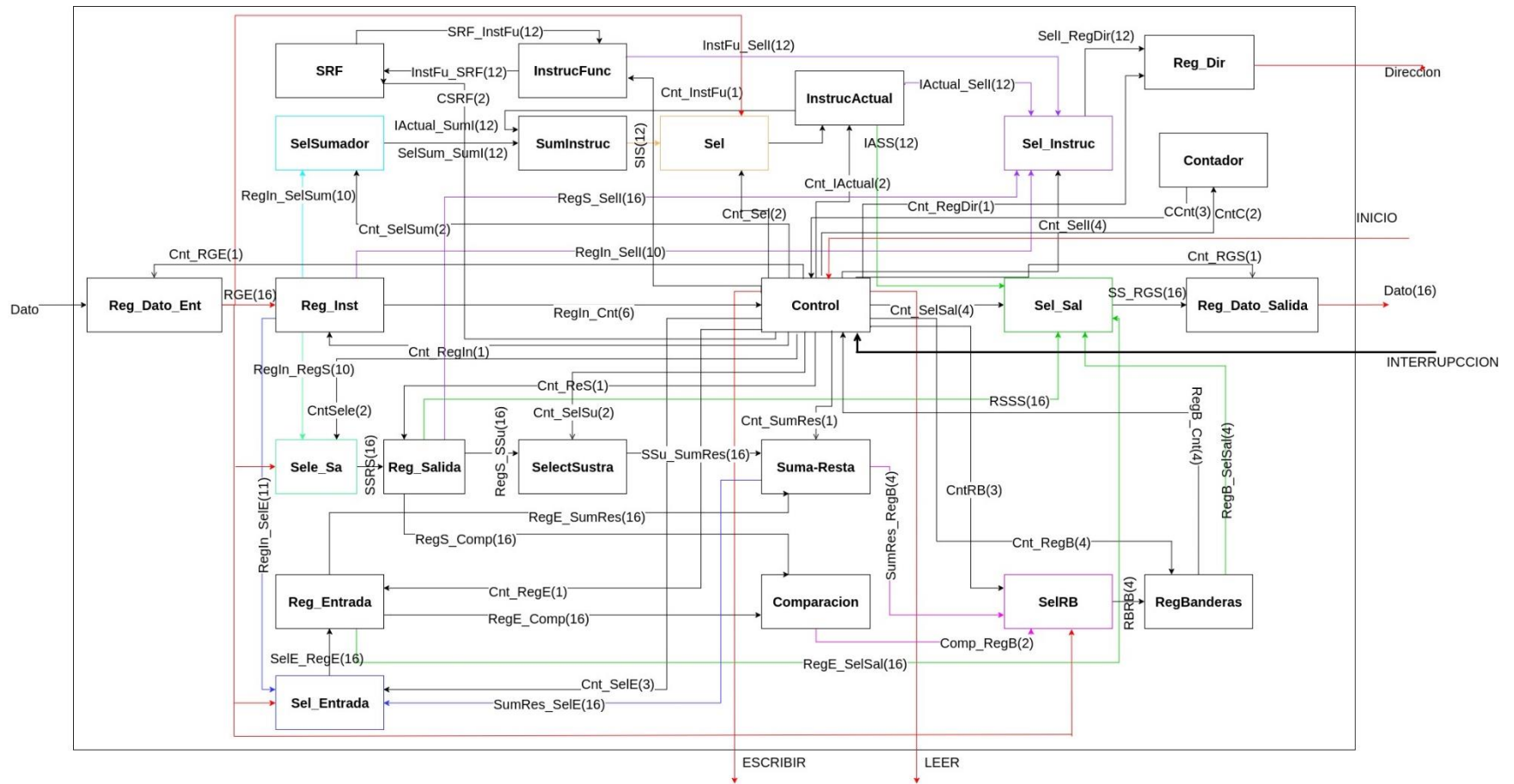


DIAGRAMA DE BLOQUES FINAL



AHPL

- 1) $\rightarrow (INICIO \times 2) + (\overline{INICIO} \times 1);$
- 2) $InstrucActual = '0000';$
 $\rightarrow 3$
- 3) $Reg_Dir \leftarrow InstrucActual;$
 $\rightarrow 4$
- 4) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 5$
- 5) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 6$
- 6) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $Reg_Inst \leftarrow Dato;$
 $SelSum = '0000000000000001';$
 $\rightarrow 7$
- 7) $InstrucActual \leftarrow Suma2(InstrucActual, SelSum);$
 $\rightarrow 8$
- 8) $\rightarrow (\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 9) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge \overline{DI_Control(0)} \times 13) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 17) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 24) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 29) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge \overline{DI_Control(0)} \times 30) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 31) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 32) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 33) +$
 $(DI_Control(3) \wedge DI_Control(2) \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 40) +$
 $(DI_Control(3) \wedge DI_Control(2) \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 41);$
- 9) $Reg_Dir \leftarrow Reg_Inst;$
 $\rightarrow 10$
- 10) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 11$
- 11) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 12$
- 12) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $Reg_Entrada \leftarrow Dato;$
 $\rightarrow 3$
- 13) $Reg_Dir \leftarrow Reg_Inst;$
 $\rightarrow 14$
- 14) $Direccion = Reg_Dir;$
 $Dato \leftarrow Reg_Entrada$
 $Escribir = 1;$

```

→ 15
15) Direccion = Reg_Dir;
   Dato ← Reg_Entrada
   Escribir = 1;
→ 16
16) Direccion = Reg_Dir;
   Dato ← Reg_Entrada
   Escribir = 1;
→ 3
17) Reg_Dir ← Reg_Inst;
→ 18
18) Direccion = Reg_Dir;
   Leer = 1;
→ 19
19) Direccion = Reg_Dir;
   Leer = 1;
→ 20
20) Direccion = Reg_Dir;
   Leer = 1;
   Reg_Salida ← Dato;
→ 21
21) SSu_SumRes = Reg_Salida;
→ 22
22) CarryIn = '0';
   Reg_Entrada ← Suma(Reg_Entrada, SSu_SumRes);
   RegBanderas(0) ← ((SumaResta(16))XOR(Carry15));
   RegBanderas(1) ← SumaResta(16);
   RegBanderas(2) ← SumaResta(15);
   RegBanderas(3) ← ((Not SumaResta(14)) AND (Not SumaResta(13))
                     AND (Not SumaResta(12)) AND (Not SumaResta(11))
                     AND (Not SumaResta(10)) AND (Not SumaResta(9))
                     AND (Not SumaResta(8)) AND (Not SumaResta(7))
                     AND (Not SumaResta(6)) AND (Not SumaResta(5))
                     AND (Not SumaResta(4)) AND (Not SumaResta(3))
                     AND (Not SumaResta(2)) AND (Not SumaResta(1))
                     AND (Not SumaResta(0)) );
→ 23
23) Dato = Reg_Entrada;
→ 3
24) Reg_Dir ← Reg_Inst;
→ 25
25) Direccion = Reg_Dir;
   Leer = 1;
→ 26
26) Direccion = Reg_Dir;
   Leer = 1;
→ 27
27) Direccion = Reg_Dir;
   Leer = 1;

```

```

    RegSalida ← Dato;
    → 28
28) RegBanderas(2) ← Comparacion(15);
    RegBanderas(3) ← ((Not Comparacion(14)) AND (Not Comparacion(13))
        AND (Not Comparacion(12)) AND (Not Comparacion(11))
        AND (Not Comparacion(10)) AND (Not Comparacion(9))
        AND (Not Comparacion(8)) AND (Not Comparacion(7))
        AND (Not Comparacion(6)) AND (Not Comparacion(5))
        AND (Not Comparacion(4)) AND (Not Comparacion(3))
        AND (Not Comparacion(2)) AND (Not Comparacion(1))
        AND (Not Comparacion(0)));
    → 3
29) → (RegBanderas(3) x 42) + (RegBanderas(3) x 3);
30) → (RegBanderas(2) x 3) + (RegBanderas(2) x 42);
31) → (RegBanderas(2) x 42) + (RegBanderas(2) x 3);
32) → (RegBanderas(0) x 42) + (RegBanderas(0) x 3);
33) Reg_Dir ← Reg_Inst;
    → 34
34) Direccion = Reg_Dir;
    Leer = 1;
    → 35
35) Direccion = Reg_Dir;
    Leer = 1;
    → 36
36) Direccion = Reg_Dir;
    Leer = 1;
    RegSalida ← Dato;
    → 37
37) SSuSumRes = not (RegSalida);
    → 38
38) CarryIn = '1';
    RegEntrada ← Suma(RegEntrada, SSu_SumRes);
    RegBanderas(0) ← ((SumaResta(16)) XOR (Carry15));
    RegBanderas(1) ← SumaResta(16);
    RegBanderas(2) ← SumaResta(15);
    RegBanderas(3) ← ((Not SumaResta(14)) AND (Not SumaResta(13))
        AND (Not SumaResta(12)) AND (Not SumaResta(11))
        AND (Not SumaResta(10)) AND (Not SumaResta(9))
        AND (Not SumaResta(8)) AND (Not SumaResta(7))
        AND (Not SumaResta(6)) AND (Not SumaResta(5))
        AND (Not SumaResta(4)) AND (Not SumaResta(3))
        AND (Not SumaResta(2)) AND (Not SumaResta(1))
        AND (Not SumaResta(0)));
    → 39
39) Dato = RegEntrada;
    → 3

```

40) $\rightarrow ((\overline{RegBanderas(2)} \text{ OR } RegBanderas(3)) \times 42) +$
 $((\overline{RegBanderas(2)} \text{ OR } \overline{RegBanderas(3)}) \times 3);$
41) $\rightarrow ((RegBanderas(2) \text{ OR } RegBanderas(3)) \times 42) +$
 $((RegBanderas(2) \text{ OR } \overline{RegBanderas(3)}) \times 3);$
42) $SelSum = Reg_{Inst};$
 $\rightarrow 43$
43) $InstruccionActual \leftarrow Suma2(InstruccionActual, SelSum);$
 $\rightarrow 3$

AHPL (CON MODOS)

1)
 $\rightarrow (INICIO \times 2) + (\overline{INICIO} \times 1);$ //Inicio del Sistema

2) $InstrucActual = '0000';$ //Inicialización de los registros de Instrucción actual y de la pila
 $InstrucFunc = 'FFFF';$
 $Contador = '000';$
 $\rightarrow 3$

3) $Reg_{Dir} \leftarrow InstrucActual;$ //Lectura de la instruccion
 $\rightarrow 4$

4) $Direccion = Reg_{Dir};$
 $Leer = 1;$
 $\rightarrow 5$

5) $Direccion = Reg_{Dir};$
 $Leer = 1;$
 $\rightarrow 6$

6) $Direccion = Reg_{Dir};$ //Lectura de la instrucción actual
 $Leer = 1;$
 $Reg_{Dato_Ent} \leftarrow Dato;$
 $\rightarrow 7$

7) $Reg_{Inst} \leftarrow Reg_{Dato_Ent};$ //Detección de la Interrupción
 $\rightarrow (Interrupcionx8) + (Interrupcionx71);$

8) $InstrucActual \leftarrow Suma2(InstrucActual, '0000000000000001');$ //Incremento Registro Instrucción
 $\rightarrow 9$

9) $\rightarrow (MI_{Control(1)} \wedge \overline{MI_{Control(0)}} \times 10) + (\overline{MI_{Control(1)}} \wedge MI_{Control(0)} \times 47) +$
 $(\overline{MI_{Control(1)}} \wedge \overline{MI_{Control(0)}} \times 53);$ //Selección del modo (Directo, Inmediato, Indirecto)

10) $\rightarrow (\overline{DI_{Control(3)}} \wedge \overline{DI_{Control(2)}} \wedge DI_{Control(1)} \wedge \overline{DI_{Control(0)}} \times 11) +$
 $(\overline{DI_{Control(3)}} \wedge DI_{Control(2)} \wedge \overline{DI_{Control(1)}} \wedge DI_{Control(0)} \times 16) +$
 $(\overline{DI_{Control(3)}} \wedge DI_{Control(2)} \wedge DI_{Control(1)} \wedge \overline{DI_{Control(0)}} \times 17) +$
 $(\overline{DI_{Control(3)}} \wedge DI_{Control(2)} \wedge DI_{Control(1)} \wedge DI_{Control(0)} \times 18) +$
 $(DI_{Control(3)} \wedge \overline{DI_{Control(2)}} \wedge \overline{DI_{Control(1)}} \wedge \overline{DI_{Control(0)}} \times 19) +$
 $(DI_{Control(3)} \wedge DI_{Control(2)} \wedge \overline{DI_{Control(1)}} \wedge \overline{DI_{Control(0)}} \times 20) +$
 $(DI_{Control(3)} \wedge DI_{Control(2)} \wedge \overline{DI_{Control(1)}} \wedge DI_{Control(0)} \times 21) +$
 $(DI_{Control(3)} \wedge DI_{Control(2)} \wedge DI_{Control(1)} \wedge \overline{DI_{Control(0)}} \times 81) +$
 $(\overline{DI_{Control(3)}} \wedge \overline{DI_{Control(2)}} \wedge \overline{DI_{Control(1)}} \wedge DI_{Control(0)} \times 22) +$
 $(\overline{DI_{Control(3)}} \wedge \overline{DI_{Control(2)}} \wedge DI_{Control(1)} \wedge \overline{DI_{Control(0)}} \times 22) +$
 $(DI_{Control(3)} \wedge \overline{DI_{Control(2)}} \wedge \overline{DI_{Control(1)}} \wedge DI_{Control(0)} \times 22) +$
 $(DI_{Control(3)} \wedge \overline{DI_{Control(2)}} \wedge DI_{Control(1)} \wedge \overline{DI_{Control(0)}} \times 22) +$

$(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 22)$; //Selección Escritura y salto
 11) $Reg_Dir \leftarrow Reg_Inst$; //Escritura en memoria
 $\rightarrow 12$
 12) $Reg_{DatoSalida} \leftarrow Reg_{Entrada}$;
 $\rightarrow 13$
 13) $Direccion = Reg_Dir$;
 $Dato \leftarrow Reg_{DatoSalida}$;
 $Escribir = 1$;
 $\rightarrow 14$
 14) $Direccion = Reg_Dir$;
 $Dato \leftarrow Reg_{DatoSalida}$;
 $Escribir = 1$;
 $\rightarrow 15$
 15) $Direccion = Reg_Dir$;
 $Dato \leftarrow Reg_{DatoSalida}$;
 $Escribir = 1$;
 $\rightarrow 3$
 16) $\rightarrow (RegBanderas(3) \times 36) + (\overline{RegBanderas(3)} \times 3)$; //Salto Igual
 17) $\rightarrow (RegBanderas(2) \times 3) + (\overline{RegBanderas(2)} \times 36)$; //Salto mayor
 18) $\rightarrow (RegBanderas(2) \times 36) + (\overline{RegBanderas(2)} \times 3)$; //Salto Menor
 19) $\rightarrow (RegBanderas(0) \times 36) + (\overline{RegBanderas(0)} \times 3)$; //Salto Overflow
 20) $\rightarrow ((\overline{RegBanderas(2)} \vee RegBanderas(3)) \times 36) +$
 $((RegBanderas(2) \vee \overline{RegBanderas(3)}) \times 3)$; //Salto mayor igual
 21) $\rightarrow ((RegBanderas(2) \vee RegBanderas(3)) \times 36) +$
 $((\overline{RegBanderas(2)} \vee \overline{RegBanderas(3)}) \times 3)$; //Salto menor igual
 22) $Reg_Dir \leftarrow Reg_Inst$; //Lectura general
 $\rightarrow 23$
 23) $Direccion = Reg_Dir$;
 $Leer = 1$;
 $\rightarrow 24$
 24) $Direccion = Reg_Dir$;
 $Leer = 1$;
 $\rightarrow 25$
 25) $Direccion = Reg_Dir$;
 $Leer = 1$;
 $Reg_{Dato_Entrada} \leftarrow Dato$;
 $\rightarrow (\overline{MI_{Control(1)}} \wedge \overline{MI_{Control(0)}} \times 66) + (\overline{MI_{Control(1)}} \wedge MI_{Control(0)} \times 26)$;
 26) $\rightarrow (\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 27) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 28) +$
 $(\overline{DI_Control(3)} \wedge DI_Control(2) \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 31) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 33) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge \overline{DI_Control(0)} \times 38) +$
 $(DI_Control(3) \wedge DI_Control(2) \wedge DI_Control(1) \wedge DI_Control(0) \times 43)$; //Selección de la instrucción (Véase Tabla)
 27) $Reg_{Entrada} \leftarrow Reg_{Dato_Entrada}$; //Lectura
 $\rightarrow 3$

```

28) RegSalida ← RegDato_Entrada; //Suma
    → 29
29) RegEntrada ← Suma(RegEntrada, Reg_Salida);
    RegBanderas(0) ← ((SumaResta(16))XOR(Carry15));
    RegBanderas(1) ← SumaResta(16);
    RegBanderas(2) ← SumaResta(15);
    RegBanderas(3) ← ((Not SumaResta(14)) AND (Not SumaResta(13))
        AND (Not SumaResta(12)) AND(Not SumaResta(11))
        AND (Not SumaResta(10)) AND(Not SumaResta(9))
        AND (Not SumaResta(8)) AND(Not SumaResta(7))
        AND (Not SumaResta(6)) AND(Not SumaResta(5))
        AND (Not SumaResta(4)) AND(Not SumaResta(3))
        AND (Not SumaResta(2)) AND(Not SumaResta(1))
        AND (Not SumaResta(0)) );
    → 30
30) Dato = RegEntrada;
    → 3
31) RegSalida ← RegDato_Ent; //Comparar
    → 32
32) RegBanderas(2) ← Comparacion(15);
    RegBanderas(3) ← ((Not Comparacion(14)) AND (Not Comparacion(13))
        AND (Not Comparacion(12)) AND(Not Comparacion(11))
        AND (Not Comparacion(10)) AND(Not Comparacion(9))
        AND (Not Comparacion(8)) AND(Not Comparacion(7))
        AND (Not Comparacion(6)) AND(Not Comparacion(5))
        AND (Not Comparacion(4)) AND(Not Comparacion(3))
        AND (Not Comparacion(2)) AND(Not Comparacion(1))
        AND (Not Comparacion(0)) );
    → 3
33) RegSalida ← RegDato_Entrada; //Restar
    → 34
34) CarryIn = '1';
    RegEntrada ← Suma(RegEntrada, not (RegSalida));
    RegBanderas(0) ← ((SumaResta(16))XOR(Carry15));
    RegBanderas(1) ← SumaResta(16);
    RegBanderas(2) ← SumaResta(15);
    RegBanderas(3) ← ((Not SumaResta(14)) AND (Not SumaResta(13))
        AND (Not SumaResta(12)) AND(Not SumaResta(11))
        AND (Not SumaResta(10)) AND(Not SumaResta(9))
        AND (Not SumaResta(8)) AND(Not SumaResta(7))
        AND (Not SumaResta(6)) AND(Not SumaResta(5))
        AND (Not SumaResta(4)) AND(Not SumaResta(3))
        AND (Not SumaResta(2)) AND(Not SumaResta(1))
        AND (Not SumaResta(0)) );
    → 35
35) Dato = RegEntrada;
    → 3

```

36) $SelSum = Reg_{Inst}$;

→ 37

37) $InstruccionActual \leftarrow Suma2(InstruccionActual, Reg_{Inst});$
→ 3

38) $Direccion = InstrucFunc; //$ Salto Subrutina

$Dato \leftarrow InstrucActual;$

$Escribir = 1;$

→ 39

39) $Direccion = InstrucFunc;$

$Dato \leftarrow InstrucActual;$

$Escribir = 1;$

→ 40

40) $Direccion = InstrucFunc;$

$Dato \leftarrow InstrucActual;$

$Escribir = 1;$

→ 41

41) $InstrucFunc \leftarrow SRF(InstrucFunc, '-1');$

→ 42

42) $InstruccionActual \leftarrow Suma2(InstruccionActual, Reg_{Inst});$

→ 3

43) $Direccion = InstrucFunc; //$ Retorno subrutina

$Leer = 1;$

→ 44

44) $Direccion = InstrucFunc;$

$Leer = 1;$

→ 45

45) $Direccion = InstrucFunc;$

$Leer = 1;$

→ 46

46) $InstrucFunc \leftarrow SRF(InstrucFunc, '1');$

→ 3

47) $Reg_{Inst} \leftarrow Reg_{Dato_Ent};$

→ 48

48) $\rightarrow (\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge DI_Control(0) \times 49) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge \overline{DI_Control(0)} \times 50) +$
 $(\overline{DI_Control(3)} \wedge DI_Control(2) \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 51) +$
 $(\overline{DI_Control(3)} \wedge DI_Control(2) \wedge DI_Control(1) \wedge DI_Control(0) \times 16) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 17) +$
 $(\overline{DI_Control(3)} \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 18) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 19) +$
 $(DI_Control(3) \wedge \overline{DI_Control(2)} \wedge DI_Control(1) \wedge DI_Control(0) \times 52) +$
 $(DI_Control(3) \wedge DI_Control(2) \wedge \overline{DI_Control(1)} \wedge \overline{DI_Control(0)} \times 20) +$
 $(DI_Control(3) \wedge DI_Control(2) \wedge DI_Control(1) \wedge DI_Control(0) \times 21); //$ Selector instructor
inmediato

49) $Reg_{Entrada}(0) \leftarrow Reg_{Inst}(5); //$ Lectura de memoria

$Reg_{Entrada}(1) \leftarrow Reg_{Inst}(6);$

$Reg_{Entrada}(2) \leftarrow Reg_{Inst}(7);$

$Reg_{Entrada}(3) \leftarrow Reg_{Inst}(8);$

$Reg_{Entrada}(4) \leftarrow Reg_{Inst}(9);$

$Reg_{Entrada}(5) \leftarrow Reg_{Inst}(10);$
 $Reg_{Entrada}(6) \leftarrow Reg_{Inst}(11);$
 $Reg_{Entrada}(7) \leftarrow Reg_{Inst}(12);$
 $Reg_{Entrada}(8) \leftarrow Reg_{Inst}(13);$
 $Reg_{Entrada}(9) \leftarrow Reg_{Inst}(14);$
 $Reg_{Entrada}(10) \leftarrow Reg_{Inst}(15);$
 $Reg_{Entrada}(11) \leftarrow Reg_{Inst}(15);$
 $Reg_{Entrada}(12) \leftarrow Reg_{Inst}(15);$
 $Reg_{Entrada}(13) \leftarrow Reg_{Inst}(15);$
 $Reg_{Entrada}(14) \leftarrow Reg_{Inst}(15);$
 $Reg_{Entrada}(15) \leftarrow Reg_{Inst}(15);$
 $\rightarrow 3$

50) $Reg_{Salida}(0) \leftarrow Reg_{Inst}(5);$ //Suma

$Reg_{Salida}(1) \leftarrow Reg_{Inst}(6);$
 $Reg_{Salida}(2) \leftarrow Reg_{Inst}(7);$
 $Reg_{Salida}(3) \leftarrow Reg_{Inst}(8);$
 $Reg_{Salida}(4) \leftarrow Reg_{Inst}(9);$
 $Reg_{Salida}(5) \leftarrow Reg_{Inst}(10);$
 $Reg_{Salida}(6) \leftarrow Reg_{Inst}(11);$
 $Reg_{Salida}(7) \leftarrow Reg_{Inst}(12);$
 $Reg_{Salida}(8) \leftarrow Reg_{Inst}(13);$
 $Reg_{Salida}(9) \leftarrow Reg_{Inst}(14);$
 $Reg_{Salida}(10) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(11) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(12) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(13) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(14) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(15) \leftarrow Reg_{Inst}(15);$
 $\rightarrow 29$

51) $Reg_{Salida}(0) \leftarrow Reg_{Inst}(5);$ //Compare

$Reg_{Salida}(1) \leftarrow Reg_{Inst}(6);$
 $Reg_{Salida}(2) \leftarrow Reg_{Inst}(7);$
 $Reg_{Salida}(3) \leftarrow Reg_{Inst}(8);$
 $Reg_{Salida}(4) \leftarrow Reg_{Inst}(9);$
 $Reg_{Salida}(5) \leftarrow Reg_{Inst}(10);$
 $Reg_{Salida}(6) \leftarrow Reg_{Inst}(11);$
 $Reg_{Salida}(7) \leftarrow Reg_{Inst}(12);$
 $Reg_{Salida}(8) \leftarrow Reg_{Inst}(13);$
 $Reg_{Salida}(9) \leftarrow Reg_{Inst}(14);$
 $Reg_{Salida}(10) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(11) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(12) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(13) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(14) \leftarrow Reg_{Inst}(15);$
 $Reg_{Salida}(15) \leftarrow Reg_{Inst}(15);$
 $\rightarrow 31$


```

52)  $Reg_{Salida}(0) \leftarrow Reg_{Inst}(5); //$ Restar
 $Reg_{Salida}(1) \leftarrow Reg_{Inst}(6);$ 
 $Reg_{Salida}(2) \leftarrow Reg_{Inst}(7);$ 
 $Reg_{Salida}(3) \leftarrow Reg_{Inst}(8);$ 
 $Reg_{Salida}(4) \leftarrow Reg_{Inst}(9);$ 
 $Reg_{Salida}(5) \leftarrow Reg_{Inst}(10);$ 
 $Reg_{Salida}(6) \leftarrow Reg_{Inst}(11);$ 
 $Reg_{Salida}(7) \leftarrow Reg_{Inst}(12);$ 
 $Reg_{Salida}(8) \leftarrow Reg_{Inst}(13);$ 
 $Reg_{Salida}(9) \leftarrow Reg_{Inst}(14);$ 
 $Reg_{Salida}(10) \leftarrow Reg_{Inst}(15);$ 
 $Reg_{Salida}(11) \leftarrow Reg_{Inst}(15);$ 
 $Reg_{Salida}(12) \leftarrow Reg_{Inst}(15);$ 
 $Reg_{Salida}(13) \leftarrow Reg_{Inst}(15);$ 
 $Reg_{Salida}(14) \leftarrow Reg_{Inst}(15);$ 
 $Reg_{Salida}(15) \leftarrow Reg_{Inst}(15);$ 
→ 34
53)  $(\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge DI\_Control(1) \wedge \overline{DI\_Control(0)} \times 54) +$ 
 $(\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 16) +$ 
 $(\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge DI\_Control(1) \wedge \overline{DI\_Control(0)} \times 17) +$ 
 $(\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge DI\_Control(1) \wedge DI\_Control(0) \times 18) +$ 
 $(DI\_Control(3) \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge \overline{DI\_Control(0)} \times 19) +$ 
 $(DI\_Control(3) \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 20) +$ 
 $(DI\_Control(3) \wedge DI\_Control(2) \wedge \overline{DI\_Control(1)} \wedge \overline{DI\_Control(0)} \times 21)$ 
 $(\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 60)$ 
 $+ (\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge DI\_Control(1) \wedge \overline{DI\_Control(0)} \times 60)$ 
 $+ (\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 60)$ 
 $+ (DI\_Control(3) \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 60);$ 
54)  $Reg\_Dir \leftarrow Reg\_Inst; //$ Escritura en memoria
→ 55
55)  $Direccion = Reg\_Dir;$ 
 $Leer = 1;$ 
→ 56
56)  $Direccion = Reg\_Dir;$ 
 $Leer = 1;$ 
→ 57
57)  $Direccion = Reg\_Dir;$ 
 $Leer = 1;$ 
 $Reg_{Dato\_Ent} \leftarrow Dato;$ 
→ 58
58)  $Reg\_Salida \leftarrow Reg_{Dato\_Ent};$ 
→ 59
59)  $Reg\_Dir \leftarrow Reg\_Salida;$ 
→ 12
60)  $Reg\_Dir \leftarrow Reg\_Inst; //$ Lectura general modo indirecto
→ 61
61)  $Direccion = Reg\_Dir;$ 
 $Leer = 1;$ 

```

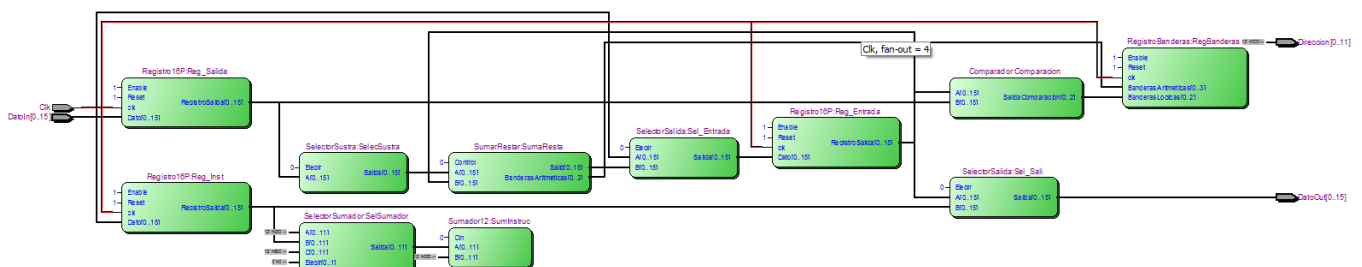
```

→ 62
62) Direccion = Reg_Dir;
    Leer = 1;
→ 63
63) Direccion = Reg_Dir;
    Leer = 1;
    RegDato_Ent ← Dato;
→ 64
64) RegSalida ← RegDato_Ent;
→ 65
65) Reg_Dir ← Reg_Salida;
→ 23
66) → ( $\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 67$ ) +
    ( $\overline{DI\_Control(3)} \wedge \overline{DI\_Control(2)} \wedge DI\_Control(1) \wedge \overline{DI\_Control(0)} \times 68$ ) +
    ( $\overline{DI\_Control(3)} \wedge DI\_Control(2) \wedge \overline{DI\_Control(1)} \wedge \overline{DI\_Control(0)} \times 69$ ) +
    ( $DI\_Control(3) \wedge \overline{DI\_Control(2)} \wedge \overline{DI\_Control(1)} \wedge DI\_Control(0) \times 70$ ); //Selector modo
indirecto
67) RegEntrada ← RegDato_Entrada; //Lectura
→ 3
68) RegSalida ← RegDato_Entrada; //Sumar
→ 29
69) RegSalida ← RegDato_Entrada; //Compare
→ 31
70) RegSalida ← RegDato_Entrada; //Restar
→ 34
71) RegInterrupcion ← '1'; //Interrupción
→ 72
72) RegDatoSalida ← Regbanderas;
→ 76
73) RegDatoSalida ← RegSalida;
→ 76
74) RegDatoSalida ← RegEntrada;
→ 76
75) RegDatoSalida ← InstructActual;
→ 76
76) Direccion = InstrucFunc;
    Dato ← RegDatoSalida;
    Escribir = 1;
→ 77
77) Direccion = InstrucFunc;
    Dato ← RegDatoSalida;
    Escribir = 1;
→ 78
78) Direccion = InstrucFunc;
    Dato ← RegDatoSalida;
    Escribir = 1;
→ 79
79) InstrucFunc ← SRF(InstrucFunc, '-1');
    Contador ← Inc(Contador);

```

$\rightarrow ((Contador = '001')x73 + (Contador = '010')x74 + (Contador = '011')x75 + (Contador = '100')x80);$
 80) $Contador = '0000';$
 $\rightarrow 3$
 81) $Reg_Dir \leftarrow InstrucFunc; //$ Final Interrupcion
 $\rightarrow 82$
 82) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 83$
 83) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $\rightarrow 84$
 84) $Direccion = Reg_Dir;$
 $Leer = 1;$
 $RegDatoEntrada \leftarrow Dato;$
 $\rightarrow ((Contador = '000')x85 + (Contador = '001')x86 + (Contador = '010')x87 + (Contador = '011')x88);$
 85) $InstrucActual \leftarrow RegDatoEntrada;$
 $InstrucFunc \leftarrow SRF(InstrucFunc, ' + 1');$
 $Contador = Inc(Contador);$
 $\rightarrow 81$
 86) $RegEntrada \leftarrow RegDatoEntrada;$
 $InstrucFunc \leftarrow SRF(InstrucFunc, ' + 1');$
 $Contador = Inc(Contador);$
 $\rightarrow 81$
 87) $RegSalida \leftarrow RegDatoEntrada;$
 $InstrucFunc \leftarrow SRF(InstrucFunc, ' + 1');$
 $Contador = Inc(Contador);$
 $\rightarrow 81$
 88) $RegBanderas \leftarrow RegDatoEntrada;$
 $Contador = '000';$
 $\rightarrow 3$

ESQUEMATICO DE QUARTUS



INSTRUCCIÓN	MODO DIRECTO	MODO INMEDIATO	MODO INDIRECTO
LEER	27	49	67
ESCRIBIR	11	X	54

SUMA	28	50	68
COMPARE	31	51	64
SALTO IGUAL	16	16	16
SALTO MAYOR	17	17	17
SALTO MENOR	18	18	18
SALTO OVERFLOW	19	19	19
RESTAR	33	52	69
SALTO MAYOR O IGUAL	20	20	39
SALTO MENOR O IGUAL	21	21	40
SALTO SUBROUTINA	38	X	X
RETORNO SUBROUTINA	43	X	X
INTERRUPCION			
RETORNO INTERRUPCION	88	X	X