

Estructura de Computadores

Segundo curso
Turno de tarde



Tema 3. El bus como estructura de interconexión. Tipos de buses y sus protocolos

Módulo I. Estructura interna del procesador y buses de interconexión



Características

Buses compartidos

- Técnicas de Temporización o Comunicación en Buses

Jerarquía de buses

Estructuras de buses: Buses Múltiples y Crossbar

Ejemplos de buses en un ordenador de sobremesa actual: PCI vs PCIe





¿Qué tal “escala” esta solución con más elementos?



Bus

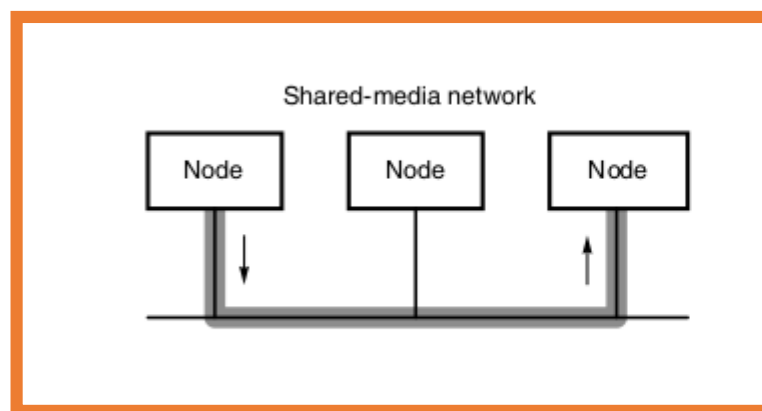
- “Camino” que permite comunicar de forma selectiva un determinado número de componentes/dispositivos de acuerdo a un conjunto predefinido de reglas de conexión.



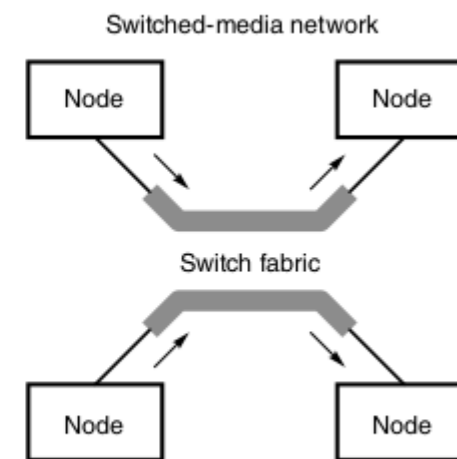
Conexiones punto a punto

Redes de medio compartido (shared media networks)

Redes de medio conmutado (switched-media networks)

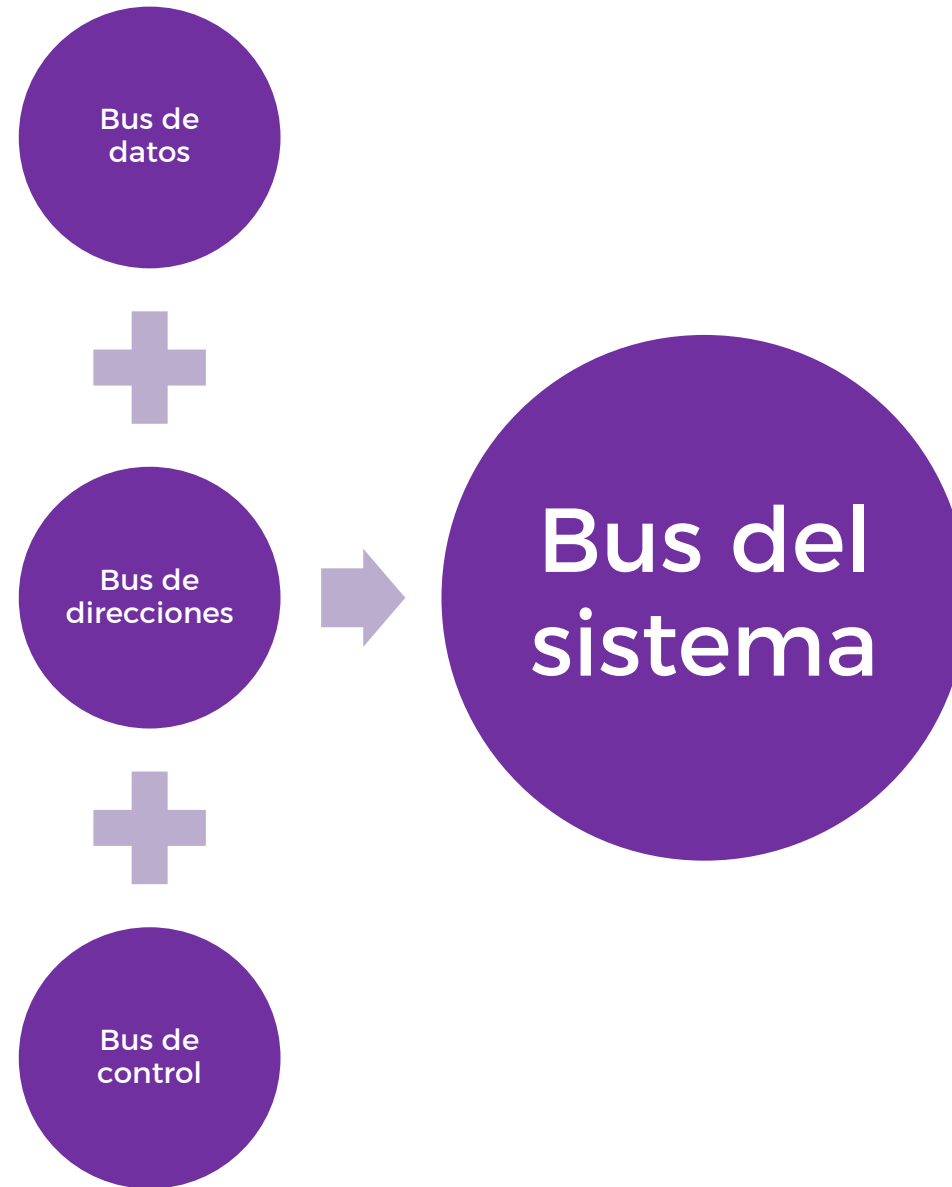


(a)



(b)





Grado de paralelismo

- **Serie**
- **Paralelo**
- **Multiplexado**



Direccionalidad

- Unidireccional (*simplex*)
- Semibidireccional (*half-duplex*)
- Bidireccional (*full-duplex*)



Ancho y velocidad

- **Ancho:** número de bits que pueden transmitirse simultáneamente
- **Frecuencia:** “cada cuánto tiempo” se envía esta información (Hz)

$\text{Velocidad de transferencia} = \text{ancho} \times \text{frecuencia}$



Tienes un bus de ancho 16 bits, que puede transmitir a una frecuencia de 133 MHz, ¿cuál es su velocidad de transferencia (en Mbits/seg y en MB/seg)?



Capacidad de conexión

- Número máximo de dispositivos que pueden conectarse



Método de sincronización

- **Síncrono**
- **Asíncrono**
- **Semisíncrono**



Protocolo o estrategia de control

- Centralizada
- Distribuida



Fase de negociación

- El dispositivo que quiere usar el bus (maestro) debe asegurarse de que éste esté libre.
- El dispositivo maestro notifica qué tipo de transacción quiere realizar (R/W) y cuál es el dispositivo de destino/origen (esclavo).
- El dispositivo maestro debe asegurarse de que tiene el bus a su disposición.

Fase de transacción

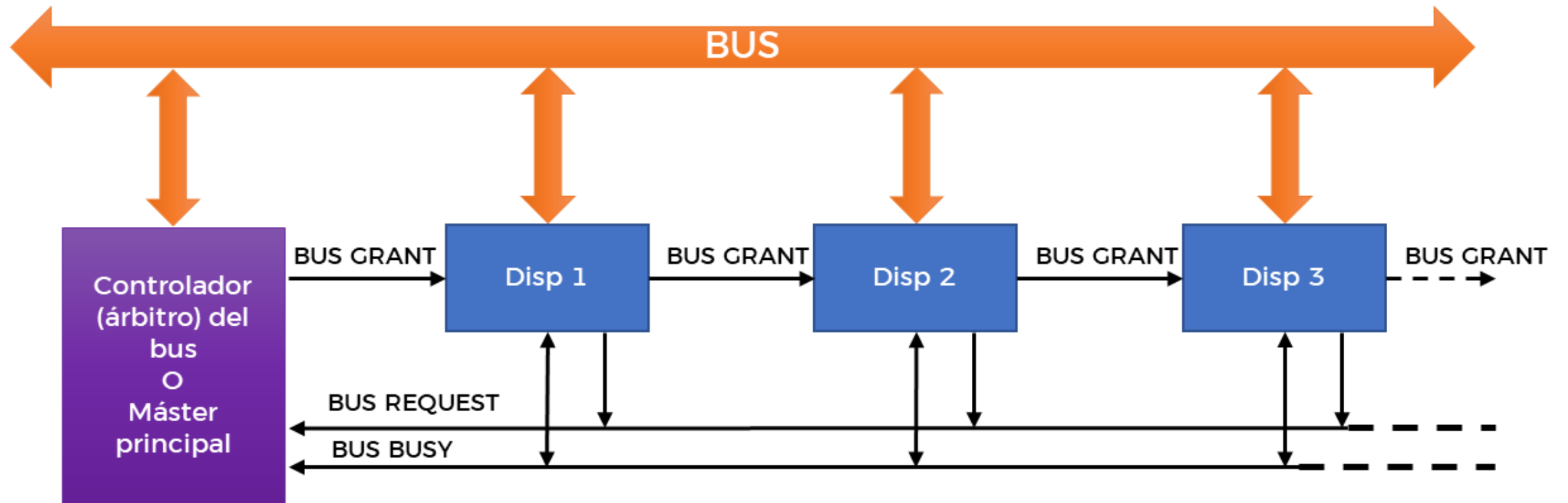
- El dispositivo maestro envía/recibe el dato al/del esclavo.



Supongan que tienen un sistema con 4 dispositivos que comparten un bus.

Planteen un protocolo para negociar el acceso al bus.
¿Cómo sería? ¿Qué pasos tendría?

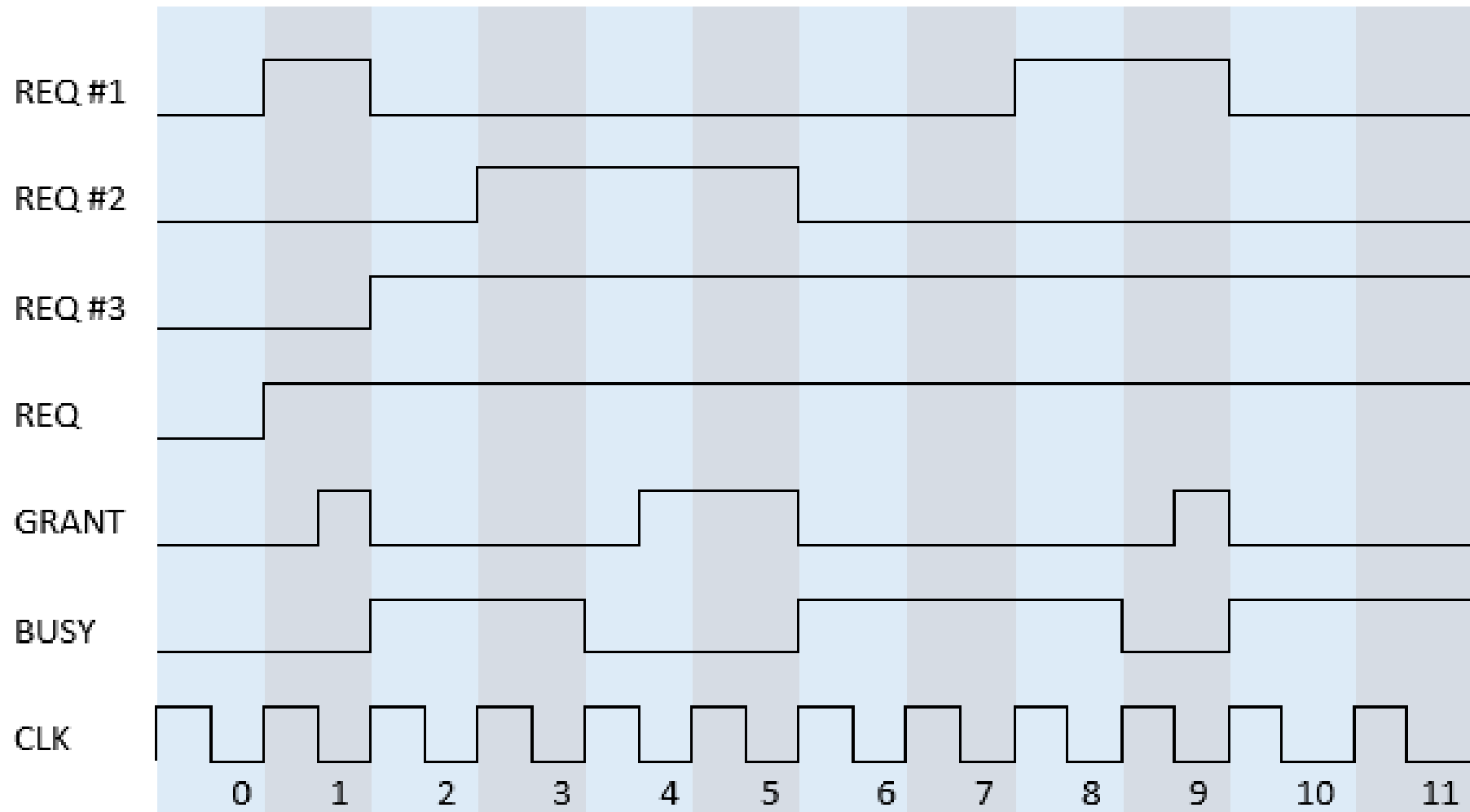




Si un dispositivo quiere usar el bus:

1. Activa la línea BUS REQUEST
2. El árbitro activa GRANT cuando detecta REQUEST activado y BUSY desactivado
3. Cuando un dispositivo detecta un flanco de subida de GRANT
 - Si no había solicitado el bus, pasa la señal GRANT al siguiente dispositivo
 - Si había solicitado el bus (BUS REQUEST activado) toma el control del bus en cuanto el bus esté libre (BUS BUSY desactivado).
4. Al tomar el control, el dispositivo:
 - Desactiva REQUEST
 - Activa BUSY
5. En cuanto se activa BUSY, se desactiva GRANT
6. Al finalizar la transacción, el dispositivo desactiva BUSY

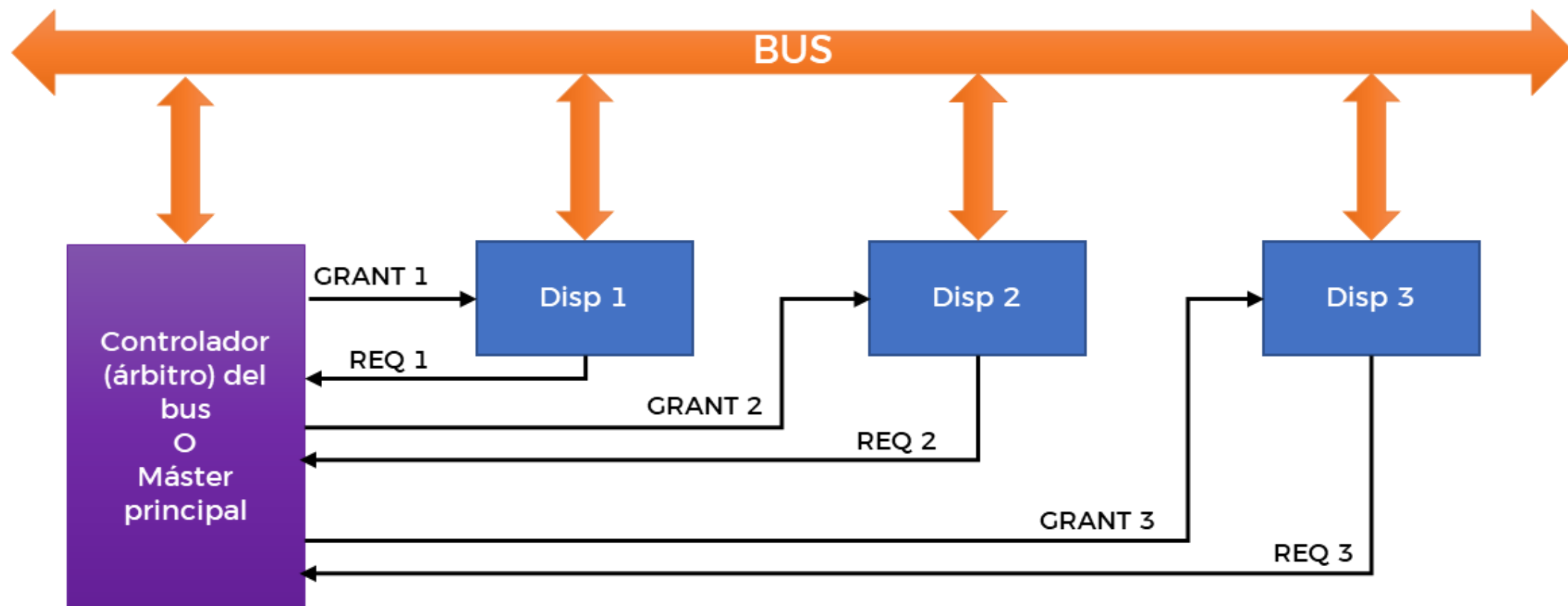




1. ¿Es “justo” este protocolo?
2. Tal como está el protocolo, ¿podemos realizar la “negociación” de quién será el siguiente dispositivo en usar el bus al mismo tiempo que se usa el bus?
3. Tal como está planteado el protocolo de cadena de margarita, ¿qué ocurre si se estropea el primer dispositivo de la cadena?



- Arbitraje paralelo centralizado



- Arbitraje distribuido por autoselección
- Arbitraje distribuido por detección de colisión

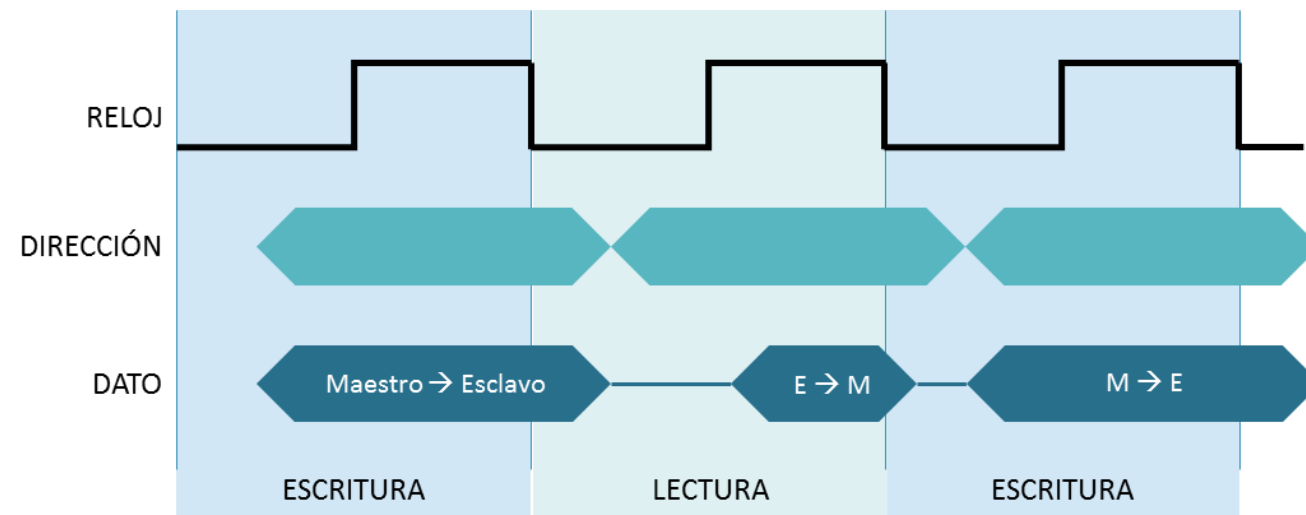
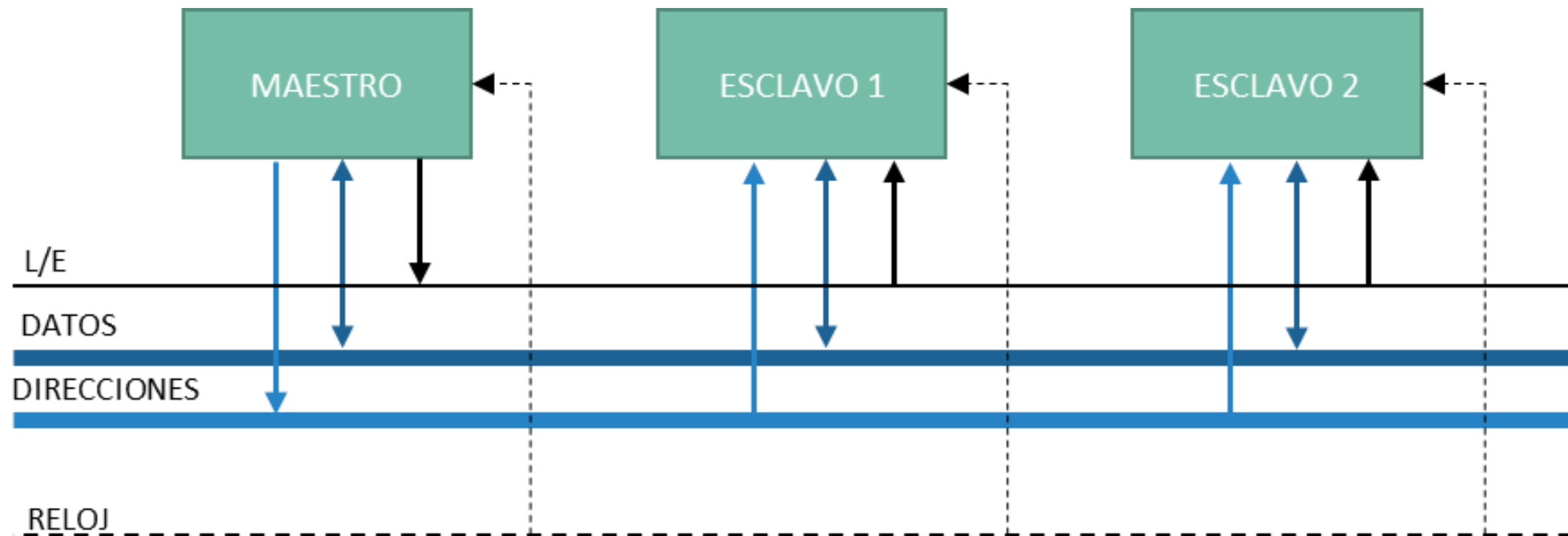


- **Modos de comunicación**
 - Síncrono
 - Asíncrono
 - Semisíncrono



- **Señal de reloj común a todos los dispositivos**
 - O relojes individuales con señales de sincronización
- **Las transacciones responden a flancos de subida o bajada del reloj**





Escritura

- El maestro debe haber puesto la dirección y el dato un poco antes del flanco de subida del reloj,
- Se mantienen la dirección y el dato hasta un poco después del flanco de bajada del reloj.



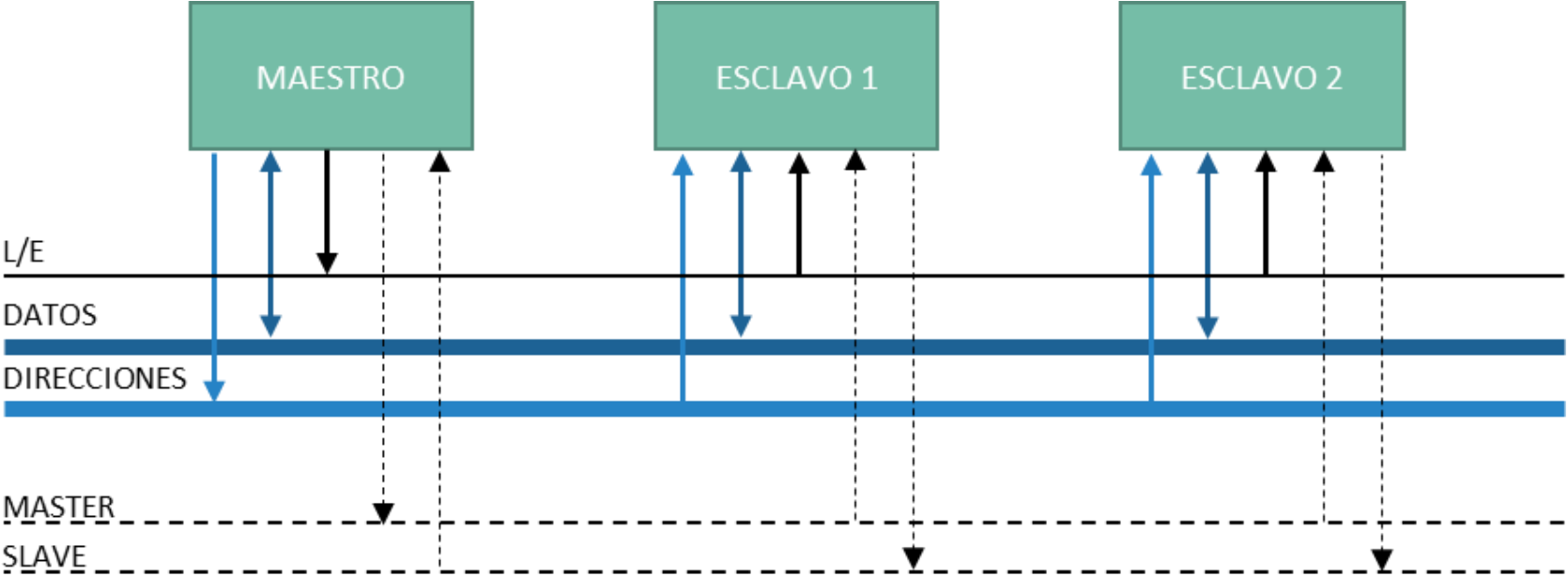
Lectura:

- El maestro pone la dirección un poco antes del flanco de subida del reloj.
- El esclavo pone el dato para su lectura. Al existir un tiempo de acceso al dato por parte del esclavo, el dato aparece con un poco de retraso en el bus
- La señal de reloj debe tener esto en cuenta y mantenerse alta el tiempo necesario para que se produzca la transferencia.



- Se intercambian señales entre maestro y esclavo que indican cuándo comienza y termina la transacción





Escritura

- E1: El maestro pone la dirección y el dato y activa la señal MASTER.
- E2: El esclavo reconoce la dirección, toma el dato para escribirlo y activa la señal SLAVE para indicar que ha recibido el dato.
- E3: El maestro ve la señal SLAVE y desactiva su señal MASTER. Además, retira el dato y la dirección.
- E4: El esclavo ve el flanco de bajada de la señal MASTER y confirma que el maestro tiene constancia de que se realizó la escritura, por lo que desactiva su señal SLAVE.



Lectura:

- L1: El maestro pone la dirección y activa la señal MASTER.
- L2: El esclavo pone el dato para su lectura y comunica al MASTER que está disponible activando la señal SLAVE
- L3: El maestro ve la señal SLAVE y lee el dato. En cuanto lo tiene, desactiva su señal MASTER y retira la dirección.
- L4: El esclavo ve el flanco de bajada de la señal MASTER que le confirma que ha leído el dato. Desactiva su señal SLAVE y retira el dato del bus.

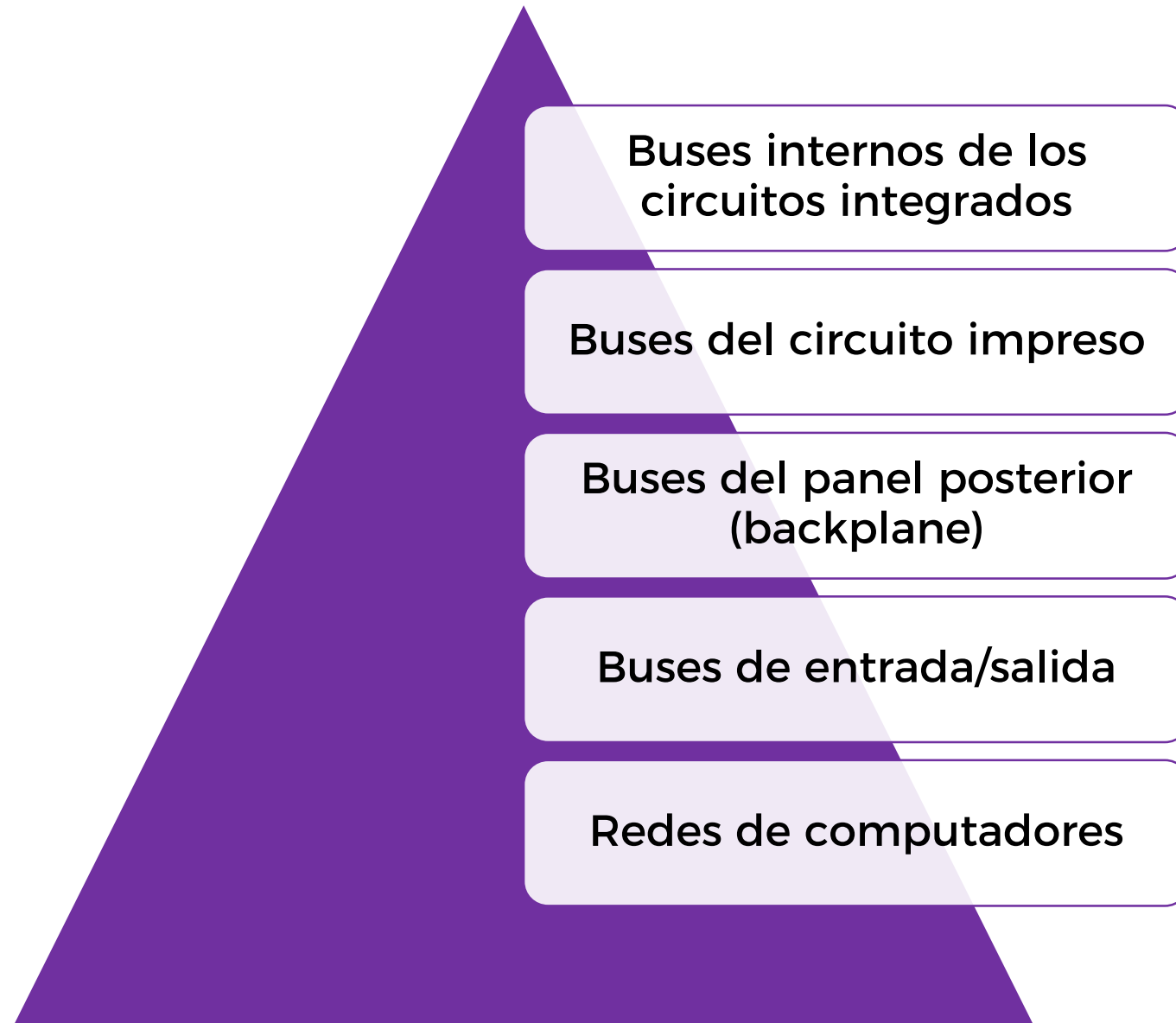


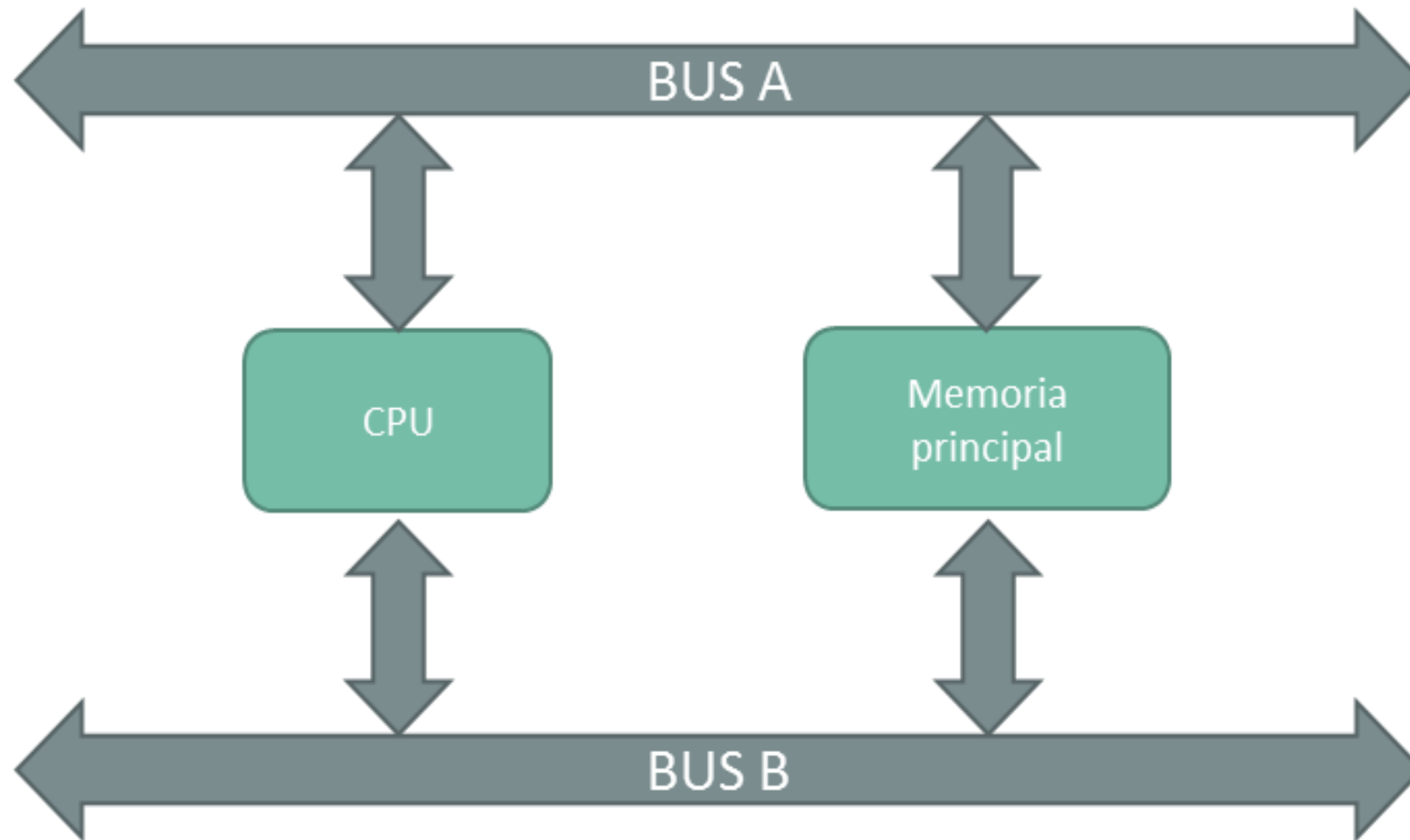
¿Cuál modo de comunicación es mejor?

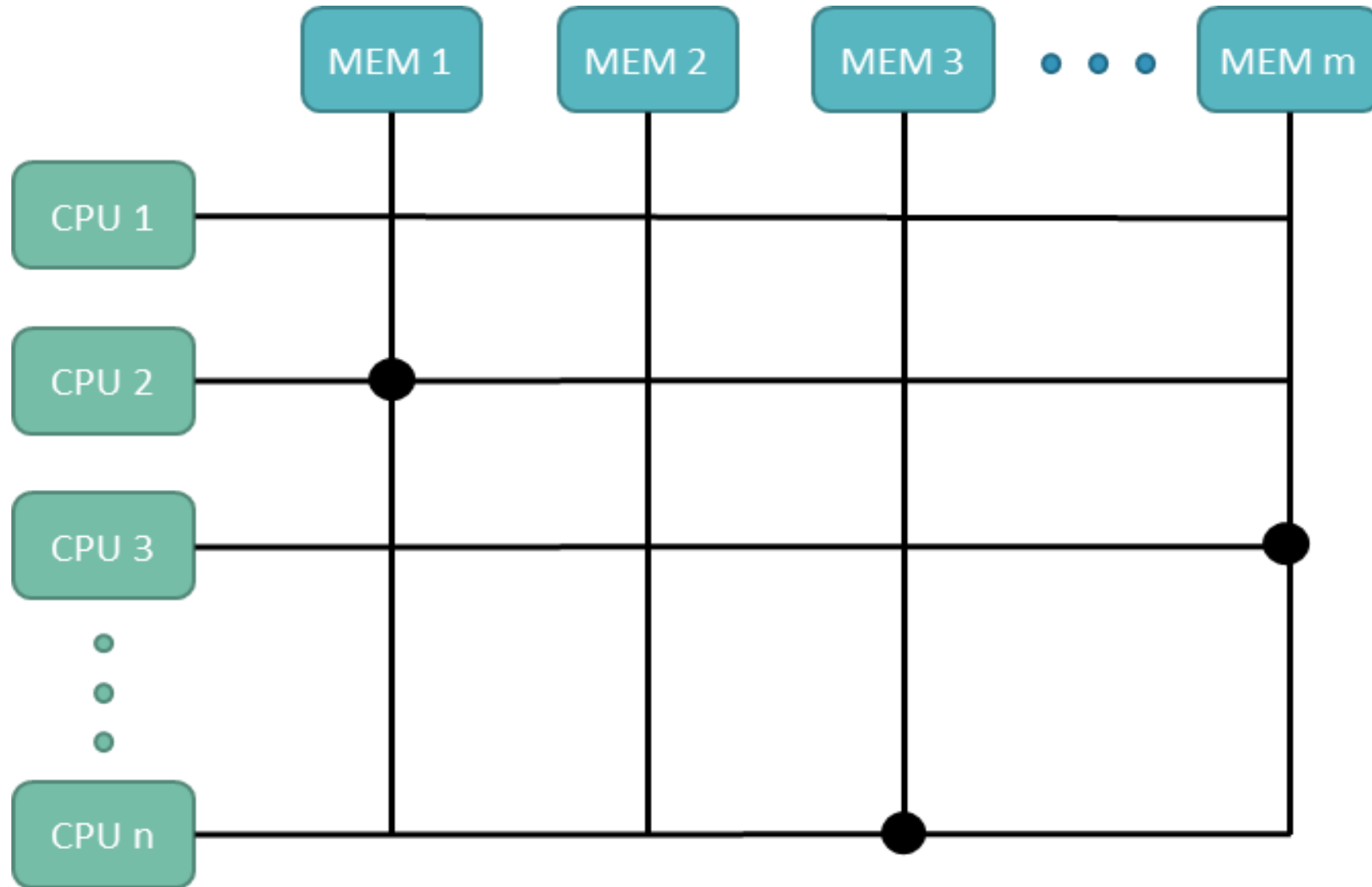


- Funciona como el síncrono en todos los dispositivos rápidos.
- Con los dispositivos más lentos, emplea una señal de WAIT que permite dedicar más de un ciclo de reloj a una transferencia









- **Peripheral Component Interconnect (PCI)**
 - Estándar de facto para la conexión de tarjetas de video, sonido y red en los PC de los 90 y primeros años del 2000.
 - Bus de plano posterior
 - aunque también puede utilizarse como bus de E/S.
 - Su popularidad se debió a que permitía la conexión con otros buses y se implementaba con pocos circuitos integrados, lo que lo convertía en una alternativa económica.

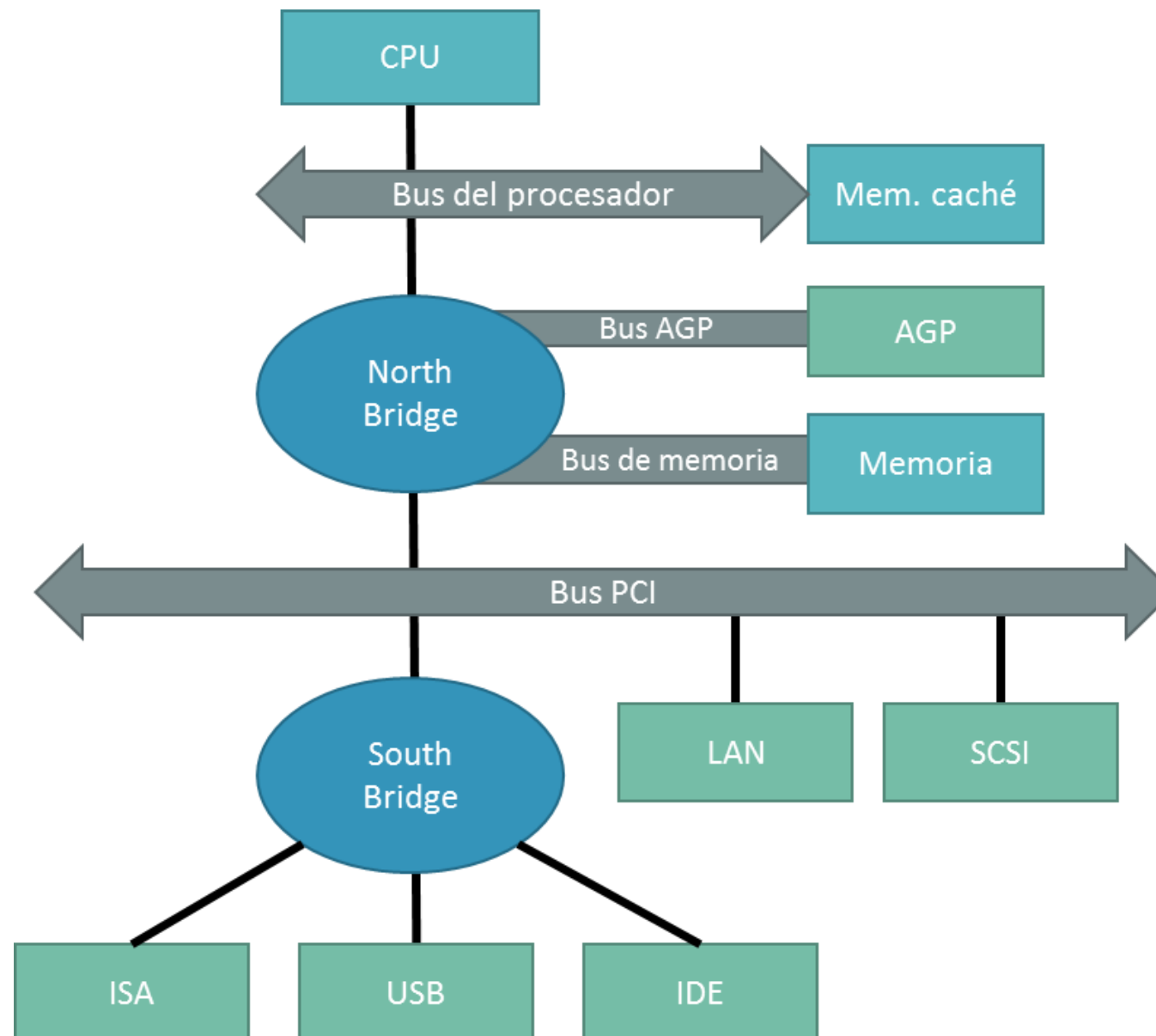


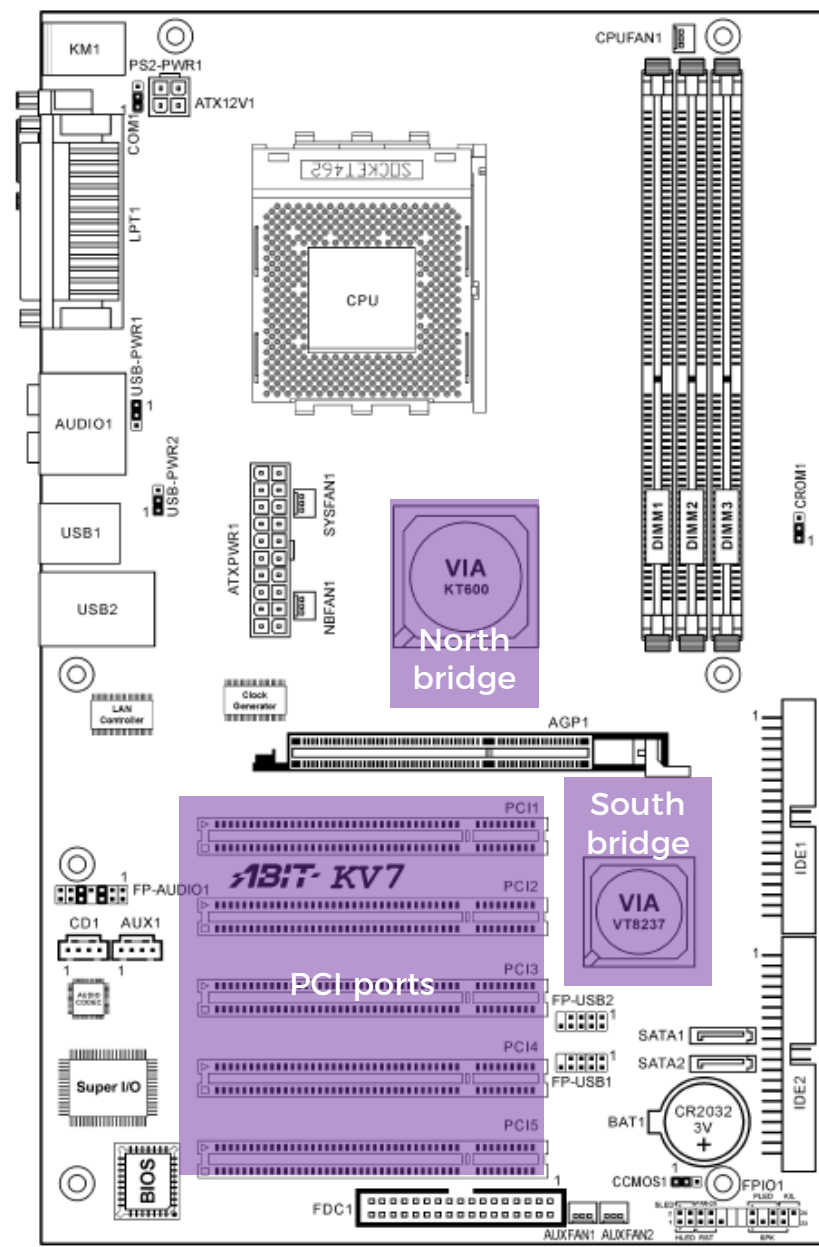
- **Bus paralelo**
 - ancho de 32 bits
- **Comunicación síncrona**
 - reloj de 33,33MHz
- **Velocidad de transferencia pico de 133 MB/seg**
- **Puede manejar hasta 5 dispositivos a la vez.**
- **Comunicación half-dúplex**
- **Puede configurarse para trabajar con 32 o de 64 bits.**
- **Comparte 32 líneas para datos y direcciones mediante una multiplexación en el tiempo.**



- **Sistema de arbitraje centralizado y asíncrono**
 - Cada maestro tiene una única señal de petición REQ y una señal de concesión GNT.
 - El protocolo no establece cómo debe implementarse este arbitraje.
- **Transacción del bus PCI**
 - fase de direcciones (address phase)
 - seguida de una o más fases de datos (data phases)







¿Es más rápido un bus paralelo o un bus serie?



- **Diferencia de tiempo de llegada de cada línea**
 - Todas las señales del transmisor deberían llegar al receptor al mismo tiempo.
 - Líneas de diferente longitud por la disposición de los cables físicos sobre la placa
 - En frecuencias muy altas, estas discrepancias se vuelven más relevantes para el rendimiento global de las comunicaciones.
- **Diafonía o “crosstalk”.**
 - La señal de un cable se ve afectada o perturbada por otro, debido a la inducción electromagnética.
 - Cuantas más líneas en paralelo, más fácil que se produzca este problema.



- **PCI-Express (PCIe)**

- Serie
- No es un bus compartido, sino una red de conmutación
- Full-dúplex
- Usa hasta 32 “carriles” (lanes)
 - x1, x2, x4, x8, x16, x32
 - Cada carril contiene dos pares de líneas, un par para enviar datos y otro para recibirlos
 - La redundancia permite implementar “cancelación” o “transmisión diferencial”
 - Data striping cuando utiliza más de un carril.
 - Los bits se envían entrelazados entre los diferentes carriles, de manera que cada bit sucesivo se envía por un carril diferente.



Versión de PCI Express	Código en línea	Velocidad de transferencia	Ancho de banda	
			Por carril	En x16
1.0	8b/10b	2,5 GT/s	0,250 GB/s	4,000 GB/s
2.0	8b/10b	5,0 GT/s	0,500 GB/s	8,000 GB/s
3.0	128b/130b	8,0 GT/s	0,985 GB/s	15,754 GB/s
4.0	128b/130b	16,0 GT/s	1,969 GB/s	31,508 GB/s
5.0	128b/130b	32,0 GT/s	3,938 GB/s	63,015 GB/s
6.0	242b/256b	64,0 GT/s	7,563 GB/s	121,000 GB/s
7.0 (planeado 2025)	242b/256b	128,0 GT/s	15,125 GB/s	242,000 GB/s

Fuente: https://es.wikipedia.org/wiki/PCI_Express



