

پیش گزارش آزمایش ۴ از مدار منطقی

علی دهقانی ، ماهان بیهقی

دانشگاه صنعتی شریف

نام آزمایش

شیفت رجیسترها

اهداف آزمایش

پیاده سازی یک شیفت رجیستر با تراشه ۷۴۹۵

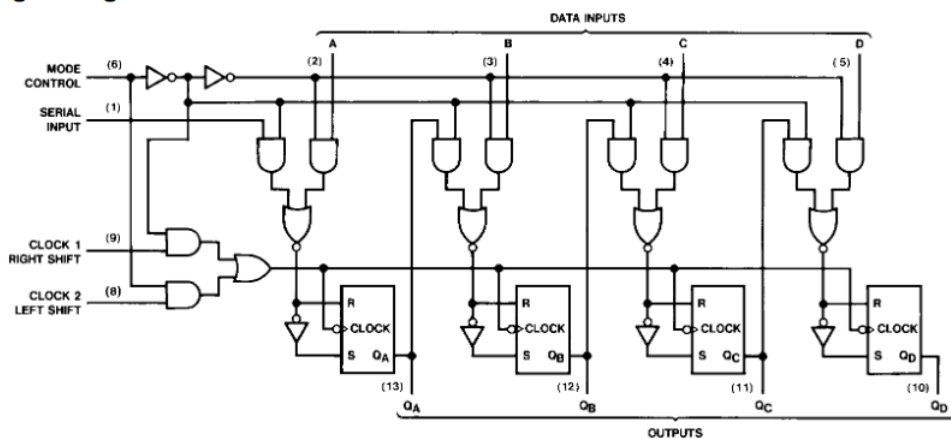
شرح آزمایش

لیست تراشه ها و قطعات مورد نیاز

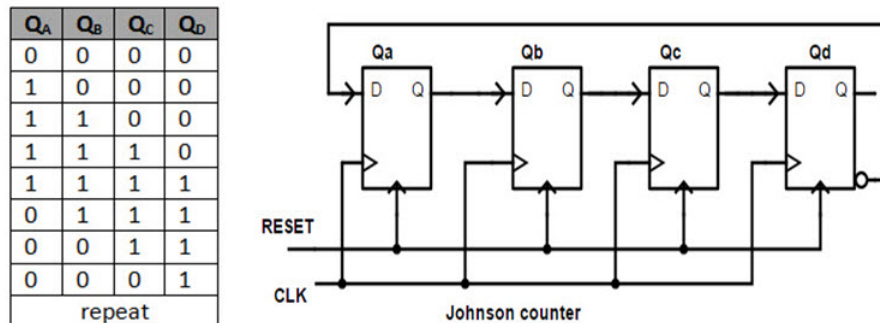
تراشه ۷۴۹۵ ، مالتی پلکسر های ۲ به ۱

شرح آزمایش

شکل اتصالات داخلی تراشه ۷۴۹۵ در شکل ۱ مشخص شده است. از این تراشه میتوان برای ساخت یک شیفت رجیستر با ورودی های موازی و سریال استفاده کرد. همچنین خروجی شیفت رجیستر میتواند به صورت موازی باشد یعنی این تراشه در کل یک شیفت رجیستر PIPO به شمار میرود که قابلیت خروجی سریال را هم دارد. شمارنده جانسون یا شمارنده حلقه هم نوعی شمارنده سنکرون متشکل از n فلیپ فلاپ D- میباشد که ورودی اولین فلیپ فلاپ ، از نات خروجی آخرین فلیپ فلاپ خواهد بود. شکل یک شمارنده حلقه ۴ بیتی و جدول زمانی آن در شکل ۲ مشخص شده است.



شکل ۱: اتصالات داخلی تراشه



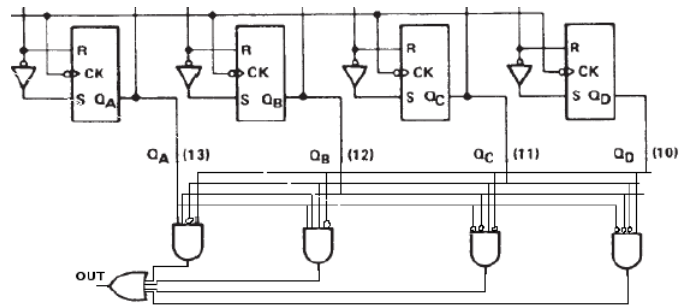
شکل ۲: شمارنده حلقه ۴ بیتی

مراحل آزمایش و مدارات

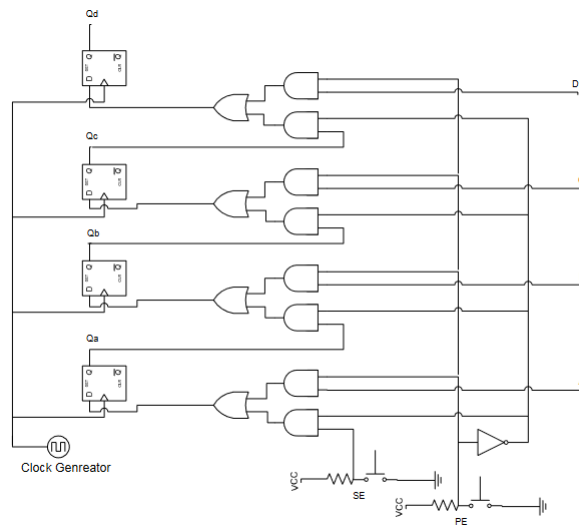
- برای قرار دادن مدار در حالت اولیه ۱۰۱۰ کافی است در مدار شکل ۳، کلید PE فعال باشد و با دادن ورودی ۱۰۱۰ به پایه های A تا D، شیفت رجیستر را به طور موازی پر کنیم.
- برای تغییر جهت شیفت رجیستر، کافی است کلاک مربوط به شیفت راست را فعال کنیم و خروجی های هر Q_i را به ورودی فلیپ فلاپ قبلی متصل کنیم.
- مطابق شکل مربوط به شمارنده جانسون، کافی است با دادن ورودی Q'_D به اولین فلیپ فلاپ D، یک شمارنده حلقه ۴ بیتی تشکیل دهیم.
- برای تبدیل شیفت رجیستر ۴ بیتی به شیفت رجیستر دوطرفه، کافی است هر خروجی Q_i به ورودی قبلی خود یعنی Q_{i-1} متصل باشد. پس باید یکی از ورودی های مالتی پلکسر ورودی هر فلیپ فلاپ باشد (توجه داریم ساختار انتخاب شده برای ورودی های فلیپ فلاپ های مدار، معادل مالتی پلکسر های ۲ به ۱ هستند). حال با تغییر مقدار پایه کنترلی mode (پایه ۶) میتوان همزمان مدار و جهت شیفت و ورودی های هر فلیپ فلاپ را تعیین کرد.
- برای طراحی مدار تشخیص دهنده الگوها کافی است خروجی های شیفت رجیستر به طور موازی بررسی شوند و در نهایت با جمع مینترم های معادل، یک گیت or خروجی را نشان دهد. با توجه به الگوهای خواسته شده کافی است جمع مینترم های ۱، ۲، ۱۳ و ۱۴ را به عنوان خروجی مدار تشخیص دهنده قرار دهیم. خروجی های فلیچ فلاپ ها و مینترم های گفته شده در شکل ۳ مشخص اند.

نتایج مورد انتظار

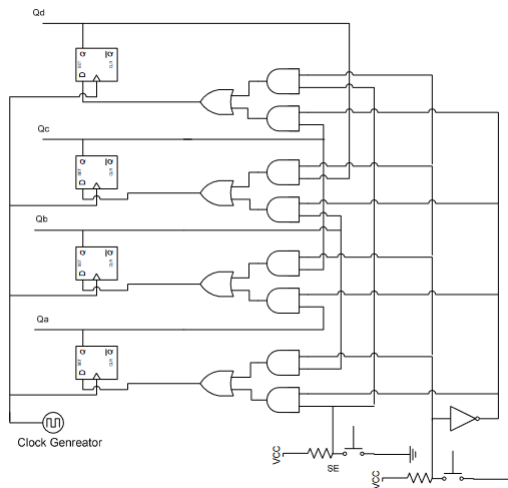
انتظار می رود با داشتن یک پالس ژنراتور، دنباله اعمال ورودی پس از حداکثر تعداد ۴ پالس کامل (با توجه به رفتار فلیپ فلاپ ها) در خروجی نمایش داده شوند.



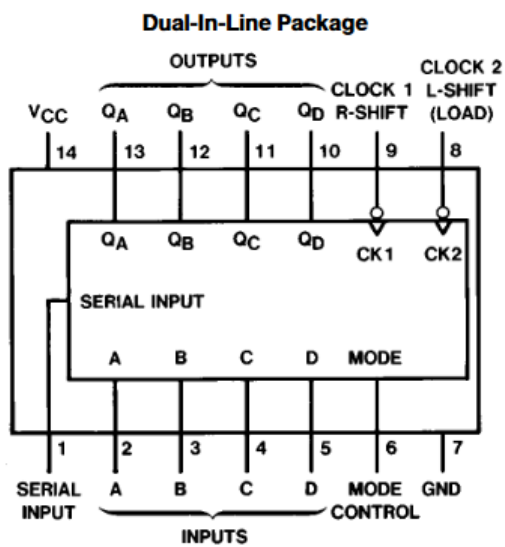
شکل ۳: مدار تشخیص دهنده الگوها



شکل ۴: مدار پیشنهادی برای شیفت رجیستر یک طرفه



شکل ۵: مدار پیشنهادی برای شیفت رجیستر دو طرفه



شکل ۶: تراشه ۷۴۹۵

Function Table

Inputs								Outputs			
Mode Control	Clocks		Serial	Parallel				Q _A	Q _B	Q _C	Q _D
	2(L)	1(R)		A	B	C	D				
H	H	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	↓	X	X	a	b	c	d	a	b	c	d
H	↓	X	X	Q _{B†}	Q _{C†}	Q _{D†}	d	Q _{Bn}	Q _{Cn}	Q _{Dn}	d
L	L	H	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
L	X	↓	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
L	X	↓	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
↑	L	L	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↓	L	L	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↓	L	H	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↑	H	L	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
↑	H	H	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

†Shifting left requires external connection of Q_B to A, Q_C to B, Q_D to C. Serial data is entered at input D.

H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care (Any input, including transitions)

↓ = Transition from high to low level, ↑ = Transition from low to high level

a, b, c, d = The level of steady, state input at inputs A, B, C, or D, respectively.

Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = The level of Q_A, Q_B, Q_C, Q_D, respectively, before the indicated steady state input conditions were established.

Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = The level of Q_A, Q_B, Q_C, Q_D, respectively, before the most recent ↓ transition of the clock.

شکل ۷: جدول عملکردی تراشه ۷۴۹۵