

به نام خدا

آزمایش چهارم  
ram , fifo

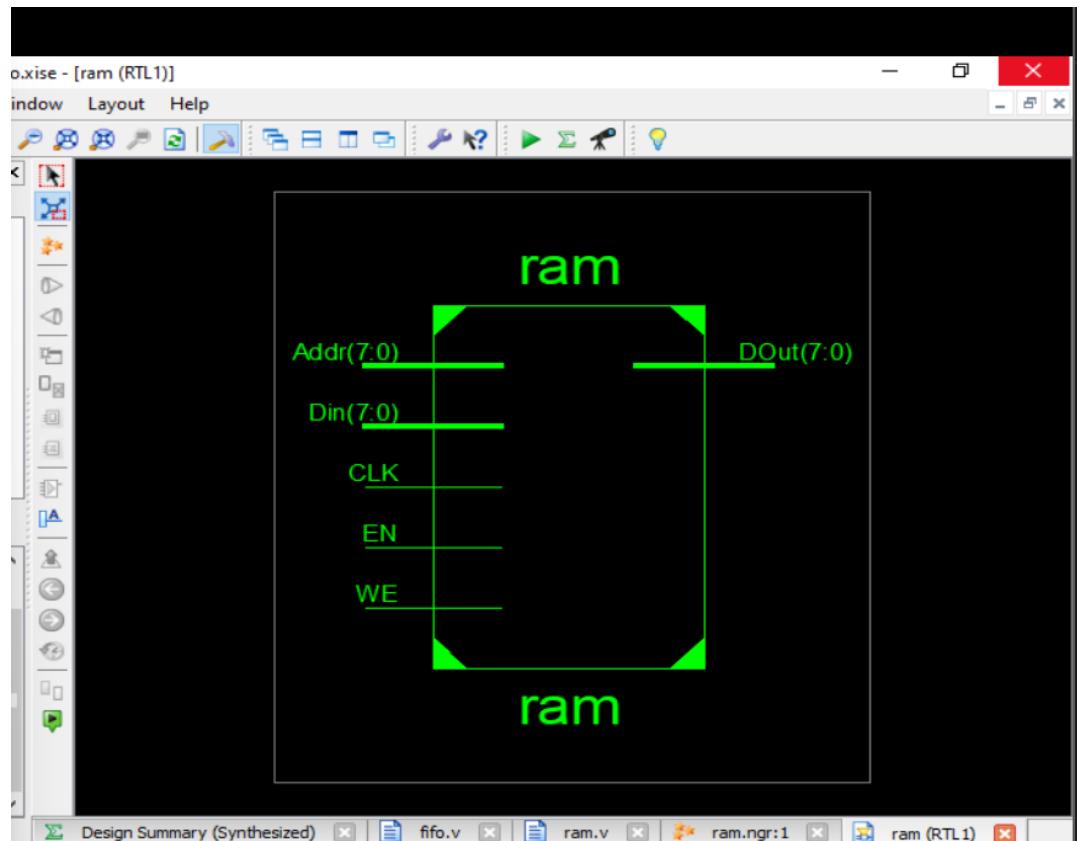
ماهان بانشی

: RAM پیاده سازی

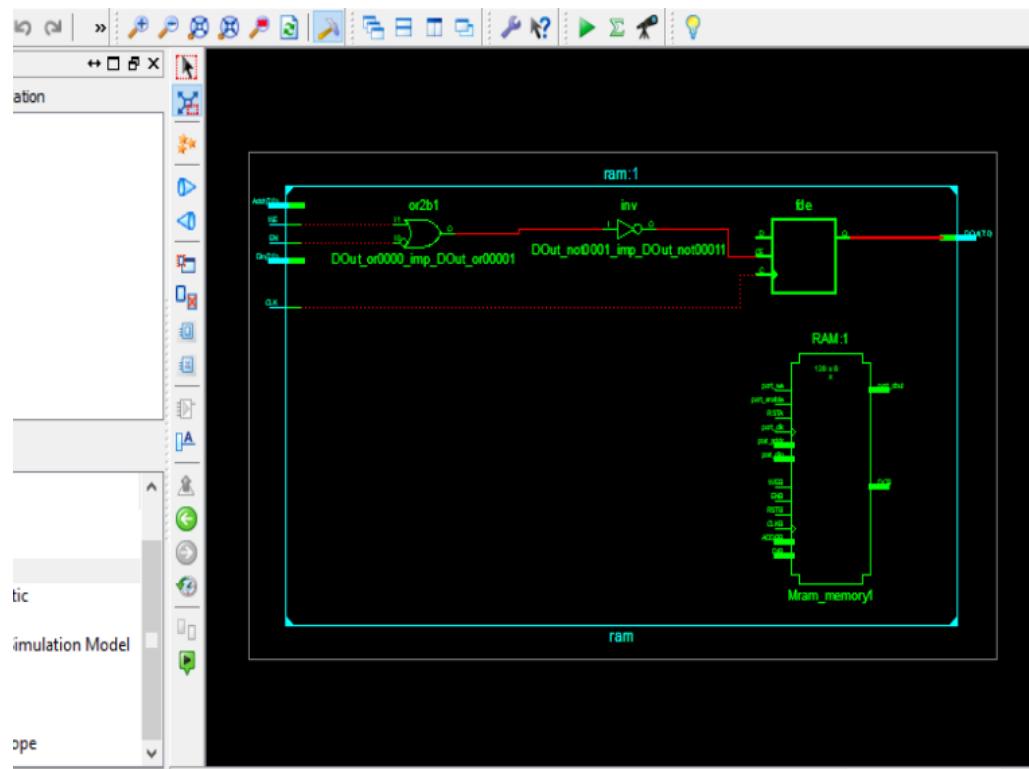
این نوع حافظه را برای ذخیره سازی داده هایی که نیاز به خواندن و نوشتمن با دسترسی تصادفی دارن استفاده می کنند.

در این ساختار با هر clock یک داده ی 8 بیتی با توجه به آدرسی که پایه ای Addr را مشخص می کند، در صورت یک بودن پایه فعالسازی EN خوانده و در صورت یک بودن پایه های EN و WE نوشه می شود.

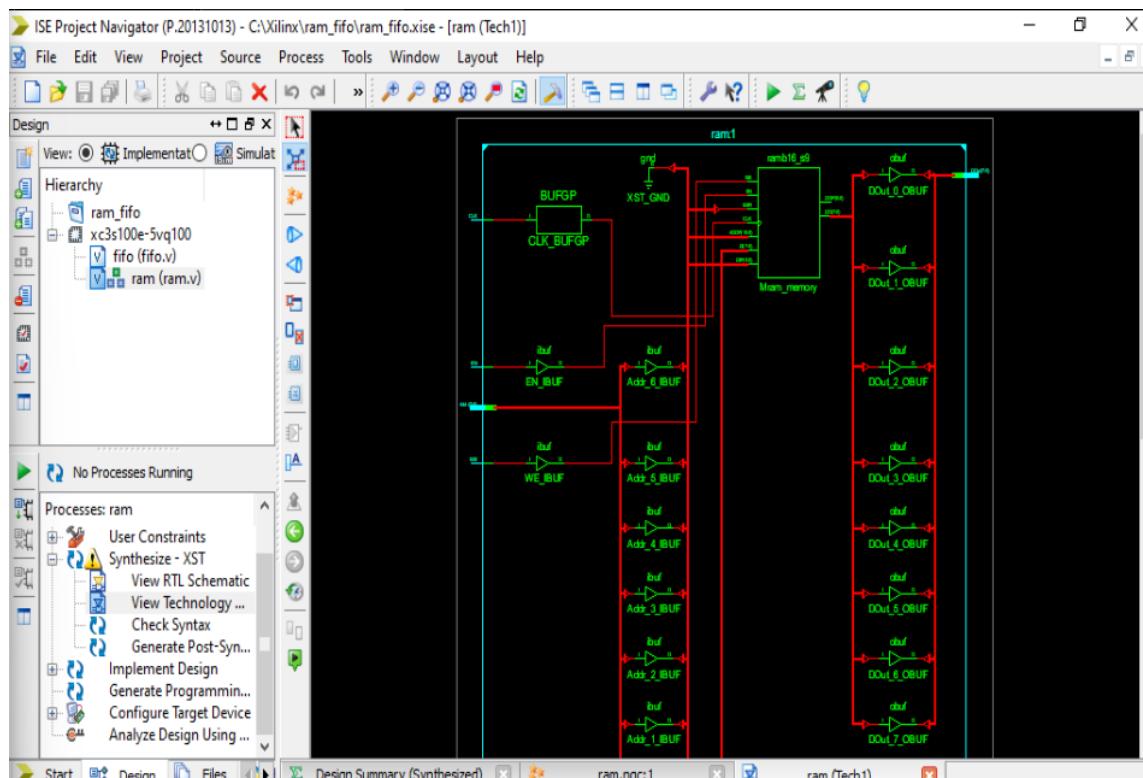
طرح RTL



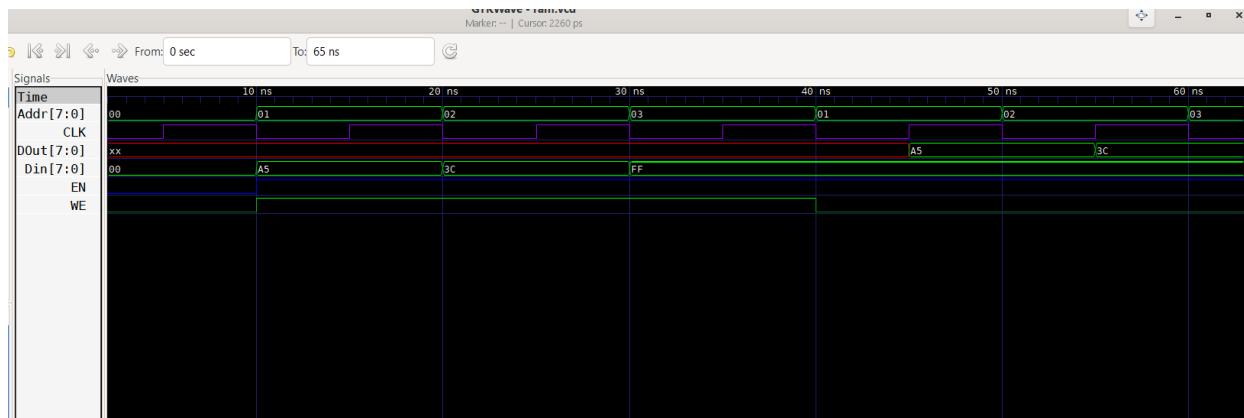
## نمای داخلی RTL



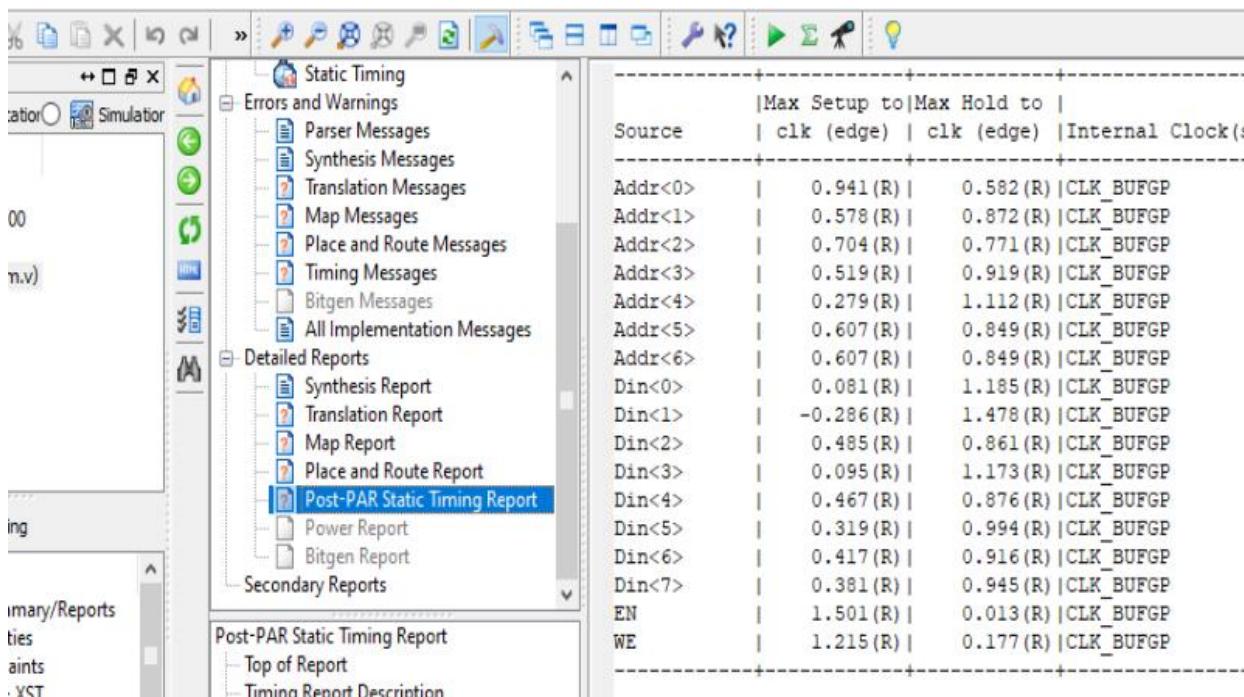
## طرح تکنولوژی:

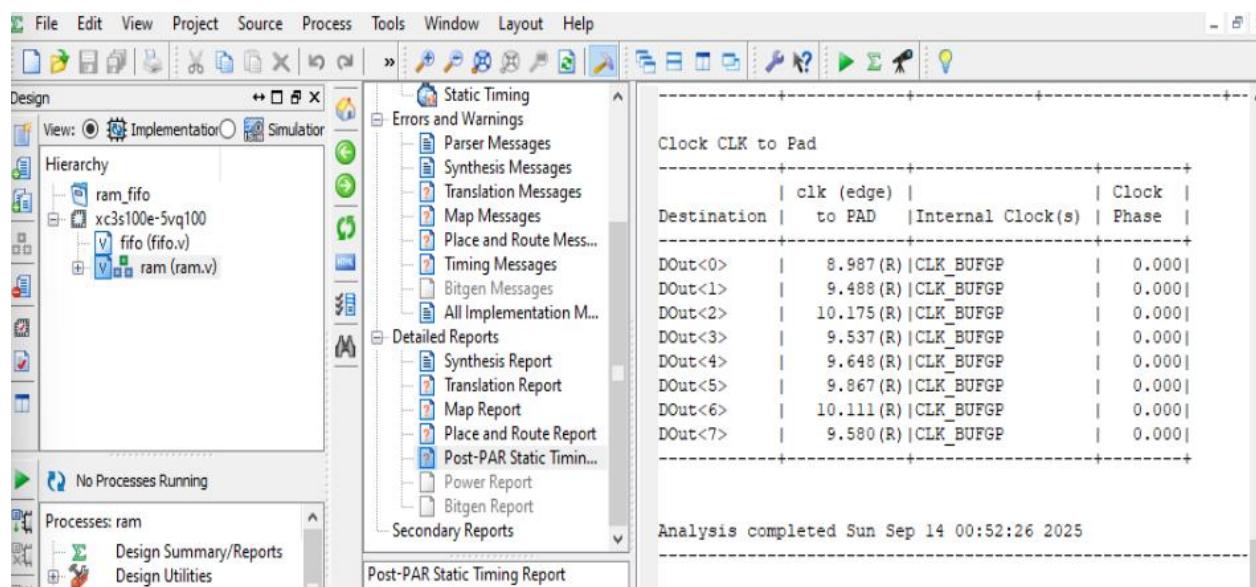


## خروجی شکل موج تست بنچ:



گزارش زمانی:





### :Map \_ report

Addr<0>	IBUF	INPUT	LVCMOS25
Addr<1>	IBUF	INPUT	LVCMOS25
Addr<2>	IBUF	INPUT	LVCMOS25
Addr<3>	IBUF	INPUT	LVCMOS25
Addr<4>	IBUF	INPUT	LVCMOS25
Addr<5>	IBUF	INPUT	LVCMOS25
Addr<6>	IBUF	INPUT	LVCMOS25
CLK	IBUF	INPUT	LVCMOS25
DOut<0>	IOB	OUTPUT	LVCMOS25
DOut<1>	IOB	OUTPUT	LVCMOS25
DOut<2>	IOB	OUTPUT	LVCMOS25
DOut<3>	IOB	OUTPUT	LVCMOS25
DOut<4>	IOB	OUTPUT	LVCMOS25
DOut<5>	IOB	OUTPUT	LVCMOS25
DOut<6>	IOB	OUTPUT	LVCMOS25
DOut<7>	IOB	OUTPUT	LVCMOS25
Din<0>	IBUF	INPUT	LVCMOS25
Din<1>	IBUF	INPUT	LVCMOS25
Din<2>	IBUF	INPUT	LVCMOS25
Din<3>	IBUF	INPUT	LVCMOS25
Din<4>	IBUF	INPUT	LVCMOS25
Din<5>	IBUF	INPUT	LVCMOS25
Din<6>	IBUF	INPUT	LVCMOS25

منبع مصروفی:

The screenshot shows the Xilinx ISE 14.7 interface during the implementation process of a RAM FIFO design.

**Design Overview:**

- Module Name: ram
- Target Device: xc3s100e-5vq100
- Product Version: ISE 14.7
- Design Goal: Balanced
- Design Strategy: Xilinx Default (unlocked)
- Environment: System Settings

**Implementation State:**

- Errors: [Empty]
- Warnings: [Empty]
- Routing Results: All Signals Completely Routed
- Timing Constraints: All Constraints Met
- Final Timing Score: 0 (Timing Report)

**Device Utilization Summary:**

Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices containing only related logic	0	0	0%	
Number of Slices containing unrelated logic	0	0	0%	
Number of bonded IOBs	26	66	39%	
Number of RAMB16s	1	4	25%	
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	1.00			

**Hierarchy:**

- ram\_fifo
  - xc3s100e-5vq100
    - fifo (fifo.v)
      - ram (ram.v)

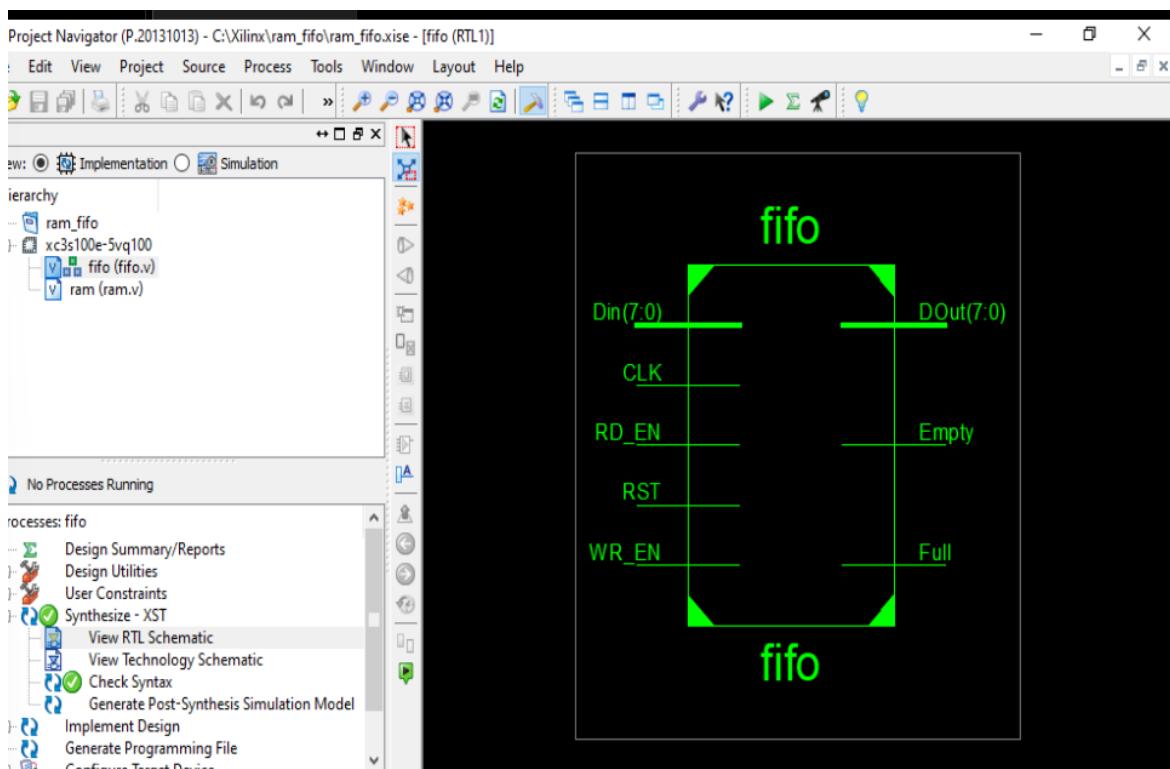
**Processes:**

- ram
  - Design Summary/Reports
  - Design Utilities
  - User Constraints
  - Synthesize - XST
    - View RTL Schematic
    - View Technology Schematic
    - Check Syntax
    - Generate Post-Synthesis Simulation Report
  - Implement Design
  - Translate

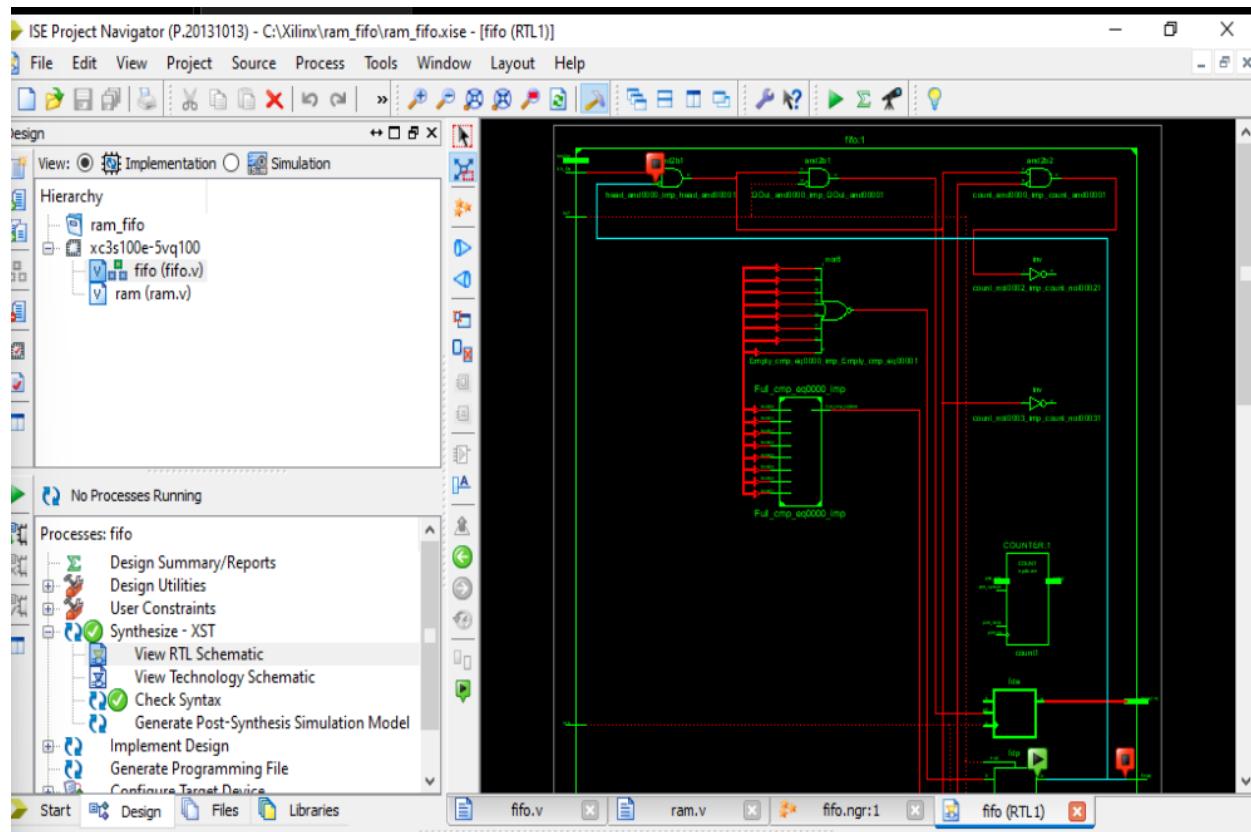
## :FIFO :2

این حافظه برای ذخیره سازی داده هایی که نیاز به خواندن و نوشتan با دسترسی ترتیبی دارند استفاده می شود. در اسن ساختار با هر `clock` و در صورت یک بودن پایه `EN_R` فعالسازی `EN_WR` یک داده ی 8 بیتی از FIFO خوانده می شود و در صورت یک بودن پایه `EN_WR`، یک داده ی 8 بیتی در FIFO نوشته می شود. این FIFO دارای یک سیگنال `RST` آسنکرون است که در صورت یک شدن، محتویات تمام خانه های FIFO برابر صفر خواهد شد.

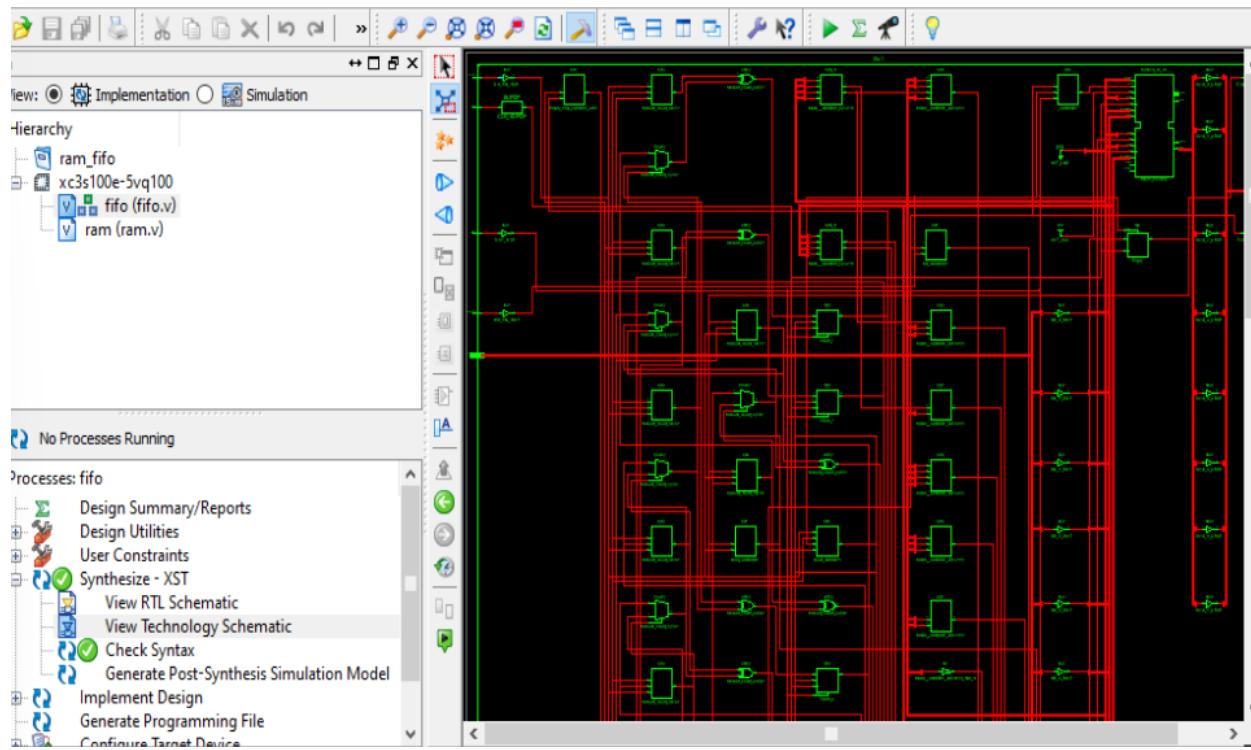
شكل RTL



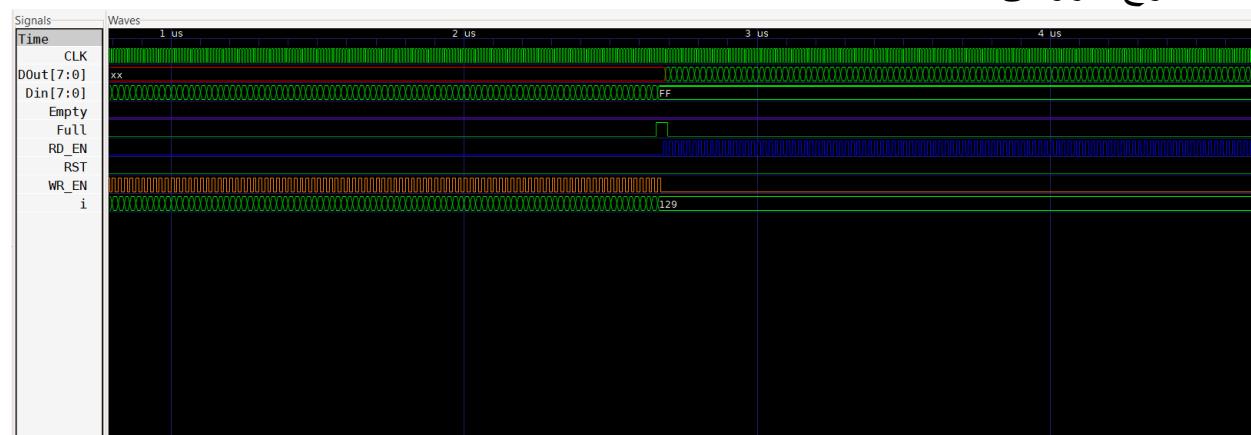
نمای داخلی:



شکل تکنولوژی:



شکل موج خروجی:



## منابع مصرفی:

The screenshot shows the Xilinx ISE 14.7 interface with the following details:

- Hierarchy:** ram\_fifo > xc3s100e-5vq100 > fifo (fifo.v) > ram (ram.v)
- Design Overview:**
  - Target Device: xc3s100e-5vq100
  - Product Version: ISE 14.7
  - Design Goal: Balanced
  - Design Strategy: Xilinx Default (unlocked)
  - Environment: System Settings
- Errors and Warnings:** No errors or warnings present.
- Device Utilization Summary:**

Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices containing only related logic	0	0	0%	
Number of Slices containing unrelated logic	0	0	0%	
Number of bonded IOBs	26	66	39%	
Number of RAMB16s	1	4	25%	
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock	1.00			

نتیجه‌ی نهایی:

:ram , fifo

FIFO	RAM	ویژگی
BRAM + LUT/FF اضافه برای کنترل	فقط LUT یا BRAM	Resource Usage
تأخیر بیشتر به خاطر منطق Full/Empty	تأخیر کمتر، مسیر ساده	Timing
بلوک پیچیده‌تر با لاجیک کنترلی	بلوک حافظه ساده	Schematic
توان بیشتر	توان کمتر	Power
صف آماده مصرف Buffer بین دو مازول	ذخیره‌سازی عمومی	کاربرد

:HDL , Core generation

Core Generation / IP Core	HDL	ویژگی
پایین (Vendor-specific)	بالا (ASIC/FPGA)	پورتابل بودن
بهینه‌ترین حالت، مستقیم روی primitive	وابسته به سنتزکننده	بهینه‌سازی منابع
راحت برای ساختار بزرگ و امکانات خاص	ساده برای ساختار کوچک	پیچیدگی طراحی
پیشرفته (dual clock, width (conv, flags	پایه‌ای (read/write ساده)	قابلیت‌ها
نیاز به فایل‌های اضافی گاهی	راحت	شبیه‌سازی

