

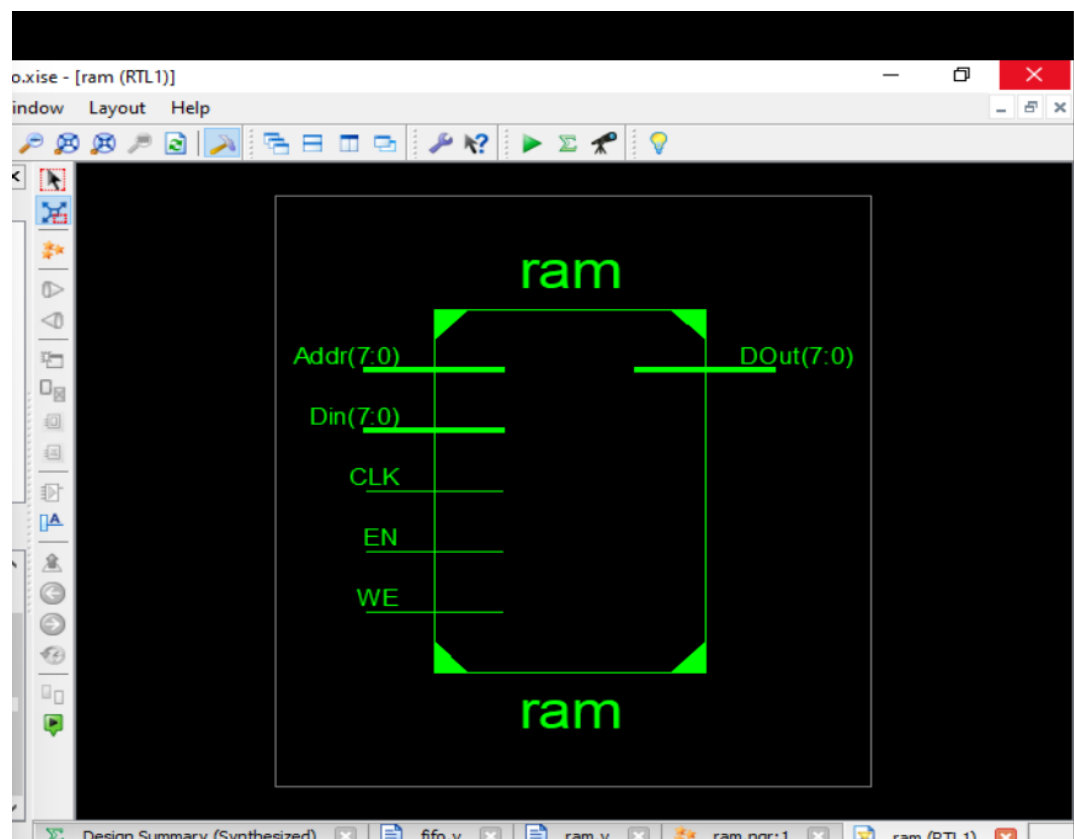
به نام خدا
آزمایش چهارم
ram , fifo
ماهان بانثی

1: پیاده سازی RAM:

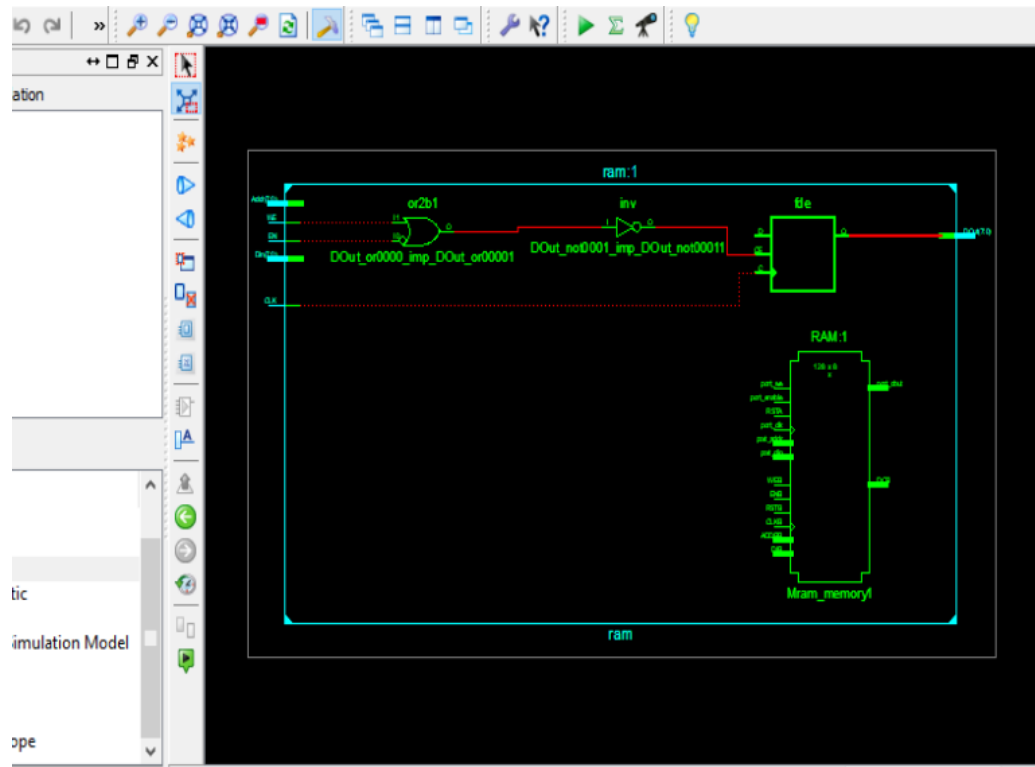
این نوع حافظه را برای ذخیره سازی داده هایی که نیاز به خواندن و نوشتن با دسترسی تصادفی دارن استفاده می کنند.

در این ساختار با هر clock یک داده ی 8 بیتی با توجه به آدرسی که پایه ی Addr را مشخص میکند، در صورت یک بودن پایه فعالسازی EN خوانده و در صورت یک بودن پایه های EN , WE نوشته می شود.

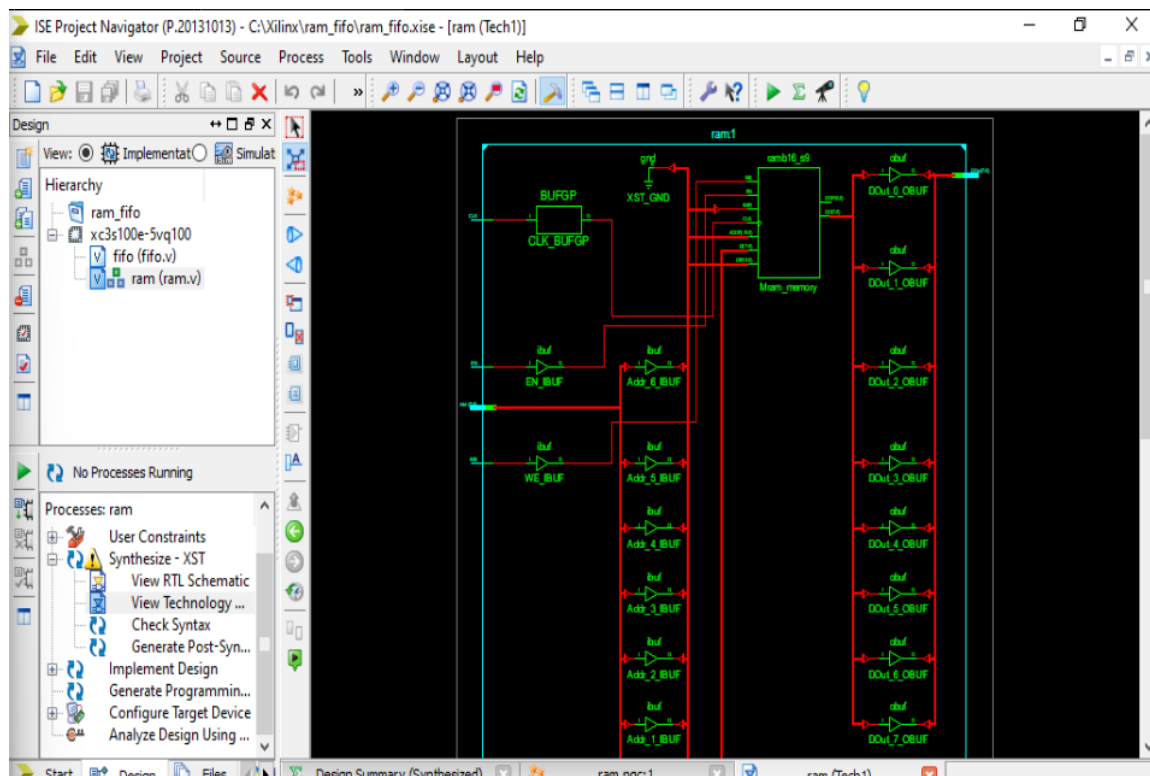
طرح RTL



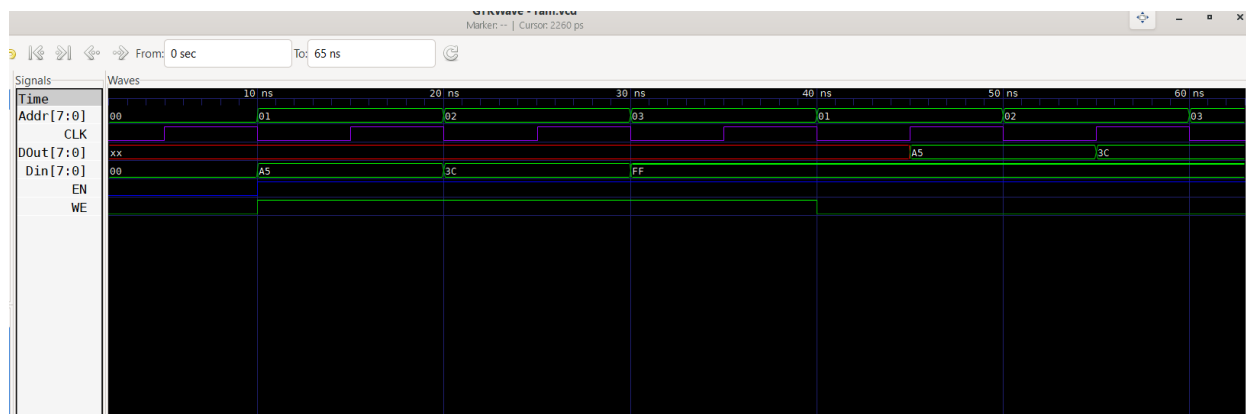
نمای داخلی RTL:



طرح تکنولوژی:



خروجی شکل موج تست بنچ:



گزارش زمانی:

Static Timing			
Errors and Warnings			
<ul style="list-style-type: none"> Parser Messages Synthesis Messages Translation Messages Map Messages Place and Route Messages Timing Messages Bitgen Messages All Implementation Messages 			
Detailed Reports			
<ul style="list-style-type: none"> Synthesis Report Translation Report Map Report Place and Route Report Post-PAR Static Timing Report Power Report Bitgen Report 			
Secondary Reports			
<ul style="list-style-type: none"> Post-PAR Static Timing Report Top of Report Timing Report Description 			
Source	Max Setup to clk (edge)	Max Hold to clk (edge)	Internal Clock(s)
Addr<0>	0.941 (R)	0.582 (R)	CLK_BUFGRP
Addr<1>	0.578 (R)	0.872 (R)	CLK_BUFGRP
Addr<2>	0.704 (R)	0.771 (R)	CLK_BUFGRP
Addr<3>	0.519 (R)	0.919 (R)	CLK_BUFGRP
Addr<4>	0.279 (R)	1.112 (R)	CLK_BUFGRP
Addr<5>	0.607 (R)	0.849 (R)	CLK_BUFGRP
Addr<6>	0.607 (R)	0.849 (R)	CLK_BUFGRP
Din<0>	0.081 (R)	1.185 (R)	CLK_BUFGRP
Din<1>	-0.286 (R)	1.478 (R)	CLK_BUFGRP
Din<2>	0.485 (R)	0.861 (R)	CLK_BUFGRP
Din<3>	0.095 (R)	1.173 (R)	CLK_BUFGRP
Din<4>	0.467 (R)	0.876 (R)	CLK_BUFGRP
Din<5>	0.319 (R)	0.994 (R)	CLK_BUFGRP
Din<6>	0.417 (R)	0.916 (R)	CLK_BUFGRP
Din<7>	0.381 (R)	0.945 (R)	CLK_BUFGRP
EN	1.501 (R)	0.013 (R)	CLK_BUFGRP
WE	1.215 (R)	0.177 (R)	CLK_BUFGRP

Static Timing

Errors and Warnings

- Parser Messages
- Synthesis Messages
- Translation Messages
- Map Messages
- Place and Route Mess...
- Timing Messages
- Bitgen Messages
- All Implementation M...

Detailed Reports

- Synthesis Report
- Translation Report
- Map Report
- Place and Route Report
- Post-PAR Static Timin...
- Power Report
- Bitgen Report
- Secondary Reports

Post-PAR Static Timing Report

Clock CLK to Pad

Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase
DOut<0>	8.987 (R)	CLK_BUF	0.000
DOut<1>	9.488 (R)	CLK_BUF	0.000
DOut<2>	10.175 (R)	CLK_BUF	0.000
DOut<3>	9.537 (R)	CLK_BUF	0.000
DOut<4>	9.648 (R)	CLK_BUF	0.000
DOut<5>	9.867 (R)	CLK_BUF	0.000
DOut<6>	10.111 (R)	CLK_BUF	0.000
DOut<7>	9.580 (R)	CLK_BUF	0.000

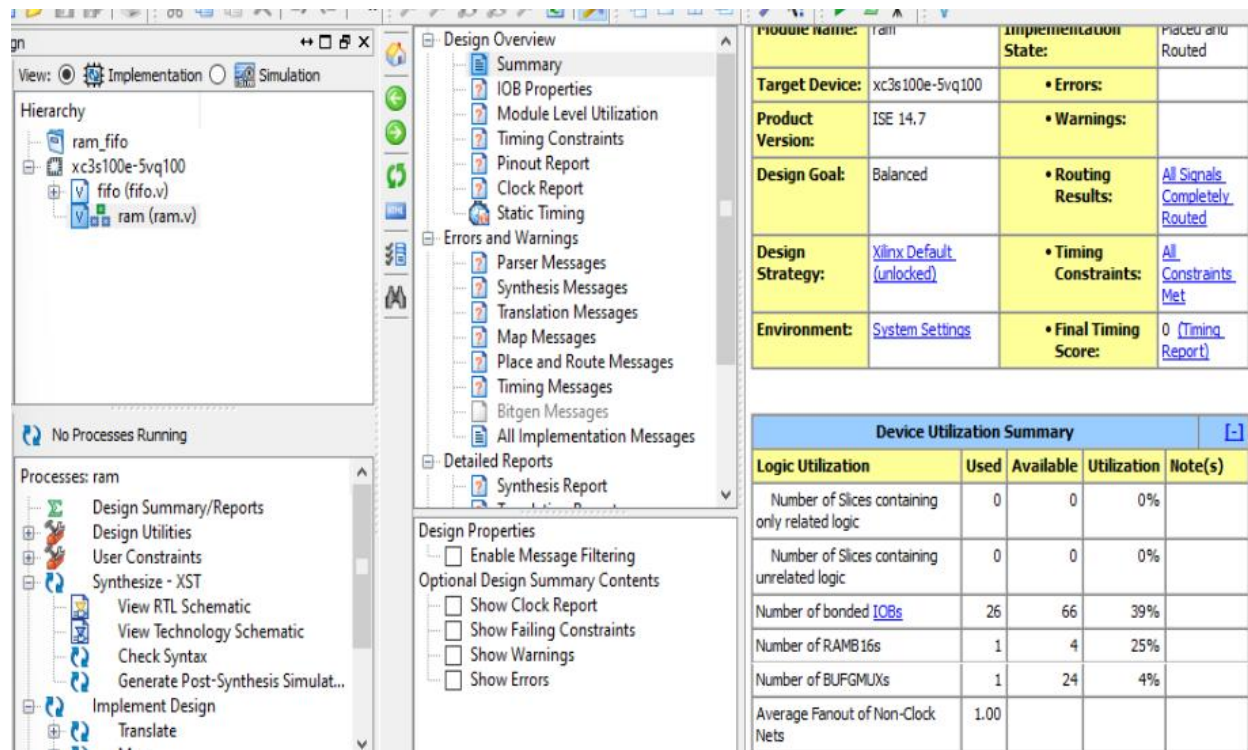
Analysis completed Sun Sep 14 00:52:26 2025

:Map_report

Simulation

Signal	Resource	Direction	IOB
Addr<0>	IBUF	INPUT	LVCMS25
Addr<1>	IBUF	INPUT	LVCMS25
Addr<2>	IBUF	INPUT	LVCMS25
Addr<3>	IBUF	INPUT	LVCMS25
Addr<4>	IBUF	INPUT	LVCMS25
Addr<5>	IBUF	INPUT	LVCMS25
Addr<6>	IBUF	INPUT	LVCMS25
CLK	IBUF	INPUT	LVCMS25
DOut<0>	IOB	OUTPUT	LVCMS25
DOut<1>	IOB	OUTPUT	LVCMS25
DOut<2>	IOB	OUTPUT	LVCMS25
DOut<3>	IOB	OUTPUT	LVCMS25
DOut<4>	IOB	OUTPUT	LVCMS25
DOut<5>	IOB	OUTPUT	LVCMS25
DOut<6>	IOB	OUTPUT	LVCMS25
DOut<7>	IOB	OUTPUT	LVCMS25
Din<0>	IBUF	INPUT	LVCMS25
Din<1>	IBUF	INPUT	LVCMS25
Din<2>	IBUF	INPUT	LVCMS25
Din<3>	IBUF	INPUT	LVCMS25
Din<4>	IBUF	INPUT	LVCMS25
Din<5>	IBUF	INPUT	LVCMS25
Din<6>	IBUF	INPUT	LVCMS25

منبع مصرفی:



The screenshot displays the Xilinx ISE 14.7 Design Overview window. The left pane shows the design hierarchy with 'ram_fifo' as the top-level module, containing 'xc3s100e-5vq100', 'fifo (fifo.v)', and 'ram (ram.v)'. The middle pane lists various reports and messages, including Summary, IOB Properties, Module Level Utilization, Timing Constraints, Pinout Report, Clock Report, Static Timing, Errors and Warnings, Parser Messages, Synthesis Messages, Translation Messages, Map Messages, Place and Route Messages, Timing Messages, Bitgen Messages, All Implementation Messages, Detailed Reports, and Synthesis Report. The right pane shows the implementation state for the 'ram' module, which is 'Placed and Routed'. Below this, a table provides a summary of device utilization.

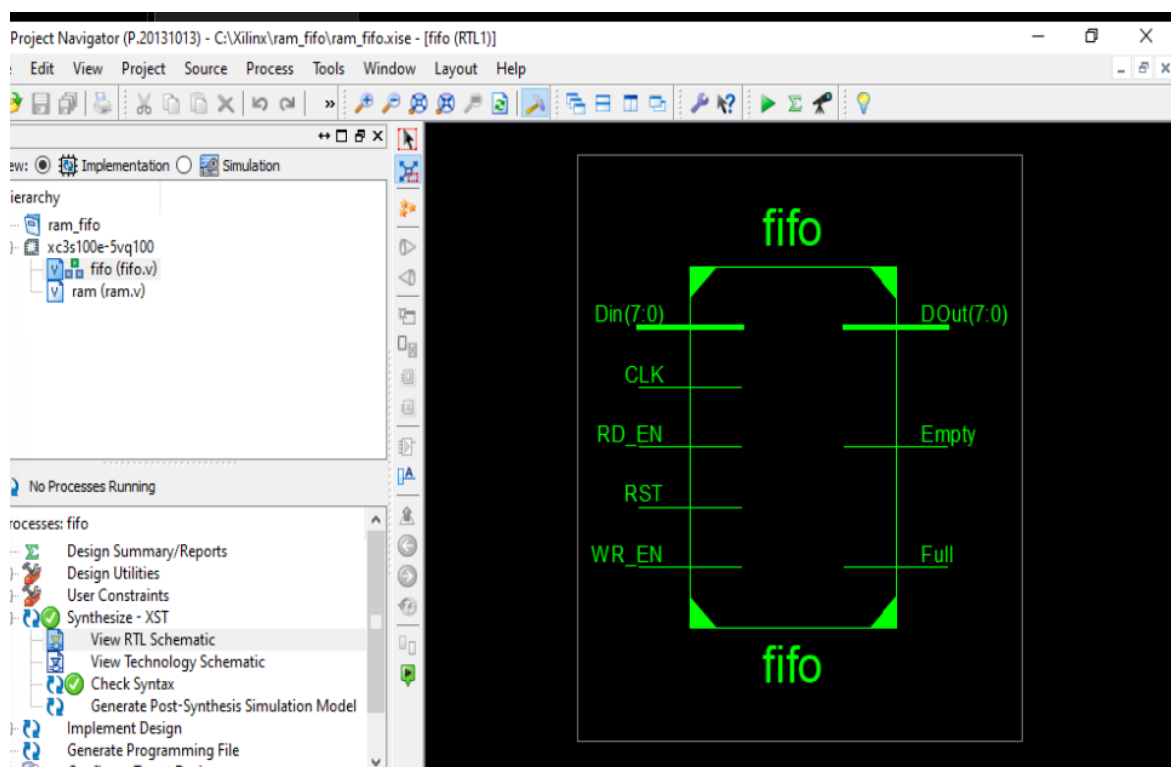
Module Name:	Implementation State:	Placed and Routed
Target Device:	xc3s100e-5vq100	• Errors:
Product Version:	ISE 14.7	• Warnings:
Design Goal:	Balanced	• Routing Results:
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:
Environment:	System Settings	• Final Timing Score:

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices containing only related logic	0	0	0%	
Number of Slices containing unrelated logic	0	0	0%	
Number of bonded IOBs	26	66	39%	
Number of RAMB16s	1	4	25%	
Number of BUFMUXs	1	24	4%	
Average Fanout of Non-Clock Nets	1.00			

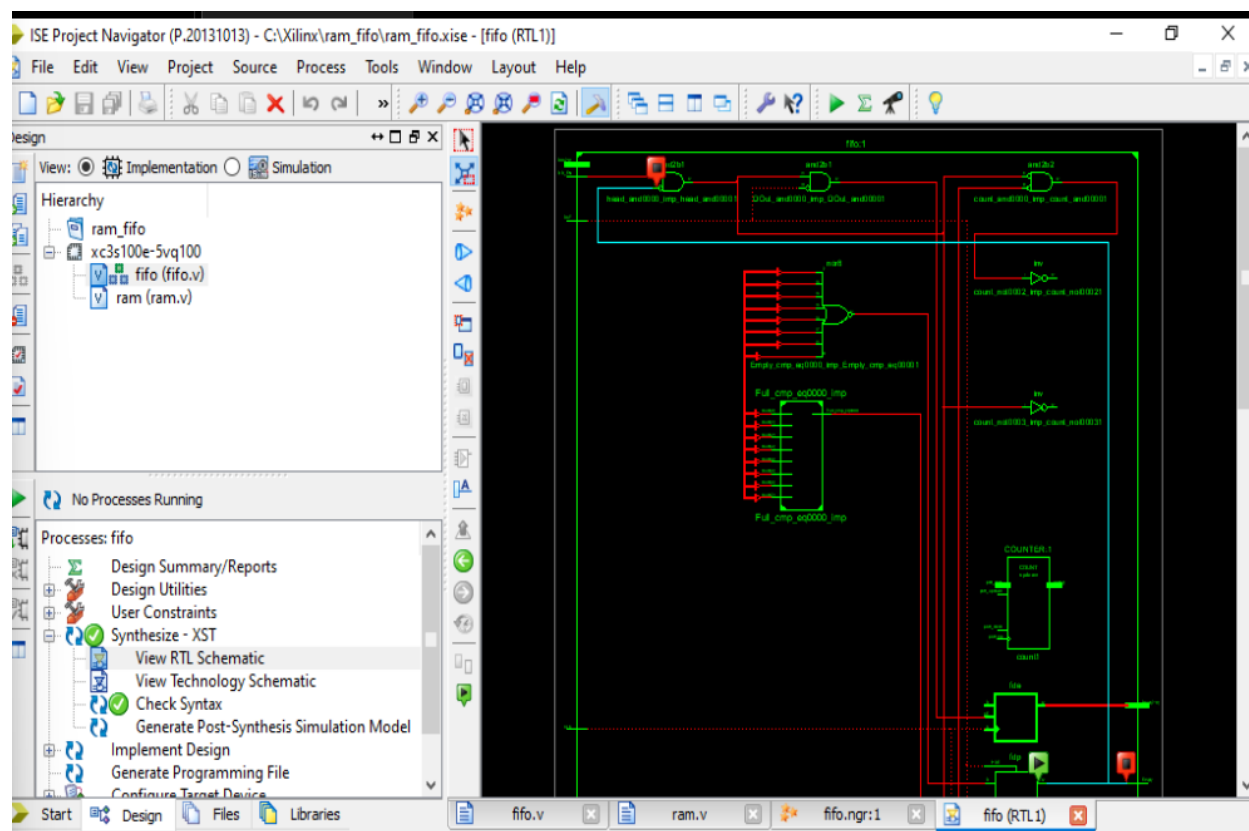
2: FIFO:

این حافظه برای ذخیره سازی داده هایی که نیاز به خواندن و نوشتن با دسترسی ترتیبی دارند استفاده می شود. در اسن ساختار با هر clock و در صورت یک بودن پایه ی فعالسازی EN_R یک داده ی 8 بیتی از FIFO خوانده می شود و در صورت یک بودن پایه ی EN_WR، یک داده ی 8 بیتی در FIFO نوشته می شود. این FIFO دارای یک سیگنال RST آسنکرون است که در صورت یک شدن، محتویات تمام خانه های FIFO برابر صفر خواهد شد.

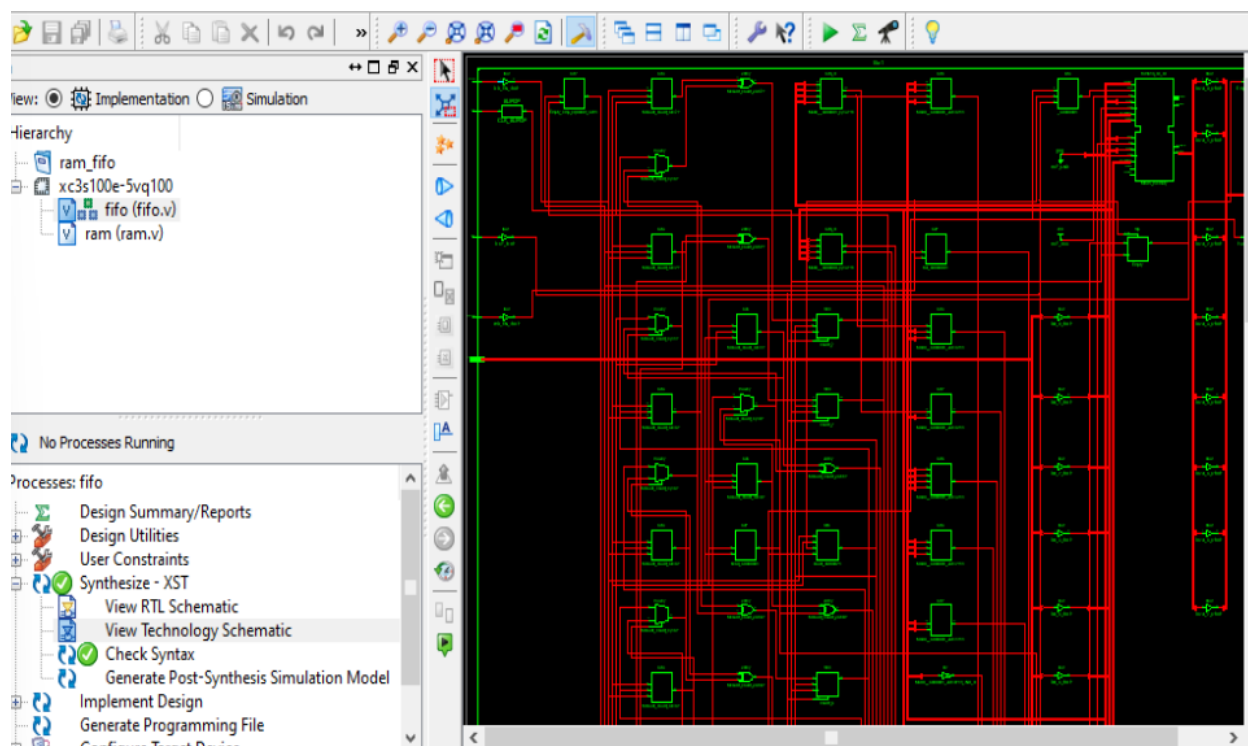
شکل RTL



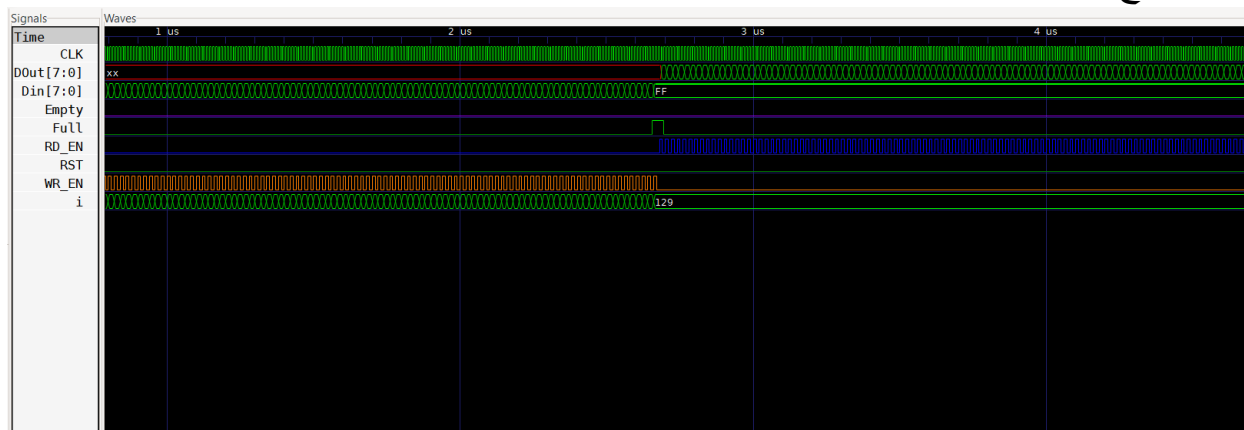
نمای داخلی:



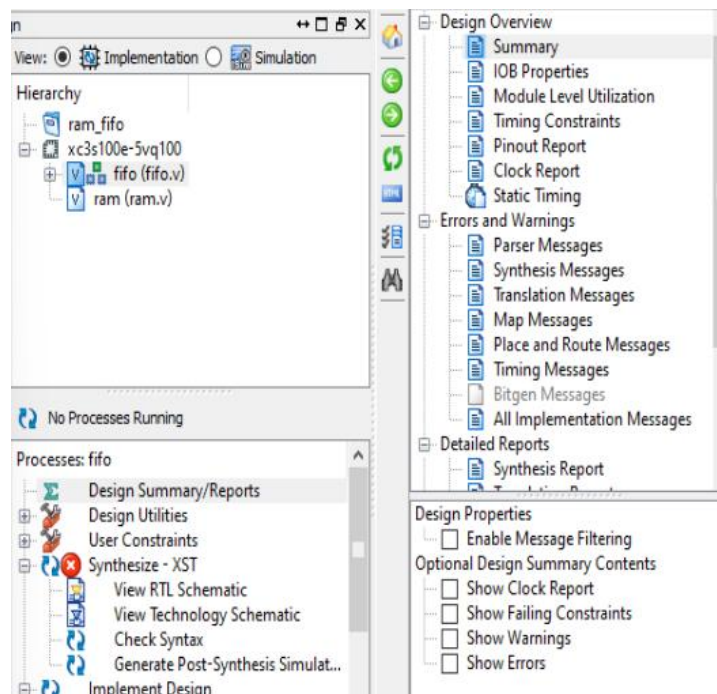
شکل تکنولوژی:



شکل موج خروجی:



منابع مصرفی:



The screenshot shows the Xilinx ISE Design Suite interface. The 'Hierarchy' panel on the left displays the project structure: 'ram_fifo' containing 'xc3s100e-5vq100', which in turn contains 'fifo (fifo.v)' and 'ram (ram.v)'. The 'Design Overview' panel in the center lists various reports and messages, including Summary, IOB Properties, Module Level Utilization, Timing Constraints, Pinout Report, Clock Report, Static Timing, Errors and Warnings, Parser Messages, Synthesis Messages, Translation Messages, Map Messages, Place and Route Messages, Timing Messages, Bitgen Messages, and All Implementation Messages. The 'Processes' panel at the bottom shows the 'fif0' process with steps like Design Summary/Reports, Design Utilities, User Constraints, Synthesize - XST, View RTL Schematic, View Technology Schematic, Check Syntax, Generate Post-Synthesis Simulat..., and Implement Design.

		State:	Routed
Target Device:	xc3s100e-5vq100	• Errors:	
Product Version:	ISE 14.7	• Warnings:	
Design Goal:	Balanced	• Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:	All Constraints Met
Environment:	System Settings	• Final Timing Score:	0 (Timing Report)

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slices containing only related logic	0	0	0%	
Number of Slices containing unrelated logic	0	0	0%	
Number of bonded IOBs	26	66	39%	
Number of RAMB16s	1	4	25%	
Number of BUFGMUXs	1	24	4%	
Average Fanout of Non-Clock	1.00			

نتیجه ی نهایی:

تفاوت های ram , fifo:

FIFO	RAM	ویژگی
BRAM + LUT/FF اضافه برای کنترل	فقط BRAM یا LUT	Resource Usage
تأخیر بیشتر به خاطر منطق Full/Empty	تأخیر کمتر، مسیر ساده	Timing
بلوک پیچیده تر با لاجیک کنترلی	بلوک حافظه ساده	Schematic
توان بیشتر	توان کمتر	Power
صف آماده مصرف (Buffer) بین دو ماژول	ذخیره سازی عمومی	کاربرد

پیاده سازی های HDL , Core generation:

Core Generation / IP Core	HDL	ویژگی
پایین (Vendor-specific)	بالا (ASIC/FPGA)	پورتابل بودن
بهینه ترین حالت، مستقیم روی primitive	وابسته به سنتز کننده	بهینه سازی منابع
راحت برای ساختار بزرگ و امکانات خاص	ساده برای ساختار کوچک	پیچیدگی طراحی
پیشرفته (dual clock, width, conv, flags)	پایه ای (read/write ساده)	قابلیت ها
نیاز به فایل های اضافی گاهی	راحت	شبیه سازی

