



## آزمایشگاه مدارهای منطقی و معماری کامپیوتر

(سال تحصیلی ۰۲-۰۱، نیم سال دوم)

### پروژه ششم: طراحی واحد تقسیم کننده فرکانس

در این پروژه باید با استفاده از یک کلاک مرجع ( $Clk\_Ref$ ) و سیگنال ورودی ( $Clk\_in$ ) به شکلی سیگنال خروجی ( $Clk\_out$ ) را تولید نمایید که فرکانس سیگنال خروجی حاصل تقسیم فرکانس سیگنال ورودی بر ضریب ( $Div\_fact$ ) باشد. در ادامه نحوه کار این مدار توضیح داده خواهد شد.

ضریب تقسیم در این مدار مشخص می کند که به ازای چه تعداد پالس ورودی یک پالس خروجی باید تولید گردد. این مدار در زمان هایی، که در واقع لبه های بالارونده سیگنال مرجع می باشند، سیگنال ورودی را بررسی می کند و هر زمان که تشخیص یک لبه بالارونده در سیگنال ورودی داده شد، براساس ضریب تقسیم، مقدار سیگنال خروجی را تعیین می نماید. ذکر این نکته ضروری است که فرکانس کلاک مرجع باید بسیار بالاتر از سیگنال ورودی باشد تا بتواند به درستی تمامی لبه های این سیگنال را تشخیص دهد.

ساختار این واحد به شکل زیر قابل تعریف است:

```
Module Freq_Div (Div_Fact, Rst, Clk_Ref, Clk_In, Clk_Out);  
    Input Div_Fact, Rst, Clk_Ref, Clk_In;  
    Output Clk_Out;  
    ...  
Endmodule
```

همانطور که در ساختار فوق قابل مشاهده است، این مدار دارای سیگنال  $Rst$  نیز می باشد. با فعال شدن سیگنال  $Rst$ ، کلیه خروجی ها مدار برابر صفر خواهند شد.

## ۱. پیاده‌سازی:

الف) طرح فوق را با استفاده از یک زبان توصیف سخت‌افزار (Verilog, VHDL) پیاده‌سازی کنید. به منظور انجام این بخش، باید برای تعریف کلاک از منبع کلاک داخلی FPGA (Clocking Wizard)، استفاده نمایید.

ب) صحت عملکرد طرح خود را با استفاده از یک فایل آزمون و انتخاب چند نمونه ورودی مورد سنجش قرار دهید. (فرکانس کلاک مرجع را در شبیه‌سازی، 100MHz در نظر بگیرید و براین اساس شبیه‌سازی را با دو فرکانس متفاوت برای سیگنال ورودی و دو ضریب تقسیم متفاوت به ازای هر فرکانس انجام دهید).

ج) پروژه مورد نظر را با استفاده از ابزار ISE برای برد Spartan6 سنتز و پیاده‌سازی نمایید.