



تمرین VHDL سری اول درس مدارهای منطقی برنامه‌پذیر (FPGA)

استاد درس: دکتر محمدرضا پورفرد

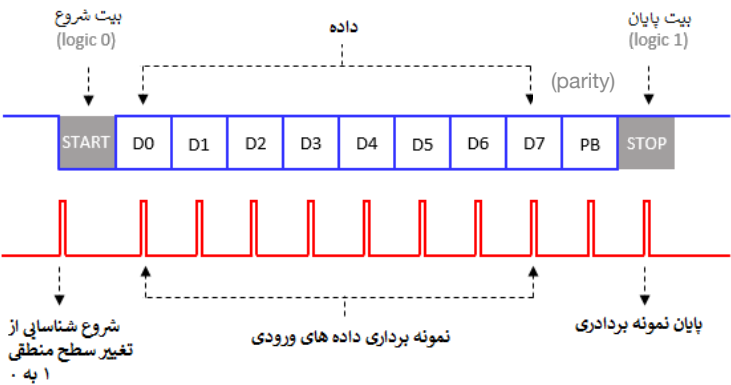
تدریس‌یار: سید نیما علوی

ابتدا با مطالعه دقیق پروتکل UART نحوه عملکرد آنرا بررسی کرده و به انجام این پروژه بپردازید



فرم کلی ماژول ما قرار است بدین صورت باشد:

در واقع این رابط پورت سریال که باید مطابق با استاندارد UART پیاده‌سازی گردد، داده‌های ۸ بیتی ورودی را در صورت یک بودن **DataInRdy** گرفته و آنها را با نرخ مشخص شده توسط ورودی **generic** (همان **baudRate**) به خروجی (**Tx**) می‌فرستد و به همین ترتیب داده‌های دریافتی از **Rx** را به صورت داده ۸ بیتی همزمان با یک کردن **DataOutRdy** به خروجی می‌فرستد.



نمایی از پروتکل UART را مشاهده می‌کنید:

فایده این کار در این است که اگر ما بخواهیم به کمک کامپیوترهای خودمان با بردهای **FPGA** ارتباط برقرار کنیم از آنجا که **FPGA** ها به صورت موازی و با سرعت عمل می‌کنند ما نمی‌توانیم اطلاعات را به درستی در جای مناسب خود قرار دهیم. یکی از روش‌هایی که به کمک آن با سیستم خارجی (مثلا کامپیوترها) ارتباط برقرار می‌کنیم همین روش است و بدین صورت نرخ خواندن و نوشتنمان را متناسب می‌کنیم.

حالت کلی ماژول خود را به صورت زیر تعریف کنید:

```
entity UART is
  generic(
    parity      : string := "Even";    -- "None" , "Even", "Odd"
    stopBitsNum : integer := 1;        -- 1, 2
    clkFreq     : integer := 100_000_000;
    baudRate    : integer := 19200
  );
  port(
    clk      : in std_logic;
    rst      : in std_logic;

    Rx       : in std_logic;
    Tx       : out std_logic;

    dataIn    : in std_logic_vector(8 - 1 downto 0);
    dataInRdy : in std_logic;

    dataOut   : out std_logic_vector(8 - 1 downto 0);
    dataOutRdy : out std_logic;

    error     : out std_logic;
  );
end entity;
```

نکات مهم در پیاده‌سازی:

- پیاده‌سازی شما باید به صورت یک مدار ترتیبی کاملاً سنکرون باشد.
- وقوع هر گونه خطا اعم از parity check و ... به صورت تک کلاک بر روی خروجی error قرار گیرد.
- در صورت انتخاب parity به عنوان None برای آنکه تعداد داده‌های معنی دار تغییری نکند و همان ۱۱ بیت (۱+۸+۱+۱) باقی بماند، مقدار stopBitsNum باید ۲ باشد و در غیر این صورت باید به کمک دستور assert خطا را در کامپایلر برگرداند. (می‌توانیم هم parity داشته باشیم و هم مقدار stopBitsNum همان ۲ باشد یا به طوری ۱۲ بیت داده بامعنا داشته باشیم).
- اگر در ورودی dataIn تا ۳۰ ورودی پشت سر هم بدهیم نیز باید خروجی Tx را به درستی داشته باشیم.