

Relatório da Tarefa 7: DACs.

Alunos: Mairon Schneider e Christian Gressler.

Data: 10/08/2020

1 Introdução

Os conversores D/A estão presentes em uma grande quantidade de circuitos mistos, desde o princípio do surgimento de circuitos digitais, houve a necessidade de converter um sinal digital para o mundo real de uma maneira eficiente, isto é, tentando adequar o *trade-off* de consumo de energia, resolução e velocidade para cada aplicação. Tendo em vista essa tentativa de adequação de características, o estudo acerca destas topologias se tornou um ponto importante para o avanço tecnológico.

Esses novos avanços nas estruturas de conversores A/D possibilitaram a maior integração de sensores em carros inteligentes, por exemplo, de modo a permitir uma rápida resposta em situações críticas com uma satisfatória resolução. Imaginando uma situação de implementação desse tipo de circuito, a troca de faixa de um carro que possui o modo *autopilot*, necessita de um software eficiente para tratar o dado recebido, e em tempo hábil, devolver o dado digital convertido para analógico fazendo com que o carro execute a manobra correta. Deste modo, a análise do funcionamento das topologias faz-se necessário para garantir que o projetista possua o correto discernimento quando é requisitado a implementação de circuitos mistos, sensores, etc.

2 Especificação da Tarefa

Levando em consideração o experimento proposto acerca de conversores, a configuração da topologia Escada R-2R (figura 1) propõe a observação da conversão de 4 *bits* para um valor de tensão correspondente, utilizando um valor de tensão alterável, um buffer e um amplificador de ganho não-inversor. Para a correta visualização das respostas do circuito em questão, foram utilizados os seguintes passos:

1. Encontrar as especificações desse circuito.
2. Inspeccionar o funcionamento do circuito, através da análise de circuito, de modo a obter uma relação matemática que descreva o comportamento de cada *bit*.
3. Após conseguir relacionar uma equação para cada *bit*, faz-se necessário achar uma equação que consiga descrever a composição de *bits* intermediários.
4. Alterar os valores de resistência que compõem a topologia de ganho não-inversor, de modo a garantir uma tensão de fundo de escala igual a 40, com nível lógico 1 sendo representado por 1,1V.

Com a configuração do DAC capacitivo (figura 7), tivemos um *setup* um pouco diferente. Sua simulação mostra o total funcionamento do circuito, sendo quando temos uma entrada mínima com todos os *bits* zerados ou todos em nível lógico alto. Temos um *clock* que indica a frequência de amostragem. Foram utilizados os passos para a análise desse:

1. Rodar uma simulação transiente afim de plotar os gráficos do funcionamento do DAC.
2. Através desses gráficos, verificar as especificações desse conversor.
3. Discutir sobre sua máxima frequência de operação e o tempo de latência.

3 Resultados e Discussões

Como forma de análise do emprego de diferentes topologias de conversores D/A, foram observados no primeiro circuito disponibilizado para simulação, comportamentos já caracterizados no livro texto sobre a topologia Escada R-2R. Na simulação disponibilizada é possível observar, além da cadeia de resistores, há um *buffer* que tem como função garantir a exata tensão de entrada, na saída, com uma alta impedância de entrada (funcionando como um desacoplador entre estágios, garantindo a integridade do circuito anterior independente do circuito posterior), há também um amplificador não-inversor que garante o correto nível de sinal analógico. A topologia Escada R-2R dispõe de 4 *bits* (figura 2), sendo o mais significativo à direita e, pelo método da resistência equivalente é possível equacionar o valor de saída quando cada *bit* tem seu valor lógico igual a 1 (equação 1), para valores intermediários, basta somar as equações extraídas anteriormente (equação 2), levando em consideração a tensão que o *bit* pode ou não fornecer, sendo determinado pelo seu nível lógico 1 ou 0.

$$V_{out} = \frac{V_{b3}}{2}, V_{out} = \frac{V_{b2}}{4}, V_{out} = \frac{V_{b1}}{8}, V_{out} = \frac{V_{b0}}{16} \quad (1)$$

$$V_{out} = \frac{V_{b3}}{2} + \frac{V_{b2}}{4} + \frac{V_{b1}}{8} + \frac{V_{b0}}{16} \quad (2)$$

Sendo assim, as equações vistas anteriormente em conjunto com o amplificador não-inversor, proporciona-nos a determinação da tensão de fundo de escala (figura 3), a tensão para o nível lógico 1 e 0 (figura 4 e 5), sendo que há pequeno ruído (na casa de 10^{-15}) registrado para a tensão de nível lógico 0. Estipulando valores diferentes para os resistores que compõem a topologia não-inversora, foi possível obter uma tensão de fundo de escala com o valor de 40 (figura 6) utilizando um ganho equivalente a 38,797 V/V no amplificador, vale lembrar que foi alterado o valor que representa o nível lógico 1, utilizando 1,1V ao invés e 1,6V.

Na tarefa 2, houve a troca da Escada R-2R para capacitores. Com a simulação transiente, conseguimos ter uma noção completa da atuação desse tipo de DAC, podemos ver o comportamento dele na figura 8.

Temos como parâmetros do circuito nível lógico baixo de 0V e nível lógico alto de 1.6 V, conforme vemos na figura 11. A tensão de fundo de escala é 15 V, com uma pequena redução, em torno de 2 mV conforme a figura 9. O número de *bits* continua o mesmo do primeiro experimento, sendo 4 bits de entrada, que podemos retirar essa informação do esquemático.

A frequência de operação máxima, devemos pensar que ela segue o teorema de Nyquist, já estudado anteriormente, onde se afirma que se a frequência de amostragem de um sinal contínuo for maior que duas vezes a frequência mais alta do sinal amostrado, então a versão da amostra de dados preserva completamente as características do sinal contínuo. A frequência mais alta da entrada é o do *LSB*, o *bit* menos significativo, que no gráfico é representado pelo V7. Logo, ele precisa ser duas vezes menor que a frequência de amostragem para evitar o *Aliasing*.

No tempo de latência foi um pouco mais difícil de chegar a um resultado. Teoricamente, ele tenderia a ser um mesmo tempo para cada degrau da saída analógica, visto que quando a chave Fi_{res} estiver fechada, todos os capacitores (C1, C2, C3, C4 e C5) estarão em paralelo, logo suas capacitâncias são somadas gerando um tempo de carga descarga que depende desse, para todos os possíveis degraus. Mas com as simulações, por uma certa dificuldade de ver os resultados, as vezes não parecia manter o mesmo tempo. Assim, apenas com muito *zoom*, conseguimos notar a constancia na latência, que fica em torno de 50 ns, podemos ver esse dado na figura 10.

4 Conclusões

Quando se pretende projetar um conversor D/A é importante conhecer as características que compõem as topologias. No caso da topologia Escada R-2R, é importante notar o alto custo no quesito consumo de potência quando planejamos adicionar 1 *bit* a cadeia de resistores, além disso, quando planeja-se utilizar essa topologia em circuitos integrados é importante notar o espaço que o resistor pode ocupar e, quando empregado em sistemas que possuem a temperatura como um fator crítico para o bom funcionamento, uma topologia como essa, com dissipação de calor nos resistores pode não ser uma boa opção, tendo sua dissipação em calor calculada através do efeito Joule $Q = i^2 * R * t$. Entretanto, por ser uma topologia composta por uma cadeia de resistores, em aplicações que é necessário a rápida conversão sem necessidade de estruturas mais complexas, a topologia 2-2R se mostra eficiente, justamente por adicionar 2 resistores a cadeia, além disso, com a contribuição do amplificador operacional é possível adequar a correta saída para as mais diversas aplicações.

O DAC utilizando capacitores, necessita de uma rede de seleção mais simples, sendo assim, com um sistema de controle simplificado em relação ao resistivo. Porém, ele não limita cargas resistivas e pode sofrer com capacitâncias parasitas no nó de saída. Uma atenuação que é inicialmente aterrada, pode ser tratada como um erro de ganho, mas caso as capacitâncias parasitas não forem lineares, a atenuação depende da amplitude de saída, gerando uma resposta não linear. Outro ponto positivo, é que há a possibilidade de minimizar o capacitor, empregando-o em tecnologia *MOS*. Também é importante mencionar que ele dissipa menos calor, o que significa que ele necessita de menor potência em relação ao resistivo. Dito isso, um planejamento da estrutura do conversor é fundamental, analisando os pontos necessários do projeto, entre eles tamanho, potência, temperatura.

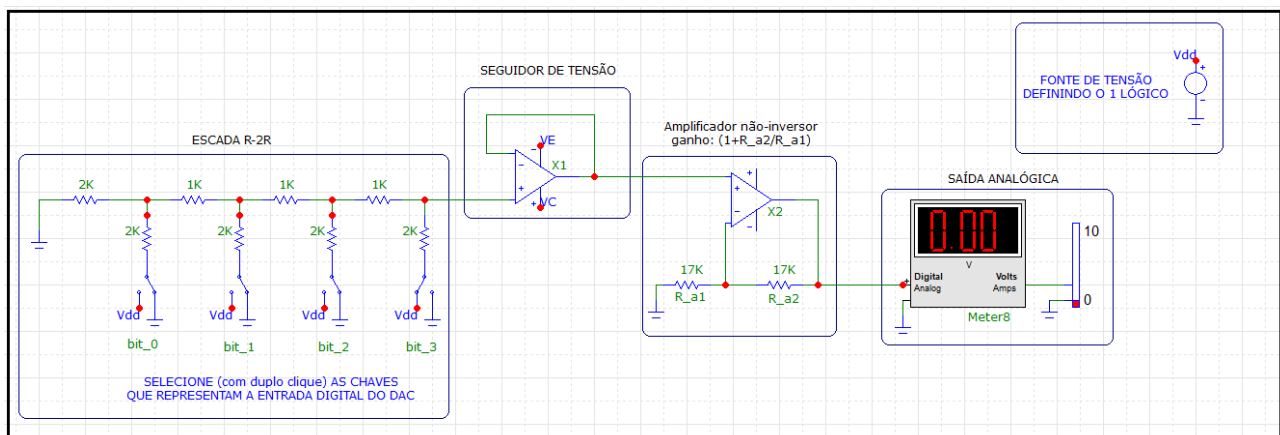


Figura 1: Setup de simulação topologia R-2R.

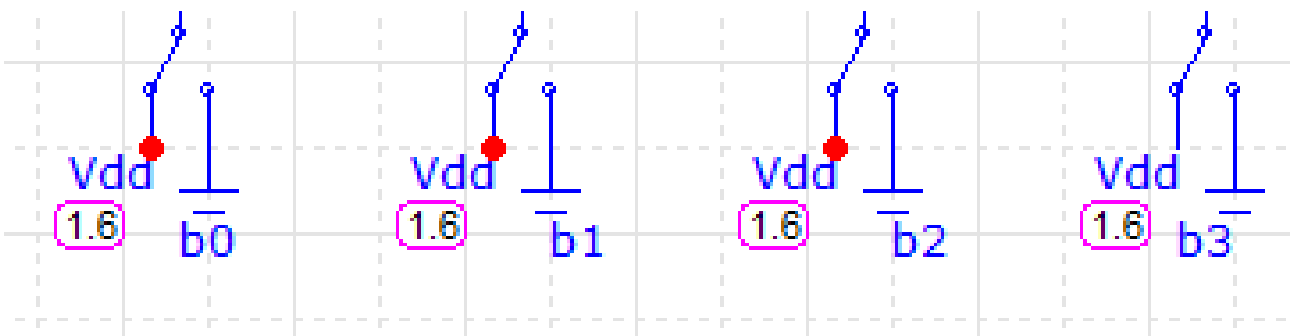


Figura 2: Número de bits da topologia 2-R2.

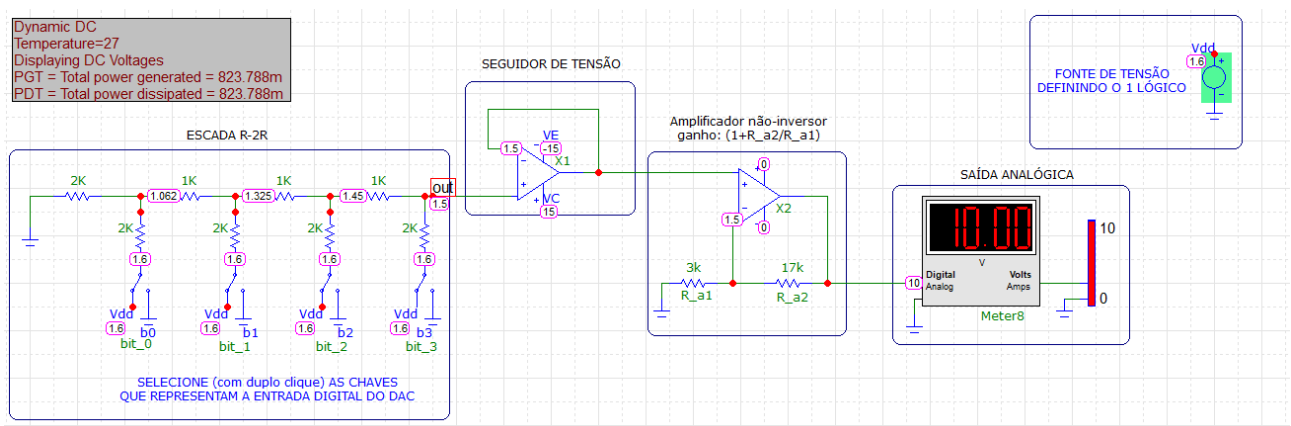


Figura 3: Valor máximo que pode ser apresentado em um mostrador analógico, utilizando valores de R_{a1} e R_{a2} de respectivamente 3K e 17K, produzindo um ganho equivalente a 6,66 com valor de tensão que representa o nível lógico 1 de 1,6 V.

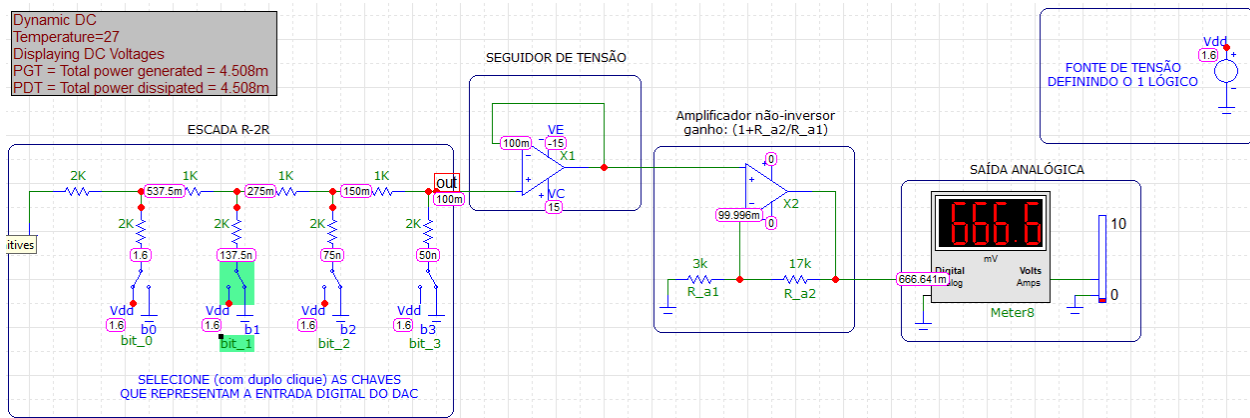


Figura 4: Tensão para nível lógico 1.

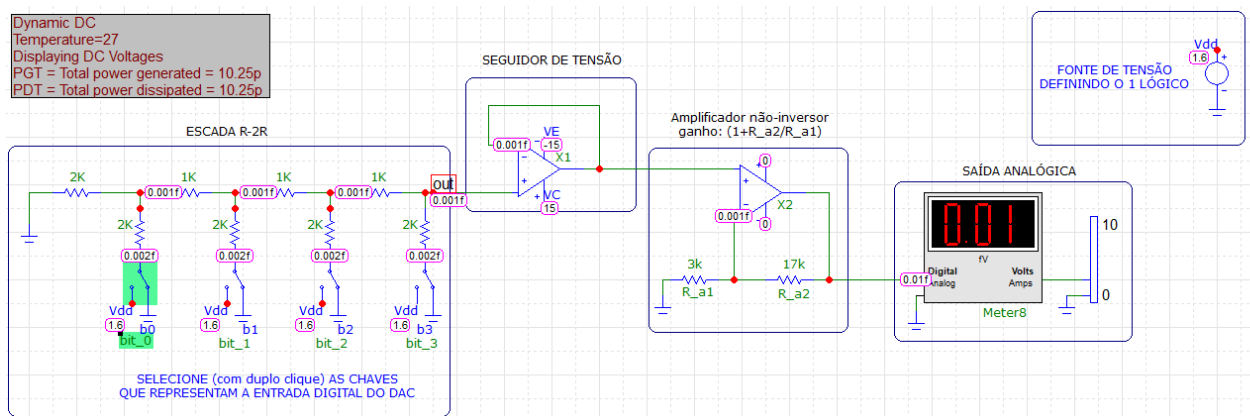


Figura 5: Tensão para nível lógico 0.

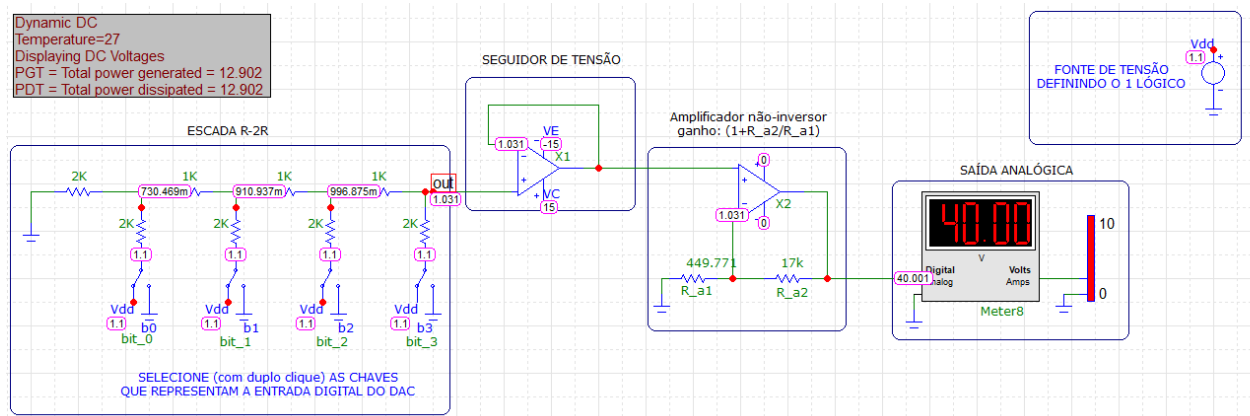


Figura 6: Valor máximo que pode ser apresentado em um mostrador analógico, utilizando valores de R_{a1} e R_{a2} de respectivamente 448,771 e 17K, produzindo um ganho equivalente a 38,797 com valor de tensão que representa o nível lógico 1 de 1,1 V.

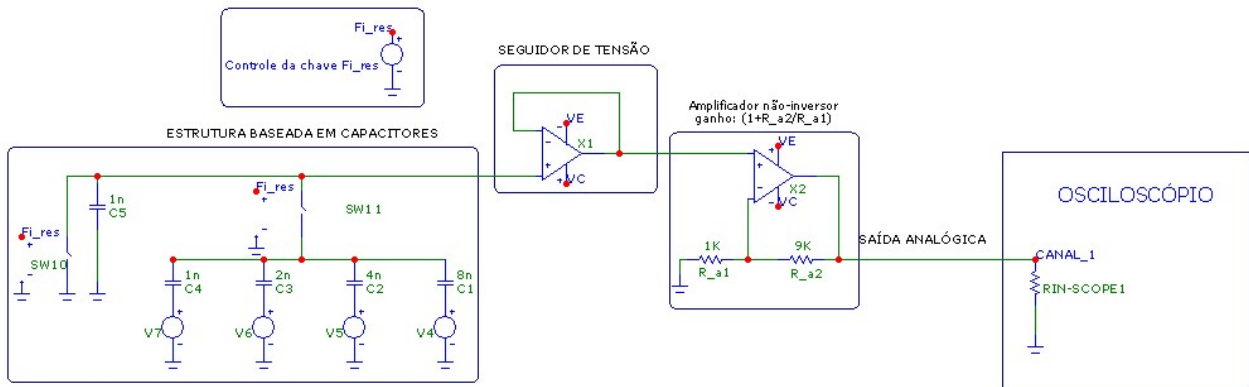


Figura 7: Setup para atividade 2.

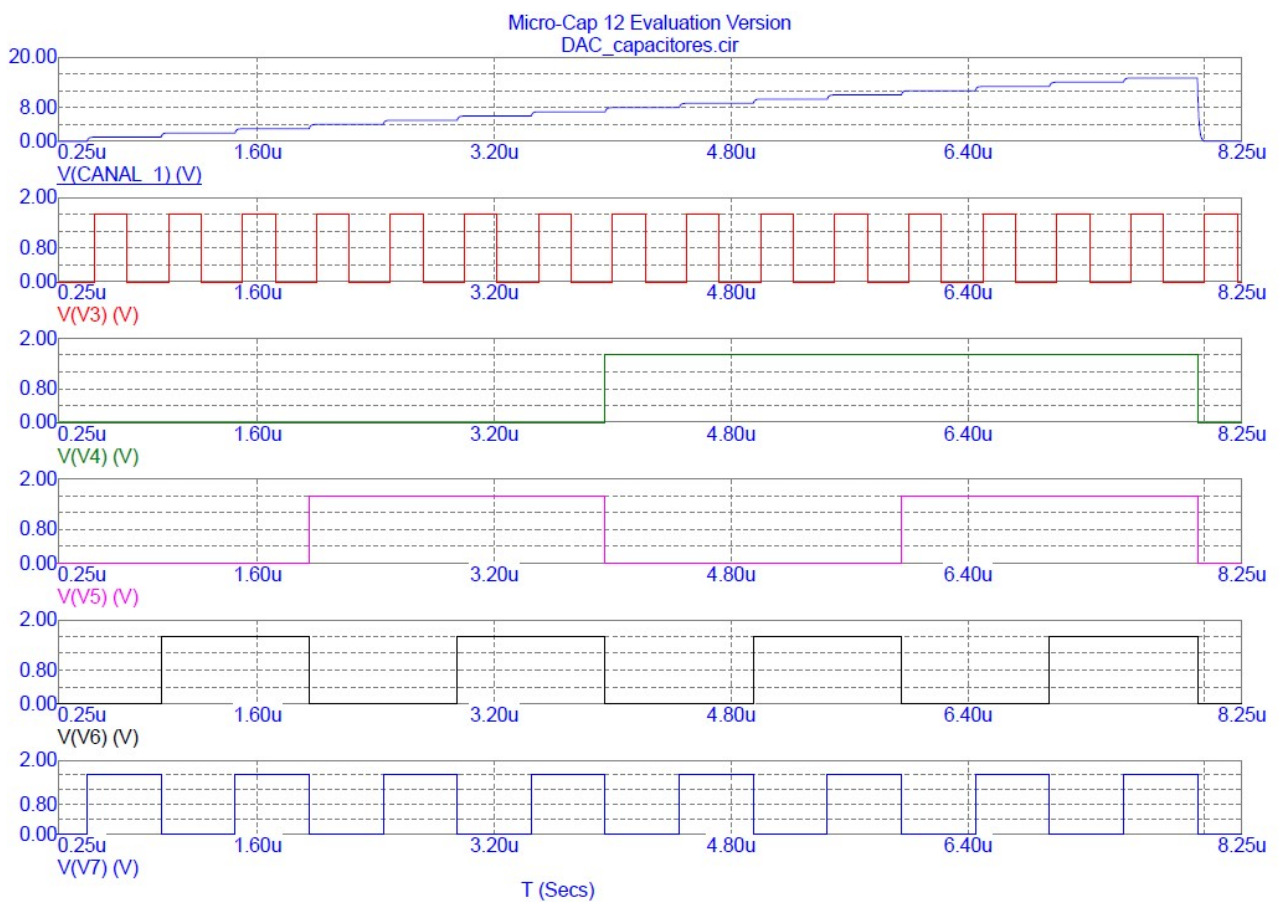


Figura 8: Plot da atividade 2.

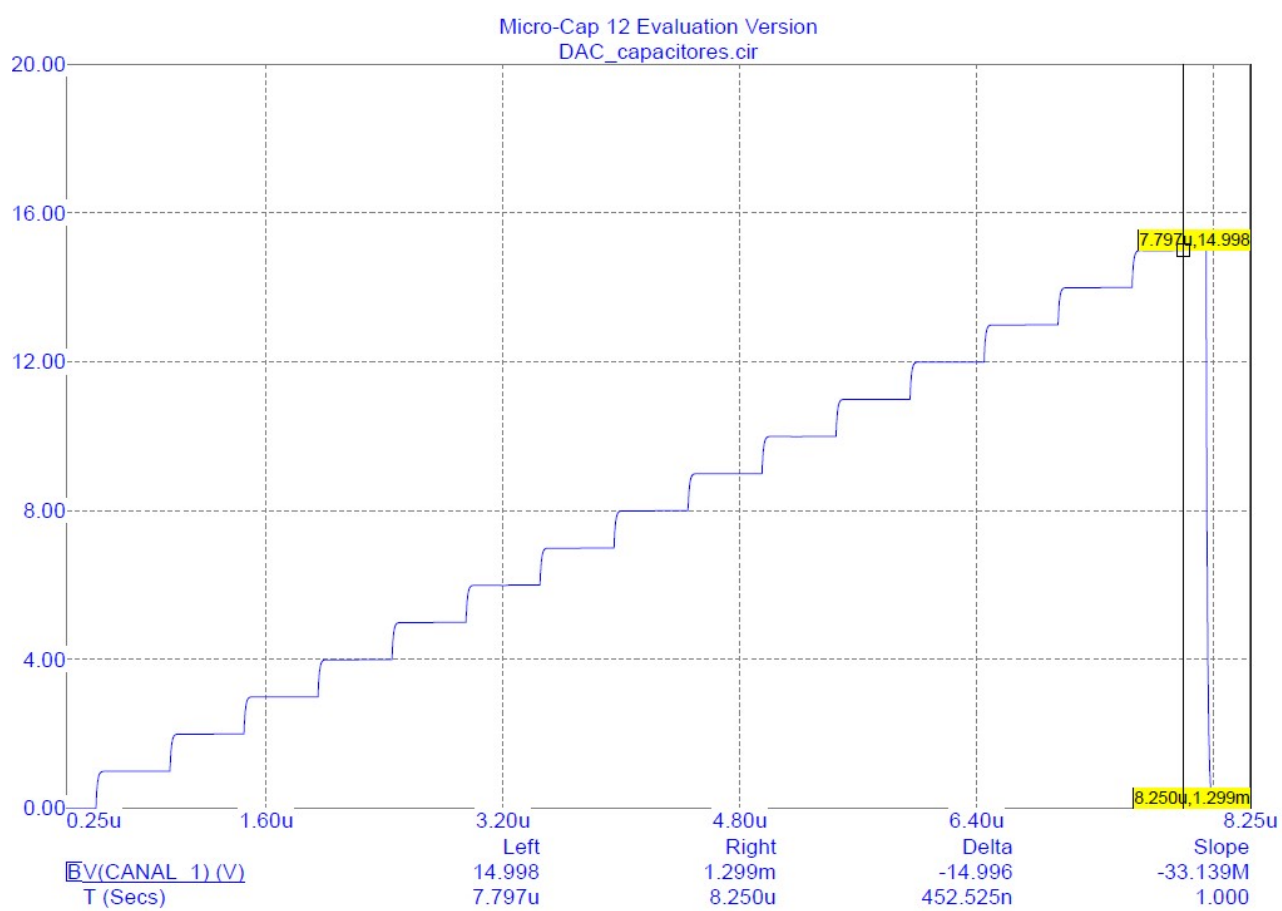


Figura 9: Tensão de fundo de escala do *setup* 2.

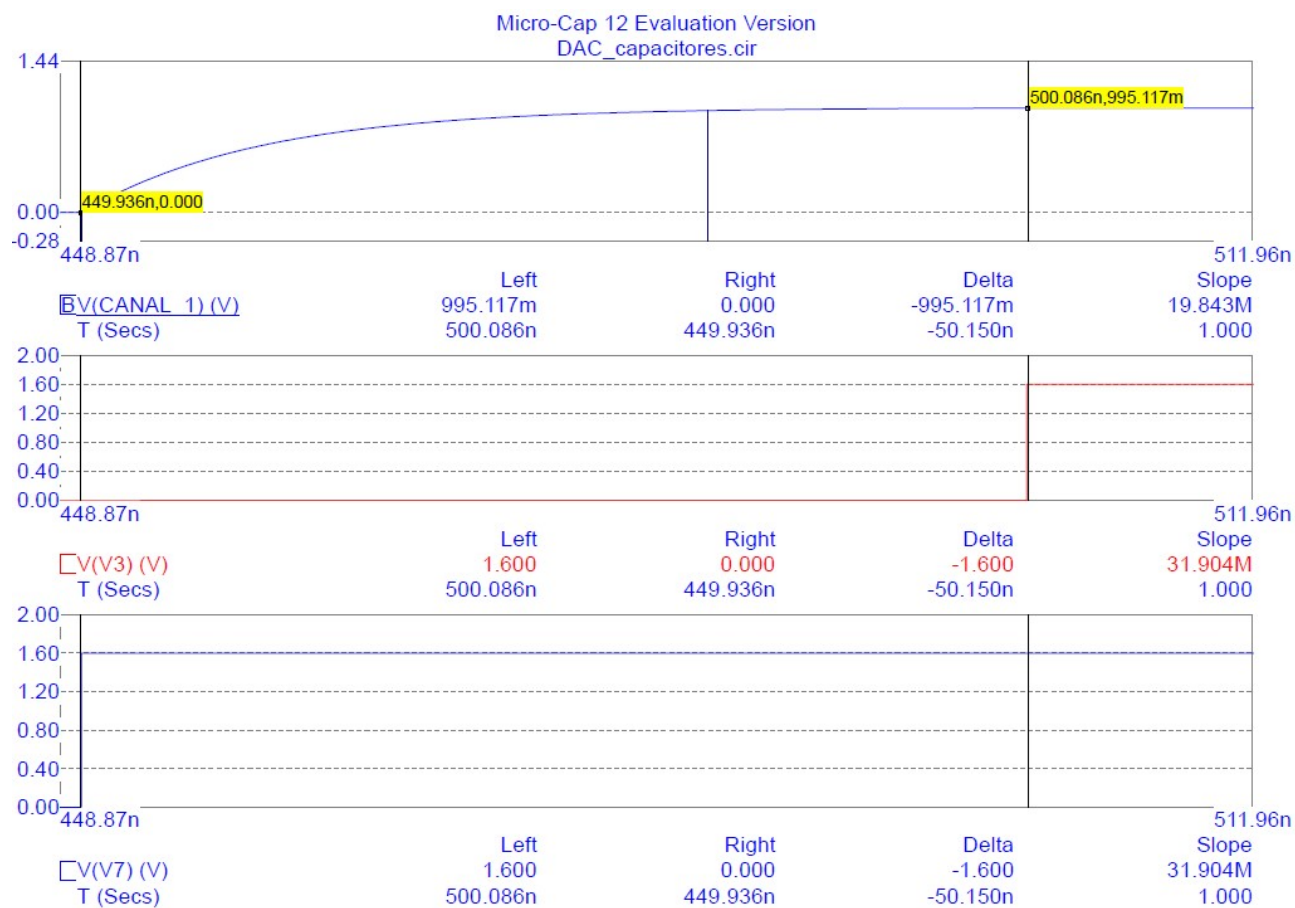


Figura 10: Tempo de latência da atividade 2.

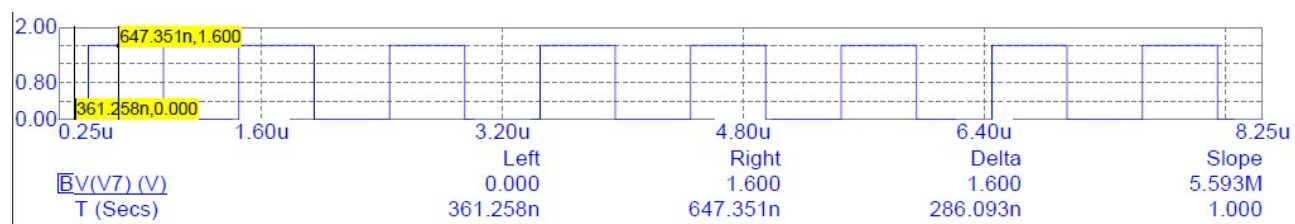


Figura 11: Tensões de nível alto e baixo para atividade 2.