

Перечень вопросов по дисциплинам
«Схемотехника», «Цифровая схемотехника»,
«Арифметико-логические устройства и схемотехника ЭВМ»
2-й курс

- Булева алгебра как математическая структура. Основные понятия.
- Аксиомы булевой алгебры.
- Основные законы булевой алгебры. Следствия из них.
- Правила склеивания, поглощения, развёртывания.
- Формы представления функций алгебры логики (ФАЛ).
- Методы минимизации ФАЛ.
- Карты Карно. Структура карт Карно для $n = 2 \dots 6$.
- Минимизация ФАЛ с помощью карт Карно (на примерах ФАЛ, зависящей от 4-х переменных). Достоинства и недостатки.
- Минимизация неполностью определённых ФАЛ. Использование операции *xor* при минимизации ФАЛ с помощью карт Карно.
- Общие положения о триггерах. Триггеры, определение. *RS* триггер в базисе ИЛИ-НЕ, синтез структуры, закон функционирования в виде графа, характеристическая таблица, временные диаграммы работы триггера.
- *RS* триггер в базисе И-НЕ. Закон функционирования. Характеристическая таблица, временные диаграммы работы триггера.
- Старт-стоповое устройства на *RS* триггере.
- Проектирование *JK*-триггера на базе *D*-триггера.
- Разновидности *RS* триггеров. Пример синтеза *R*-триггера (или *S*-триггера или *E*-триггера) на основе *RS* триггера.
- Синхронные триггеры. Примеры синтеза синхронных триггеров. *D*-триггер – защёлка.
- Универсальный синхронный *D*-триггер. Алгоритм и временные диаграммы работы. Характеристическая таблица.
- Универсальный синхронный *JK*-триггер. Алгоритм и временные диаграммы работы. Характеристическая таблица.
- Пример синтеза произвольных триггерных устройств на базе *D*- и *JK*-триггеров.
- Регистры. Сдвиговые регистры. Синтез структуры сдвигового регистра на *D*- и *JK*- триггерах.
- Полные графы переходов сдвигового регистра на 1, 2, 3, 4 разряда.
- Построение делителей частоты с использованием сдвигового регистра.
- Универсальный сдвиговый регистр.
- Кольцевые счётчики. Счётчик Джонсона (Мёбиуса).
- Параллельные регистры. Синтез универсального многоразрядного регистра, способного выполнять ряд микроопераций.
- Счётчики и пересчётные устройства, определение, классификация.
- Синтез синхронных счётчиков. Показать на примере синтеза любого 3-х или 4-хразрядного счётчика.

- Синтез пересчётных устройств с повторяющимися состояниями.
- Базовые структуры счётчиков: счётчики с параллельным, сквозным, последовательным и групповым переносом.
- Синтез асинхронных счётчиков. Показать на примере синтеза любого 3-х или 4-хразрядного счётчика.
- Дешифраторы. Определение. Синтез структуры дешифратора. Способы наращивания разрядности дешифрируемого слова.
- Реализация селектора с использованием дешифратора.
- Классификация дешифраторов по определяющим признакам
- Дешифратор как многофункциональный элемент.
- Шифраторы. Шифратор 16-ричной клавиатуры на логических элементах.
- Шифраторы. Шифратор 10-чной клавиатуры на механических переключателях.
- Приоритетные шифраторы. Синтез схемы выделения старшего сигнала прерывания. Функционирование и использование приоритетного шифратора 555IB1.
- Мультиплексоры, определение. Синтез структуры мультиплексора. Способы увеличения количества входов мультиплексора.
- Мультиплексор как многофункциональный узел. Использование мультиплексора для:
 - реализации произвольных ФАЛ;
 - реализации контроллера состояния сложного объекта;
 - преобразования параллельного кода в последовательный;
 - реализации схем с памятью;
 - реализации многоканального селектора;
 - построения компаратора.
- Универсальный селектор-мультиплексор. Варианты применения универсального селектора-мультиплексора.
- Цифровые компараторы. Однобитовый компаратор.
- Построение трёхразрядного параллельного компаратора на основе однобитного.
- Компаратор многоразрядных чисел, представленных в последовательном коде.
- Универсальный наращиваемый параллельный 4-хразрядный компаратор.
- Многоразрядные параллельные компараторы, построенные на базе универсальных наращиваемых параллельных 4-хразрядных компараторов.
- Сдвигатели. Структурная схема, аналитические выражения. Схема сдвигателя на мультиплексорах.
- Цифровые сумматоры. Виды одноразрядного сумматора.
- 4-разрядный параллельный сумматор с последовательным переносом.
- Сумматор-вычитатель.
- Накапливающий сумматор.
- Двоично-десятичный сумматор в коде 8-4-2-1.
- Схема ускоренного переноса (СУП) и её использование в схемотехнике.
- Матричные комбинационные умножители и их использование в схемотехнике.