

Avances recientes de las funciones lógicas NMOS y CMOS basadas en semiconductores bidimensionales

Lingan Kong, Yang Chen y Yuan Liu(-)

Laboratorio Clave de Dispositivos Optoelectrónicos Micro-Nano del Ministerio de Educación, Facultad de Física y Electrónica, Universidad de Hunan, Changsha 410082, China

© Tsinghua University Press y Springer-Verlag GmbH Alemania, parte de Springer Nature 2020 **Recibió:** 11 de mayo de 2020 /**Revisado:** 14 de junio de 2020 /**Aceptado:** 25 de junio de 2020

ABSTRACTO

Los transistores de efecto de campo de semiconductores de óxido metálico (MOSFET) basados en semiconductores bidimensionales (2D) han atraído gran atención debido a sus excelentes propiedades de transporte, geometría atómicamente delgada y ancho de banda ajustable. Además de mejorar el rendimiento de los transistores de cada dispositivo, se han dedicado numerosos esfuerzos a lograr funciones lógicas 2D o circuitos integrados para su aplicación práctica. En esta revisión, analizamos los avances recientes en circuitos lógicos basados en 2D. Comenzaremos con los diferentes métodos para la implementación de circuitos lógicos basados exclusivamente en semiconductores de óxido metálico de tipo n (NMOS) (o exclusivamente en semiconductores de óxido metálico de tipo p (PMOS)). A continuación, se resumen diversos enfoques de control de polaridad de dispositivos y semiconductores de óxido metálico complementarios (CMOS), incluyendo el uso de diferentes semiconductores 2D con dopaje complementario intrínseco, dopaje por transferencia de carga, ingeniería de contactos y dopaje electrostático. Discutiremos los méritos y desventajas de cada enfoque y finalmente concluiremos con una breve perspectiva sobre los desafíos y desarrollos futuros del circuito lógico 2D.

PALABRAS CLAVE

transistores de efecto de campo, semiconductores bidimensionales, circuito lógico, semiconductor de óxido metálico complementario (CMOS), control de polaridad

1 Introducción

Con una estructura en capas intrínseca, los semiconductores bidimensionales (2D) se han convertido en materiales de canal prometedores para transistores de efecto de campo (FET) [1–6]. Con espesores de cuerpo delgado atómico inferiores a 1 nm, los transistores 2D representan el límite máximo de escalado del espesor del cuerpo para minimizar el efecto de canal corto, el consumo de energía y la generación de calor, esenciales para la extensión de la Ley de Moore. Tras casi una década de estudio intensivo, el factor de mérito de rendimiento de los transistores 2D se ha impulsado considerablemente y se acerca al de los dispositivos de silicio de vanguardia. Por ejemplo, el MoS de alto rendimiento [7] ha demostrado transistores con una relación de encendido-apagado superior a 10⁸ [1], resistencia de contacto inferior a 0,2 kΩ·μm [7], corriente de estado activo de 0,83 mA/μm [8], longitud del electrodo de compuerta de ~1 nm [9], y ganancia de potencia intrínseca y frecuencia de corte de hasta 50 y 42 GHz [10], respectivamente. De igual forma, se han demostrado densidades de corriente máximas de 0,9 y 1,2 mA/μm para WSe₂y transistores de fósforo negro (BP) [11, 12], respectivamente, que son comparables o superiores al objetivo de baja potencia (LP) de sus homólogos de silicio [13]. Más importante aún, con una superficie atómica plana y sin enlaces colgantes, la movilidad de los portadores de los transistores 2D varía poco con el grosor del cuerpo [4, 5, 14], en gran contraste con la movilidad exponencialmente reducida del Si con la disminución del grosor del cuerpo [15], y es de gran importancia para extender aún más la ley de Moore a nodos de tecnología sub-5 nm o 3 nm.

Con las propiedades eléctricas deseadas, se han dedicado diversos esfuerzos a la construcción de circuitos lógicos basados en transistores de efecto de campo semiconductores de óxido metálico (MOSFET) 2D. Los primeros intentos...

Se utilizó tecnología de semiconductores de óxido metálico de tipo n (NMOS) o de semiconductores de óxido metálico de tipo p (PMOS), donde se emplean transistores 2D como dispositivos de conmutación y cargas resistivas simultáneamente. Esta tecnología simplifica los procesos de fabricación, ya que solo implica un tipo de dispositivo (PMOS o NMOS), y se han demostrado diversas funciones lógicas basadas en este enfoque, como NAND, NOR y XOR. En particular, con los recientes avances en la síntesis a gran escala o a escala de oblea de monocapas 2D o películas delgadas [16, 17], se han demostrado funciones lógicas más complejas como la memoria de acceso aleatorio estática (SRAM), la memoria de acceso aleatorio resistiva (RRAM), el oscilador en anillo multietapa y el microprocesor completamente funcional [18–20].

Por otro lado, la técnica de semiconductores complementarios de óxido metálico (CMOS) es la base de los circuitos integrados de vanguardia, compuestos simultáneamente por pares de transistores tipo p y tipo n. Dado que uno de los transistores está siempre en estado apagado, el dispositivo CMOS no presenta un flujo de corriente estática evidente, lo que demuestra un bajo consumo de energía y, por lo tanto, una alta densidad de integración. Esto contrasta marcadamente con la lógica transistor-transistor (TTL) o la tecnología exclusivamente NMOS, que normalmente utiliza una resistencia pull-down y un flujo de corriente constante incluso sin cambios de estado. Si bien la tecnología CMOS ha demostrado ventajas en términos de generación de calor y ha dominado la industria del silicio durante décadas, la transferencia exitosa de esta técnica a los transistores 2D sigue siendo un desafío clave. En la microelectrónica de silicio, las funciones de lógica complementaria se logran típicamente mediante la implantación de iones de alta energía seguida de la activación de dopantes a alta temperatura.

Dirigir la correspondencia a yuanliuhnu@hnu.edu.cn



TSINGHUA
UNIVERSITY PRESS



Springer

Para lograr pozos complementarios dentro de una sola oblea de silicio. Se utilizan estrategias similares en las tecnologías de semiconductores III-V. Sin embargo, la aplicación de procesos de vanguardia para la creación de CMOS 2D no es sencilla debido a su estructura reticular atómicamente delgada y delicada, que no es compatible con el proceso de implantación agresivo. Por ejemplo, la implantación de Ar-Se ha demostrado que los iones degradan la monocapa MoS₂ rendimiento [21] con intensidad de fotoluminiscencia (PL) suprimida o incluso totalmente grabada, y también se observa un comportamiento similar para otros semiconductores 2D [22, 23] como MoSe₂, WSe₂ utilizando otros iones (por ejemplo, He). El uso de electrones pequeños (en comparación con los iones) para la implantación/radiación puede ayudar a mitigar este problema [24], pero aún se observan defectos, daños o transformación de fase en el servidor [25-27], especialmente en monocapas 2D. Además, la posterior activación del dopante también requiere alta temperatura mediante procesos de recocido térmico rápido (RTA), lo cual es incompatible con varios semiconductores 2D.

Para superar esta incompatibilidad de procesamiento y lograr dispositivos lógicos complementarios 2D de alto rendimiento, en los últimos años se han dedicado diversos esfuerzos al desarrollo de técnicas de dopaje más suaves y dispositivos complementarios, sin dañar la delicada red 2D. En este artículo de revisión, nos centramos en los avances recientes de la investigación para la realización de funciones lógicas de transistores 2D. Comenzaremos con los diversos enfoques reportados para circuitos integrados solo NMOS o solo PMOS. A continuación, se resumen diferentes enfoques para controlar la polaridad del dispositivo y crear MOSFET complementarios, incluyendo el uso de diferentes semiconductores 2D con dopaje complementario intrínseco, dopaje por transferencia de carga (p. ej., absorción molecular, deposición de óxido), ingeniería de contactos (p. ej., diferentes funciones de trabajo del metal, diferentes técnicas de metalización) y dopaje electrostático (p. ej., campo eléctrico estadístico, dieléctrico ferroeléctrico). Analizaremos las ventajas y desventajas de cada enfoque y, finalmente, concluiremos con una breve perspectiva sobre los desafíos y desarrollos futuros de las funciones CMOS 2D. En general, nuestro objetivo es resumir los enfoques actuales de 2D.

Los semiconductores para realizar funciones lógicas y circuitos integrados y métodos similares también podrían beneficiar a otros semiconductores emergentes, como los semiconductores orgánicos, las perovskitas híbridas y las heteroestructuras de van der Waals (vdW).

2 Inversor lógico y circuito integrado basado únicamente en tecnología NMOS

Inversor lógico 2.1 NMOS

El inversor es un componente fundamental del diseño de circuitos integrados. Un inversor se puede implementar de forma sencilla mediante tecnología NMOS, conectando un transistor tipo n con una carga pull-up. Esta carga puede ser una resistencia (carga resistiva) u otro transistor NMOS (carga NMOS mediante la conexión de puerta y fuente), como se muestra en las figuras 1(a) y 1(b). Al aplicar tensión de puerta, la resistencia del transistor puede comutarse a un valor superior (o inferior) en comparación con la carga, lo que provoca un cambio en la tensión de salida dividida. La principal ventaja de la carga NMOS es su menor espacio ocupado, un proceso de fabricación más sencillo y compatible, así como un mejor rendimiento del dispositivo, por lo que se utiliza ampliamente en estudios NMOS 2D. De forma similar, un inversor PMOS también se puede implementar utilizando dos transistores tipo p, uno actuando como transistor de comutación y el otro como carga PMOS pull-down.

Basándose únicamente en esta técnica NMOS, se han implementado funciones inversoras en varios transistores 2D. Por ejemplo, simplemente conectando dos MoS con puerta superior. En transistores fabricados sobre una monocapa exfoliada (Fig. 1(c)), se implementa un inversor lógico [28] con una ganancia de voltaje superior a 4. Uno de los transistores se utiliza como carga NMOS de pull-up conectando la puerta y la salida, y el otro funciona como un transistor tipo n típico para comutar el voltaje de salida, como se muestra en la Fig. 1(d). Además, la conexión de los electrodos de salida y puerta no siempre es necesaria para implementar una carga MOS, ya que también se puede lograr una función de inversor utilizando dos transistores ambipolares idénticos.

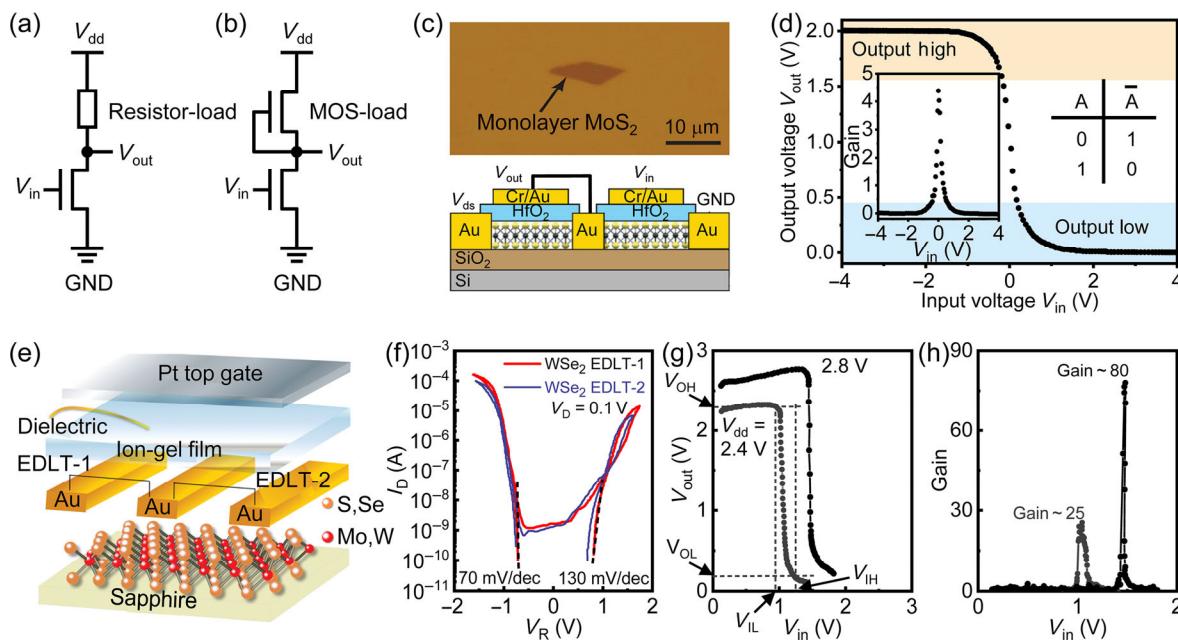


Figura 1(a) y (b) Diagramas de circuitos de un inversor de carga de resistencia y un inversor de carga NMOS. **(c)** Monocapa de MoS exfoliada mecánicamente escama (arriba) y la ilustración esquemática de la monocapa de MoS₂ inversor NMOS (abajo). **(d)** Las características de transferencia de voltaje (VTC) del MoS monocapa: inversor lógico con ganancia de voltaje correspondiente y tabla de verdad (recuadro). **(c) y (d)** se reproducen con permiso de la referencia [28], © American Chemical Society 2011. **(e)** Estructura de transistores eléctricos de doble capa ambipolares (EDLT) con acoplamiento de película delgada de ion-gel basado en el crecimiento CVD de TMDC monocapa sobre un sustrato de zafiro. **(f)** $I_{ds}-V_R$ Características de transferencia de dos WSe₂ ambipolares diferentes: EDLT que demuestran propiedades eléctricas similares. **(g) y (h)** VTC de monocapa WSe₂ inversor lógico con diferentes tensiones de polarización aplicadas (g) y la correspondiente ganancia de alta tensión (h). **(e)-(h)** se reproducen con autorización de la referencia [29], © Wiley-VCH Verlag GmbH & Co. KGaA 2016.

basado en semiconductores de dicalcogenuros de metales de transición (TMDC) [29]. Como se muestra en la Fig. 1(e), dos WSe ambipolares transistores (con curvas de voltaje de puerta-corriente de drenaje similares: $I_{ds}-V_{gs}$) La característica de transferencia (Fig. 1(f)) está conectada en serie y se utiliza una película de gel iónico como dieléctrico de compuerta. Como se muestra en la relación de entrada y salida de la Fig. 1(g), cuando el voltaje de entrada (V_{in}) es bajo y menor que el voltaje de suministro (V_{dd}), el transistor superior está en estado encendido, lo que genera un alto voltaje de salida (V_{out}) cerca de V_{dd} , y de manera similar, cuando el voltaje de entrada es alto, el transistor inferior está en estado encendido ($V_{in} > 0$), lo que resulta en una gran ganancia de voltaje de 80 (Fig. 1(h)). Sin embargo, una desventaja de esta tecnología es el voltaje relativamente alto en estado apagado y el pequeño margen de ruido.

Además, gracias a los recientes avances en la síntesis a gran escala de semiconductores monocapa 2D mediante deposición química en fase de vapor (CVD) o epitaxial de haz molecular (MBE) [17, 30, 31], se han demostrado inversores 2D escalables basados en tecnología exclusivamente NMOS. Por ejemplo, un inversor basado en MoS cultivado mediante CVD.₂Se ha informado sobre el triángulo [32] utilizando HfO₂como dieléctrico de compuerta y Ti/Au como metales de contacto (Fig. 2(a)), lo que produce una ganancia de voltaje cercana a 20 (con un voltaje de polarización de 5 V, Fig. 2(b)). Sin embargo, un desafío típico para el transistor monocapa es el contacto deficiente entre el metal y el semiconductor, donde la delicada red monocapa podría dañarse fácilmente durante procesos de fabricación agresivos, como la litografía en solución o el proceso de deposición/pulverización catódica de metal de alta energía [33, 34]. Para mejorar la interfaz metal-2D y reducir las resistencias de contacto, se utilizó una monocapa de MoS de 2 pulgadas a escala de oblea.₂Se ha sintetizado una película [30] con MoS multicapa localizadas como región de contacto (Fig. 2(c)), minimizando el daño inducido por la fabricación e imitando la estructura de un transistor de silicio de cuerpo ultradelgado (UTB) con

un contacto de polisilicio S/D elevado [35]. Mientras tanto, el MoS multicapa Las regiones de contacto suelen tener una banda prohibida menor que las monocapas, lo que podría resultar en una barrera de contacto y una resistencia de contacto menores. En conjunto, estos dispositivos demuestran una alta movilidad de portadores de 70 cm.²/(V·s), baja oscilación subumbral de ~150 mV/dec, así como una ganancia del inversor de 23 (con una tensión de polarización de 3 V, Fig. 2(d)) [36]. Alternativamente, la interfaz metal-2D puede optimizarse utilizando grafeno como contacto vdW con semiconductores 2D [37–39]. Como se muestra en la Fig. 2(e), el MoS CVD a gran escala₂Se utiliza como canal del transistor y el grafeno preestampado (cultivado mediante CVD) se transfiere a la parte superior, sirviendo simultáneamente como electrodos de contacto, electrodos de puerta e interconexiones de circuitos [40]. La interfaz atómicamente limpia y nítida entre el grafeno y el MoS₂reduce el efecto de fijación del nivel de Fermi en interfaces convencionales de metal-2D y, al mismo tiempo, la función de trabajo de grafeno ajustable (a través del campo de puerta) permite una alineación de banda perfecta entre la función de trabajo de grafeno y la banda de conducción de MoS₂, lo que condujo a la demostración de matrices de inversores NMOS de alto rendimiento (Fig. 2(f)). De forma similar, el grafeno cultivado mediante CVD se utiliza como contacto para el ReSe de tipo p a gran escala₂, como se muestra en las figuras 2(g) y 2(h). En este informe [41], se aplica una compuerta iónica como dieléctrico de compuerta con una mayor capacitancia de compuerta (5–8 μ F·cm⁻²), correspondiente a un espesor de óxido equivalente < 1 nm, por lo tanto, el dispositivo puede funcionar con un voltaje de compuerta bajo < 2 V, lo que conduce a la realización de inversores lógicos solo PMOS de bajo consumo.

2.2 Crecimiento en un solo paso del inversor lógico NMOS

Además de sintetizar el canal semiconductor 2D, el inversor lógico también se puede lograr a través del crecimiento CVD de un solo paso.

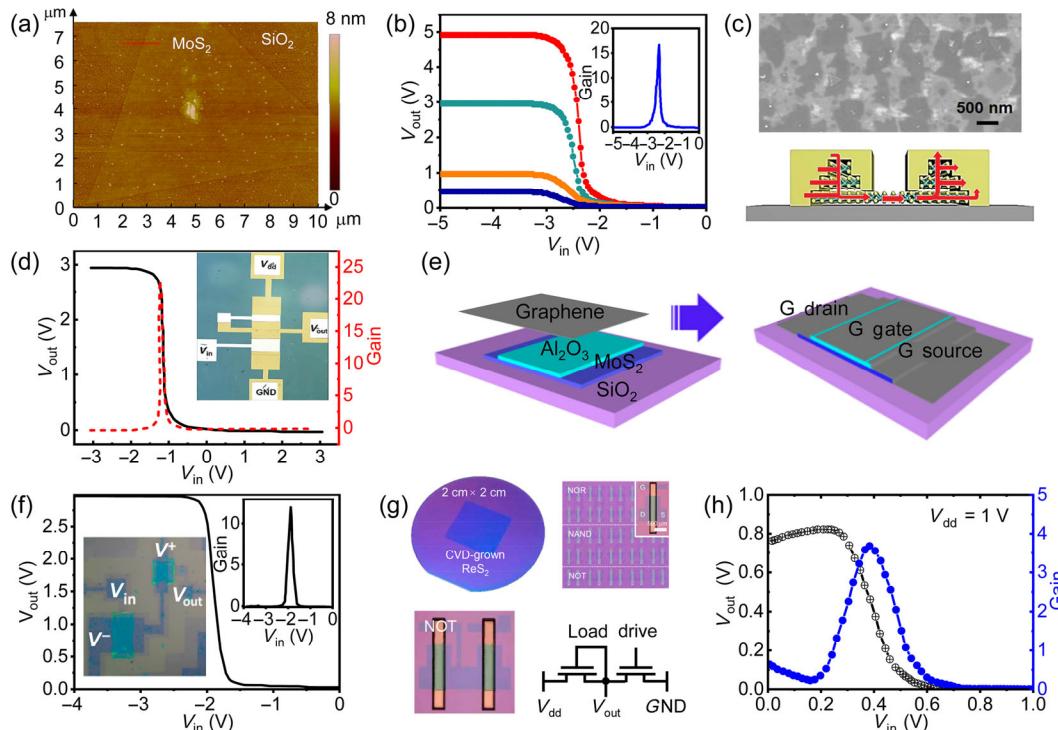


Figura 2(a) Imagen de microscopía de fuerza atómica (AFM) de monocapa de MoS cultivada mediante CVD₂escama. (b) VTC y ganancia de voltaje bajo voltajes aplicados del MoS monocapa resultante. Inversor lógico NMOS. (a) y (b) se reproducen con permiso de la Ref. [32], © IEEE 2012. (c) Imagen de microscopía electrónica de barrido (SEM) de MoS multicapa cultivado por CVD₂Película (arriba) y esquema del dispositivo correspondiente que utiliza una región multicapa como contacto para mejorar la unión metal-semiconductor. (d) VTC y ganancia de voltaje del MoS₂Inversor lógico y la imagen óptica correspondiente. (c) y (d) se reproducen con permiso de la Ref. [36], © Wiley-VCH Verlag GmbH & Co. KGaA 2018. (e) Crecimiento por CVD de MoS a gran escala:Transistores que utilizan grafeno semimetalíco como contactos, electrodos de puerta e interconexiones. (f) VTC y ganancia de voltaje del MoS en contacto con grafeno.:Inversor lógico e imagen óptica correspondiente. (e) y (f) se reproducen con permiso de la Ref. [40], © American Chemical Society 2014. (g) Fotografías e imágenes de ReS de área grande cultivado mediante CVD₂, así como los circuitos lógicos fabricados después del proceso de modelado. (h) VTC y ganancia de voltaje de ReS monocapa₂:Inversor lógico que utiliza solo tecnología PMOS. (g) y (h) se reproducen con permiso de la Ref. [41], © American Chemical Society 2017.

El canal y el metal de contacto simultáneamente. Por ejemplo, el crecimiento químico de grafeno/MoS lateral. Se han descrito heteroestructuras de grafeno [42, 43] con MoS₂Se utiliza grafeno como canal y grafeno como metal de contacto, como se muestra en la Fig. 3(a). Esta estrategia de crecimiento y construcción en un solo paso puede reducir significativamente las barreras de contacto en comparación con los enfoques tradicionales basados en la deposición de metal de contacto. Además, a diferencia de informes anteriores que se basan en el ensamblaje de vdW (grafeno de transferencia como contacto) con una resolución de transferencia limitada, el metal y el canal se pueden alinear con precisión sin posibles contaminaciones con el polímero, lo que permite la realización en un solo paso de un inversor lógico escalable, como se muestra en la Fig. 3(b). Con una menor resistencia de contacto, se obtiene una mayor ganancia de voltaje de 70 a V_{dd} Se puede lograr una tensión de 4 V, en comparación con otros métodos que utilizan solo tecnología NMOS. Esta estrategia de crecimiento en un solo paso (de canal y contacto) no se limita únicamente a MoS₂y grafeno, pero podría extenderse a otras combinaciones entre diferentes semiconductores 2D y metales 2D [11, 44], como el crecimiento por CVD de VSe metálico. o NiTe₂sobre semiconductor WSe₂:Es importante destacar que el método de crecimiento por "cosido" en un solo paso también se ha implementado entre BN aislante y MoS semiconducto. (Fig. 3(c)) [43], lo que allana el camino para el aislamiento de dispositivos en la integración a gran escala. Además, los materiales de canal y contacto dentro de los conjuntos de inversores también se fabrican utilizando un único material 2D, pero con diferentes fases [45, 46]. Como se muestra en la Fig. 3(d), MoTe₂Se utiliza como material activo, ya que puede proporcionar tanto la fase semiconductor (2H) como la fase metálica (1T'). Al telurizarse el precursor predepositado (MoO_{2.0-2.5}para 2H y MoO₃Para 1T') a una temperatura alta de ~650 °C, se pudieron producir simultáneamente canales, contactos e interconexiones y conectarlos en inversores lógicos bien organizados, donde todos estos componentes se conectan mediante enlaces covalentes en lugar de interfaces vdW [46], como se muestra en las figuras 3(e) y 3(f). Además, gracias al canal atómicamente delgado y a la estrategia de integración flexible, se ha demostrado la integración tridimensional (3D) monolítica, donde múltiples MoTe₂Las matrices se apilan en la misma oblea, separadas por HfO₂Capas aislantes y parcialmente conectadas mediante orificios pasantes grabados. Como se muestra en las figuras 3(g) y 3(h), los FET obtenidos en los dos niveles diferentes.

mostró una característica de dispositivo de tipo p con relaciones de encendido/apagado similares (~ 10s) y movilidad (~30 cm²/(V·s)), lo que sugiere que la síntesis de las capas superiores no afecta el rendimiento de las capas inferiores, lo que es esencial para integrar más capas del dispositivo para la integración 3D.

2.3 Funciones lógicas NMOS complejas y circuito integrado

Más allá del inversor, se han logrado funciones lógicas más complejas mediante tecnología exclusivamente NMOS, y se basan en gran medida en MoS₂.Canal debido a su alta estabilidad (en comparación con otros semiconductores 2D). Los primeros estudios se centraron en el uso de un MoS bicapa exfoliado mecánicamente. como material del canal [47]. Se utilizan electrodos de puerta superior con diferentes funciones de trabajo (Al o Pd) para cambiar eficazmente los voltajes de umbral (Fig. 4(a)), donde el electrodo de puerta de Pd con función de trabajo alta ($\phi_{METRO} \sim 5.2-5.6$ eV) p-dopa el canal y el electrodo de compuerta de Al con función de trabajo baja ($\phi_{METRO} \sim 4.1$ eV) n-dopa el canal, lo que resulta en transistores en modo de mejora y en modo de agotamiento, respectivamente. La realización del MoS en modo de mejora:El transistor es esencial para la creación de circuitos en cascada multietapa, lo que ha llevado a la demostración de una puerta NAND, una celda SRAM y un oscilador en anillo de cinco etapas, como se muestra en la Fig. 4(b). Además, se crean circuitos lógicos escalables utilizando tecnología de puerta primera para MoS monocapa CVD.:Con la ayuda de un flujo de diseño asistido por computadora (CAD) personalizado [20]. Utilizando la técnica de "puerta primera", todos los componentes críticos se fabrican antes del MoS.₂

Se evita la etapa de transferencia y el proceso de deposición de capa atómica (ALD) de alta energía (del dieléctrico de puerta superior), lo que resulta en una alta uniformidad del dispositivo con un rendimiento del 100 % (de más de 200 transistores). Mientras tanto, el uso de herramientas CAD permite modelar los parámetros del dispositivo y agilizar el proceso de diseño, lo cual es importante en el diseño de circuitos complejos. En conjunto, el MoS en modo de mejora de alto rendimiento:Los FET se demuestran con diversas funciones lógicas, incluyendo AND, OR, NAND, NOR, XNOR, registro de enclavamiento y de disparo por flanco, como se muestra en el diseño y los resultados de las mediciones en la Fig. 4(c). Además de las monocapas cultivadas mediante CVD, informes recientes también han demostrado MoS procesable en solución de alto rendimiento.:transistores con movilidad > 10 cm²/(V·s),

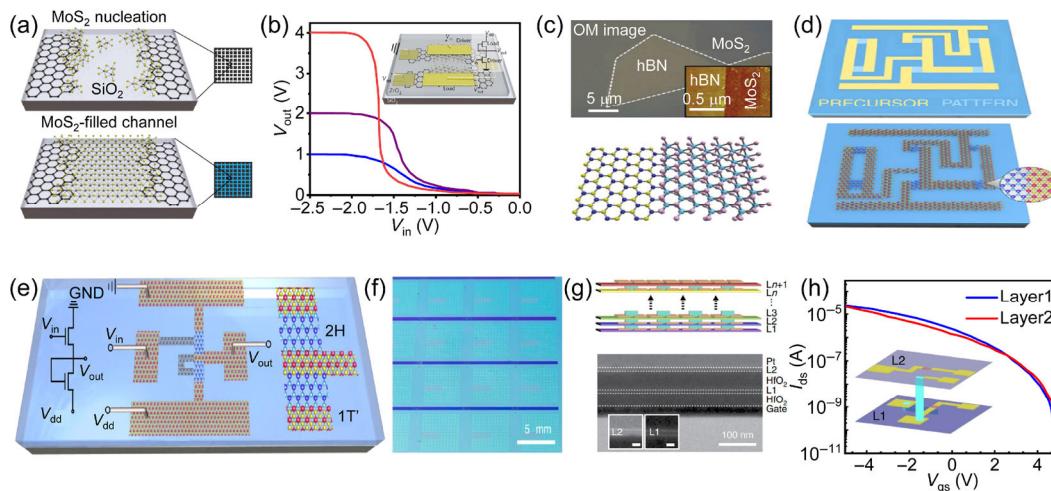


Figura 3(a) Diagrama esquemático del crecimiento CVD directo de MoS₂-heteroestructuras de grafeno. (b) VTC de MoS₂Inversor lógico de grafeno con ilustración esquemática de un circuito inversor y diagrama de circuito (recuadro). (a) y (b) se reproducen con permiso de la referencia [42], © Macmillan Publishers Limited, parte de Springer Nature 2016. (c) Imagen óptica, imagen AFM e ilustración esquemática del MoS cosido en paralelo.:Heteroestructuras de -hBN (reproduciéndolas con permiso de la referencia [43], © Wiley-VCH Verlag GmbH & Co. KGaA 2016). (d) MoTe escalable:Los canales, contactos e interconexiones se pueden sintetizar mediante un proceso de telurización de un solo paso de precursores predepositados, lo que da lugar a MoTe ultradelgados.:Circuito basado en (e) y (f) Vista esquemática de un inversor sintetizado químicamente e imagen óptica de ~ 1500 dispositivos sintetizados a pequeña escala. (g) Ilustración esquemática de la integración vertical de MoTe multicapa:Capas del circuito y la imagen del microscopio electrónico de transmisión (TEM) de sección transversal. (h) Tipo P_{ds}-V_{ds}Se observan características de transferencia en dos dispositivos vecinos dentro de diferentes capas, lo que sugiere que la síntesis de las capas superiores no afecta el rendimiento de las capas inferiores. (d)-(h) se reproducen con permiso de la referencia [46], © Zhang, Q. et al., bajo licencia exclusiva de Springer Nature Limited 2019.

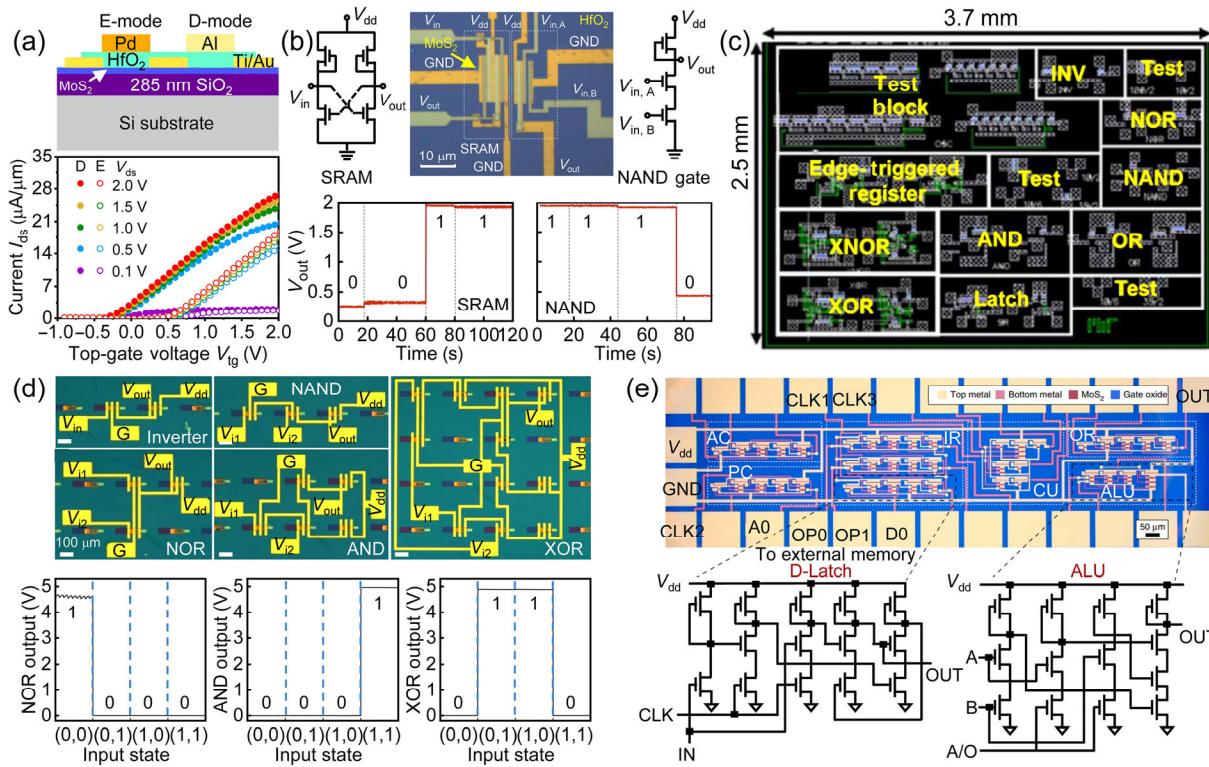


Figura 4(a) Ilustración esquemática del MoS₂ dispositivo en modo de mejora (E) y en modo de agotamiento (D) utilizando diferentes electrodos de puerta superior, así como los correspondientes I_{ds} - V_{gs} características de transferencia de MoS₂FET. (b) Lógica NAND y diagrama del circuito SRAM, imagen óptica y relación de entrada-salida. (a) y (b) se reproducen con permiso de la referencia [47], © American Chemical Society 2012. (c) Diseño del chip de prueba utilizando el MoS cultivado por CVD. (d) imágenes ópticas de funciones lógicas inversoras, NAND, NOR, AND y XOR fabricadas a partir de MoS procesado en solución. (e) Imagen óptica de MoS de 1 bit microprocesador con esquemas de circuitos de D-Latch y ALU (reproducido con permiso de la Ref. [18], © Wachter, S. et al. 2017).

que es comparable a un transistor orgánico convencional utilizado para aplicaciones de transistores de película delgada (TFT) [16]. Además, el MoS basado en solución La película ofrece una vía atractiva para fabricar transistores 2D sobre sustratos flexibles mediante procesos de baja temperatura (p. ej., recubrimiento por centrifugación, serigrafía o impresión por inyección de tinta) con un bajo coste de procesamiento y un gran tamaño de película. Con alta estabilidad, se han demostrado las lógicas NAND, NOR, AND y XOR mediante la técnica de puerta primera, integrando 3, 3, 5 y 11 MoS₂transistores, respectivamente, y demostrando la función lógica deseada (Fig. 4(d)). Además, la correcta implementación de diferentes funciones lógicas permite demostrar un semisumador más complejo, que corresponde a la suma de dos números binarios de un bit.

Vaya un paso más allá, NMOS MoS basado en microprocesador de 1 bit. Esta tecnología se demostró recientemente [18], representando el circuito lógico más complejo de un transistor 2D. El procesador está compuesto por 115 MoS₂Transistores con todos los componentes básicos de un microprocesador típico, incluyendo D-Latch, unidad aritmético-lógica (ALU), acumulador (AC), registro de instrucciones (IR), unidad de control (CU), contador de programa (PC) y registro de salida (OR), como se muestra en la Fig. 4(e). El procesador muestra un resultado lógico correcto con una serie de operaciones de entrada, lo que confirma la capacidad de las funciones de lógica en cascada basadas en transistores 2D. Además, se beneficia del MoS sintetizado por CVD uniforme. Usado, el 80% de la ALU fabricada es funcional, lo que es un rendimiento decente considerando la alta complejidad del circuito, lo que sugiere el potencial para microprocesadores multibit completamente funcionales basados en tecnología NMOS 2D.

3 inversores lógicos CMOS y circuito integrado

En comparación con las funciones lógicas NMOS, la tecnología CMOS basada

El uso de semiconductores 2D se convierte en otro enfoque prometedor para circuitos lógicos debido a su bajo consumo de energía y alta tolerancia al ruido externo. Un inversor CMOS se puede lograr conectando transistores PMOS y NMOS en serie. Cuando se aplica un voltaje de entrada bajo, el PMOS se activa mientras que el NMOS se desactiva, lo que resulta en un voltaje de salida alto cercano a V_{dd} . Por otro lado, con un alto voltaje de entrada, el NMOS se activa y el PMOS se desactiva, lo que resulta en un bajo voltaje de salida cercano a 0 V. Como se mencionó anteriormente, el principal desafío para la tecnología CMOS 2D es el control de la polaridad de los semiconductores 2D, lo cual no es tarea fácil para una red atómica tan delgada. Para ello, se han demostrado diversos enfoques para crear MOSFET complementarios, incluyendo el uso de diferentes materiales de canal 2D, dopaje sustitutivo, dopaje por transferencia de carga, ingeniería de contactos y dopaje electrostático.

3.1 Diferentes materiales de canal 2D

Una estrategia sencilla para crear la función CMOS consiste en utilizar diferentes materiales 2D como canal, donde un material se utiliza para NMOS y otro para PMOS. Como se muestra en la Fig. 5(a), un MoS₂escama (~ 6 nm de espesor) y un WSe₂Las escamas se exfolian sobre el Si/SiO₂sustrato por separado y luego se puso en contacto con metales con diferentes funciones de trabajo (Ti para MoS₂y Pt para WSe₂) para lograr NMOS y PMOS [48], respectivamente. Al conectar los dos transistores en serie, se demuestra un inversor con el comportamiento lógico deseado, como se muestra en la Fig. 5(b). Más allá de MoS₂y WSe₂Esta sencilla estrategia se ha demostrado para otras combinaciones entre diferentes tipos p (como BP, MoTe₂, WSe₂, MoSe₂) y de tipo n (como MoS₂, ReS₂, WS₂) Semiconductores 2D [49–53].

Como alternativa, se pueden cultivar epitaxialmente diferentes semiconductores 2D (heteroestructura en el plano) utilizando el método CVD [54–58].

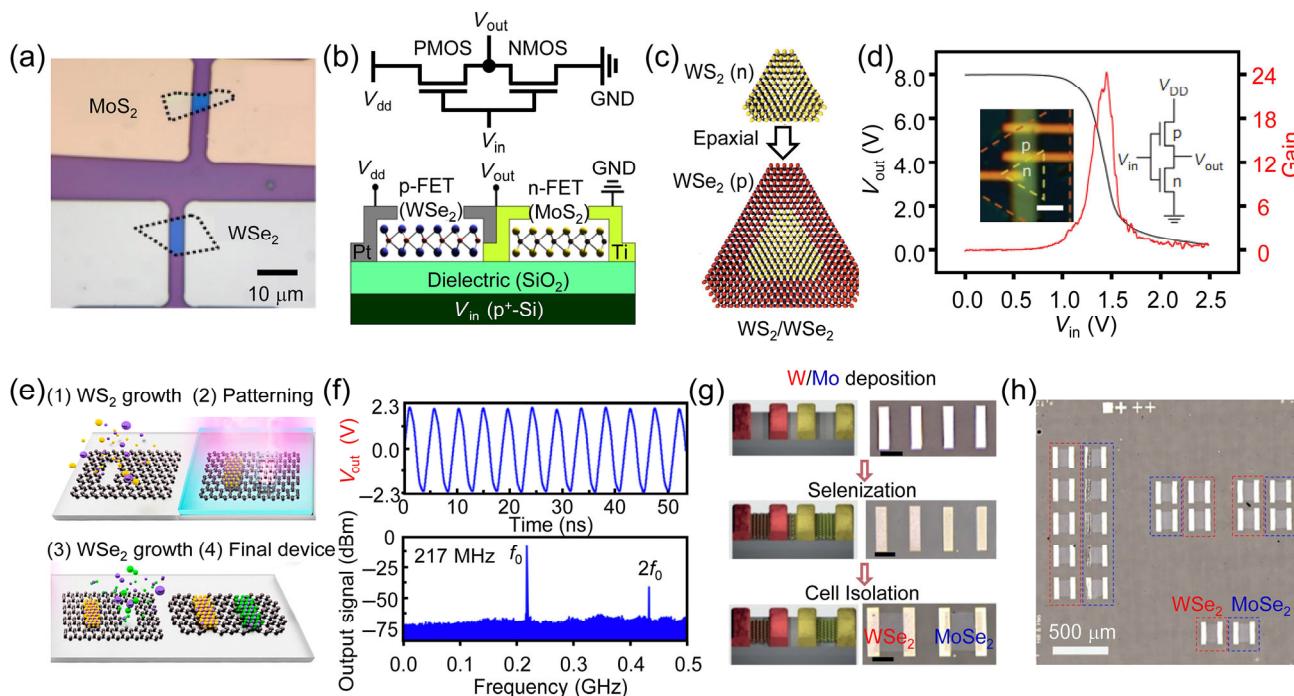


Figura 5(a) Imagen óptica de dos transistores 2D diferentes obtenidos por el método de exfoliación mecánica, donde WSe₂Se se utiliza como PMOS y MoS₂como NMOS. (b) Diagrama del inversor CMOS y esquema de sección transversal conectando estos dos transistores en serie. (a) y (b) se reproducen con permiso de la Ref. [48], © American Chemical Society 2015. (c) Esquema del crecimiento epitaxial CVD lateral de WS₂-WSe₂heteroestructuras. (d) VTC y ganancia de voltaje del inversor CMOS basado en WS desarrollado por CVD-WSe₂heteroestructuras (WSe₂utilizado como PMOS y WS₂(NMOS usado) y la imagen óptica del inversor correspondiente. (c) y (d) se reproducen con permiso de la Ref. [55], © Macmillan Publishers Limited 2014. (e) Crecimiento CVD epitaxial en el plano de grafeno-WS₂-grafeno-WSe₂-heteroestructuras de grafeno, donde el grafeno podría usarse como contacto para diferentes canales 2D. (f) Circuitos creados a partir de las heteroestructuras de crecimiento CVD, incluido un oscilador de anillo de cinco etapas con una frecuencia de oscilación de 217 MHz. (e) y (f) se reproducen con permiso de la referencia [59], © American Chemical Society 2020. (g) Esquemas e imágenes ópticas del proceso de fabricación para el crecimiento CVD selectivo por ubicación con diferentes almohadillas metálicas predepositadas. (h) Una imagen óptica representativa de WSe₂y MoSe₂utilizando crecimiento selectivo por ubicación. (g) y (h) se reproducen con permiso de la Ref. [60], © Wiley-VCH Verlag GmbH & Co. KGaA 2019.

Representa un enfoque más escalable para ensamblar diferentes materiales 2D en un sustrato determinado. Por ejemplo, WS₂/WSe₂ La heterounión se logra mediante *in situ*modulación de los reactantes en fase de vapor durante el proceso de CVD, como se muestra en la Fig. 5(c). La f_{0s} - V_g .Las características de transferencia de cada región demuestran las características esperadas del dispositivo tipo n y tipo p con una movilidad de electrones y huecos de 16 y 82 cm.²/(V·s), respectivamente, lo que sugiere su potencial para aplicaciones lógicas. Como se muestra en la Fig. 5(d), mediante un proceso de modelado del WS₂/WSe₂ heteroestructuras y, siguiendo el proceso ALD de puerta superior, se demuestra un inversor lógico (basado en PMOS y NMOS en serie) con una ganancia de voltaje de 24, a un voltaje de polarización de 8 V [55]. Cabe destacar que publicaciones recientes [56, 57] han reportado enfoques controlables para la CVD que sintetizan multiheteroestructuras complejas o superredes (como WS alternadas)/WSe₂/WS₂/WSe₂/WS₂) mediante enfoques de CVD de flujo inverso, lo que allana el camino para circuitos lógicos más escalables y complejos con diferentes materiales 2D. Además, el crecimiento epitaxial en el plano de diferentes semiconductores 2D puede aplicarse al grafeno metálico, donde el grafeno estampado sirve como plantilla guía para el crecimiento selectivo de sitio de grafeno/WS₂/grafeno (NMOS) y grafeno/WSe₂ Heteroestructuras de grafeno (PMOS), lo que resulta en el crecimiento simultáneo de semiconductores y contactos 2D (Fig. 5(e)). Con base en esta técnica, se demuestra un inversor lógico CMOS, NAND, SRAM y un oscilador en anillo CMOS de cinco etapas con la frecuencia de oscilación más alta de ~0,2 GHz y un retardo de propagación de 0,46 ns (Fig. 5(f)) [59]. Además de la alta escalabilidad, los enfoques de CVD utilizados aquí (en comparación con los enfoques de exfoliación previos) muestran ventajas obvias: un espesor de canal uniforme hasta la monocapa, esencial para aplicaciones CMOS de bajo consumo y un mayor escalamiento de la longitud del canal.

Para la aplicación práctica, el control preciso de la ubicación de las láminas 2D es fundamental para la fabricación de circuitos. Los enfoques previos para integrar diferentes materiales 2D se basan principalmente en procesos aleatorios de exfoliación mecánica o nucleación durante el crecimiento por CVD. Recientemente, se ha descrito un método de crecimiento selectivo ascendente guiado por metal [60], que permite la deposición precisa de canales 2D específicos en las ubicaciones deseadas, controladas por las almohadillas metálicas premoldeadas. Por ejemplo, las almohadillas de metales de transición (Mo y W) se prefabrican primero mediante un proceso convencional de fotolitografía y deposición de metal, como se muestra en la Fig. 5(g). Tras el proceso de selenización, el MoSe cultivado y WSe₂Se ha descubierto que los WSe se confinaban a lo largo de las almohadillas metálicas de W y Mo (Figs. 5(g) y 5(h)) [60], lo que conducía al crecimiento simultáneo de diferentes materiales 2D, con alta capacidad de control de ubicación. Con un mayor proceso de aislamiento, el WSe cultivado y MoSe₂Los transistores se miden como tipo p y tipo n, respectivamente, lo que da como resultado un inversor de buen comportamiento con alta escalabilidad y capacidad de control de ubicación.

Además de conectar dos transistores planos 2D (NMOS y PMOS) en serie, la lógica CMOS también se puede implementar apilando dos transistores verticales (con polaridad opuesta) capa por capa en dirección vertical, lo que representa la integración CMOS monolítica 3D. Este tipo de CMOS vertical no consume espacio planar adicional al necesario para el transistor inferior, lo que resulta muy prometedor para circuitos CMOS complejos con un área de dispositivo pequeña y, por lo tanto, una alta densidad de integración. Como se muestra en las figuras 6(a)-6(e), MoS₂ transistores (NMOS) y WSe₂Los transistores (PMOS) se transfieren capa por capa y se fabrican en dirección vertical. Están separados por electrodos de puerta y ZrO_xCapa, que no solo actúa como capa espaciadora aislante, sino también como dieléctrico de alta k para ambos transistores. Con este enfoque, el CMOS monolítico 3D

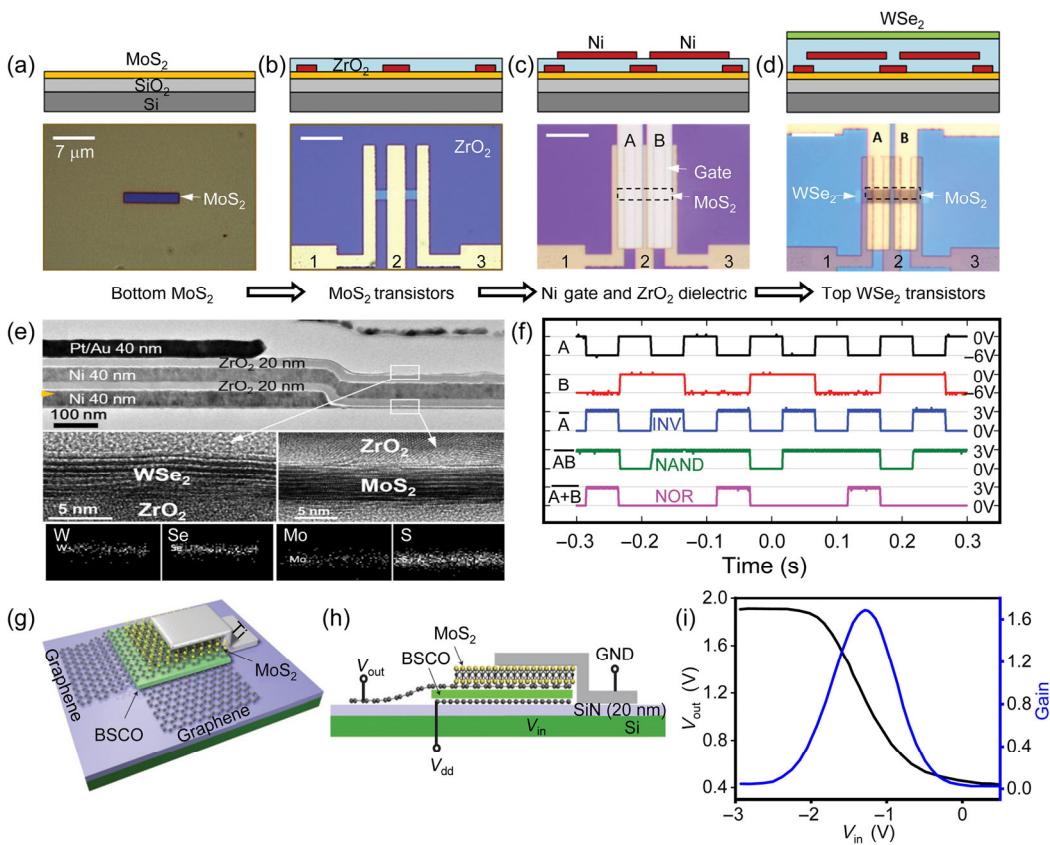


Figura 6(a)-(d) Procesos de fabricación de CMOS monolíticos integrados de diferentes transistores 2D, que se fabrican capa por capa y se conectan a través de orificios pasantes. **(e)** Imagen TEM de la estructura CMOS 3D y vista ampliada de MoS₂-WSe₂regiones. **(f)** Formas de onda de conmutación de INV, NAND de 2 entradas y NOR fabricadas mediante la integración monolítica. **(g)-(f)** se reproducen con permiso de la referencia [61], © Wiley-VCH Verlag GmbH & Co. KGaA 2016. **(g) y (h)** Vista esquemática e ilustración transversal de un inversor CMOS mediante apilamiento vertical de grafeno, MoS₂-BSCO. Con el débil efecto de pantalla del grafeno, la puerta inferior podría modular simultáneamente tanto el PMOS como el NMOS. **(i)** El VTC correspondiente y la ganancia de voltaje del inversor vertical vdW. **(g)-(i)** se reproducen con autorización de la referencia [62], © Macmillan Publishers Limited 2013.

Las funciones se demuestran con la función lógica estática (Fig. 6(f), INV, NOR, NAND) y funciones analógicas como el amplificador [61]. En comparación con la tecnología CMOS monolítica 3D anterior que utiliza silicio a granel convencional, la técnica de usar semiconductores en capas presenta ventajas obvias con baja temperatura de procesamiento. Los materiales de canal activo (MoS₂, WSe₂) se puede prefabricar y transferir capa por capa a temperaturas inferiores a 200 °C, lo que es compatible con diversos procesos de final de línea (BEOL). Además, el apilamiento vertical de diferentes materiales 2D también se puede lograr utilizando grafeno como electrodo de contacto [62–64]. Por ejemplo, se creó un inversor vertical complementario mediante el apilamiento vertical de capas de MoS 2D.(tipo n), grafeno 2D (metálico) y Bi 2D₂Sr₂Co₂O₈ (tipo p), como se muestra en las figuras 6(g) y 6(h) [62]. Con un espesor atómico único, una densidad de estados (DOS) finita y un efecto de apantallamiento débil, el grafeno exhibe una función de trabajo ajustable por campo y una transparencia electrostática parcial. Por lo tanto, el campo eléctrico de la puerta inferior podría penetrar el grafeno, modulando simultáneamente PMOS y NMOS sin necesidad de un electrodo de puerta adicional, lo que permitió la demostración del inversor vertical (figura 6(i)).

3.2 Dopaje por sustitución y dopaje por transferencia de carga superficial

El dopaje selectivo representa una vía eficaz para controlar la polaridad de diversos semiconductores 2D y lograr las funciones CMOS. Como se mencionó anteriormente, los métodos convencionales de dopaje por implantación iónica son difíciles de aplicar en semiconductores 2D ultrafinos. Para superar este desafío, se han demostrado estrategias de dopaje suaves para semiconductores 2D.

se pueden clasificar en gran medida en dos enfoques: el dopaje sustitucional de elementos (anión o catión) y el dopaje por transferencia de carga superficial (SCTD).

En los TMDC 2D típicos, los átomos metálicos de cada capa están intercalados con átomos externos de calcogenuro, como se muestra en la Fig. 7(a) [65], donde los elementos iónicos pueden ser sustituidos por átomos externos para formar semiconductores 2D dopados con dopaje n o p, dependiendo de los electrones de valencia de estos últimos. El dopaje por sustitución de átomos aniónicos (no metálicos) se puede lograr de forma más favorable que el dopaje por sustitución de cationes, ya que el anión en el TMDC está expuesto a su superficie, donde los dopantes pueden difundirse o unirse a través de las vacantes superficiales o los sitios defectuosos. Por ejemplo, el dopaje con nitrógeno (N) se puede lograr mediante un proceso de plasma, donde el WSe₂ transistor está expuesto a radicales de nitrógeno, como el nitrógeno ionizado y el nitrógeno atómico, como se muestra en la Fig. 7(b). La concentración de dopaje se puede controlar mediante la potencia del plasma, y la energía cinética del nitrógeno ionizado se mantiene muy baja. Por lo tanto, se minimiza el daño superficial del proceso de plasma, lo que permite un dopaje de tipo p eficaz de la monocapa WS₂transistores (Figs. 7(c) y 7(d)) [66]. Por otro lado, el dopaje sustitutivo de dopantes metálicos (cationes) se puede lograr mediante *in situ* Método de crecimiento. El elemento Nb (cinco electrones) se ha utilizado para materiales TMD dopados con p-dopaje, reemplazando Mo o W con seis electrones de valencia [65, 67–69]; de forma similar, el Re con siete electrones de valencia podría utilizarse para dopar materiales TMD con n-dopaje [70]. Se han aplicado diversos métodos de dopaje sustitutivo para semiconductores 2D, como se resume en la Tabla 1, y se ha demostrado un inversor lógico CMOS basado en esta técnica [65].

Alternativamente, SCTD ha atraído recientemente una considerable

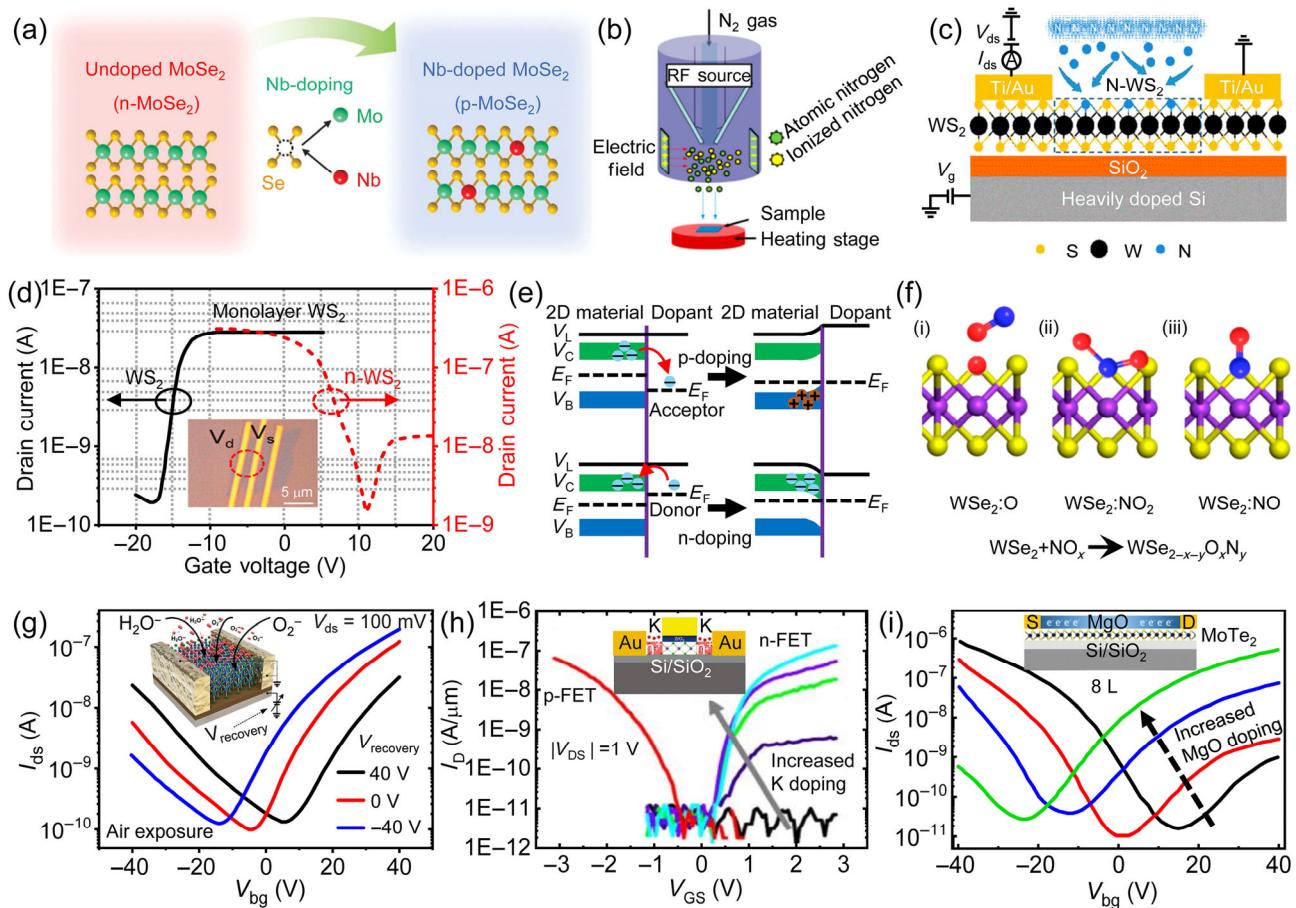


Figura 7(a) Ilustración esquemática del dopaje sustitutivo de cationes en semiconductores 2D (reproducido con autorización de la referencia [65], © Wiley-VCH Verlag GmbH & Co. KGaA 2015). **(b) y (c)** Diagrama esquemático del proceso de dopaje sustitutivo de aniones en semiconductores 2D mediante tratamiento con plasma de nitrógeno. **(d)** I_{ds} - V_{gs} Características de transferencia de la monolapa prística WS₂y WS dopado con nitrógeno₂FET que demuestran un claro dopaje de tipo p. **(b)-(d)** se reproducen con autorización de la referencia [66], © American Chemical Society 2018. **(e)** Diagrama esquemático de bandas antes y después de la SCDT de tipo p o n (reproducido con autorización de la referencia [71], © Wiley-VCH Verlag GmbH & Co. KGaA 2016). **(f)** Ilustración esquemática de la SCDT entre NO gaseoso._{incógnita} Tratamiento superficial por quimisorción (reproducido con autorización de la Ref. [72], © American Chemical Society 2014). **(g)** El control MoTe₂:comportamiento del transistor utilizando diferentes voltajes de polarización de compuerta ($V_{recovery}$). El recuadro muestra la vista esquemática de la exposición al aire de MoTe₂:Transistor con absorción de agua u oxígeno en el proceso de dopaje de tipo p (reproducido con permiso de la referencia [73], © Wiley-VCH Verlag GmbH & Co. KGaA 2018). **(h)** SCDT mediante el depósito de capas delgadas de K sobre WSe₂:FET, donde la concentración de dopaje n aumenta con el tiempo de deposición (reproducido con autorización de la Ref. [75], © American Chemical Society 2014). **(i)** Control de polaridad mediante la integración de una capa fina de MgO sobre MoTe₂:FET, donde la polaridad cambia gradualmente de tipo p a tipo n a medida que aumenta el espesor de MgO (reproducido con permiso de la Ref. [79], © Wiley-VCH Verlag GmbH & Co. KGaA 2018).

Intereses para el dopaje confiable de semiconductores 2D. El enfoque SCDT utiliza la transferencia de carga superficial entre los semiconductores 2D y los materiales dopantes, lo cual contrasta marcadamente con el método de dopaje sustitucional con dopantes externos a la red 2D y, por lo tanto, con el potencial de cambio o daño en la red. Dentro del enfoque SCDT, el potencial incorporado se genera típicamente entre la capa 2D y la capa dopante debido a su diferencia de energía, lo que provoca la flexión de banda y la transferencia de carga entre ambas. Por ejemplo, en la Fig. 7(e) [71] se ilustra un diagrama esquemático de energía para el comportamiento del aceptor y el donante antes y después del proceso SCDT de tipo p o n. Cuando el material 2D muestra un nivel de Fermi más alto (m_F) en comparación con la de la capa dopante, los electrones se mueven desde el semiconductor a los dopantes de la superficie hasta llegar a un equilibrio, lo que conduce al dopaje de tipo p del semiconductor 2D. De manera similar, el SCDT de tipo n se logra cuando el material 2D exhibe menor m_F

que los dopantes.

Se han demostrado y resumido en la Tabla 1 diversos enfoques de SCDT para semiconductores 2D. Dependiendo de los materiales dopantes, generalmente se clasifican en dopaje gaseoso, dopaje con metales o compuestos metálicos, así como dopaje con moléculas orgánicas. El dopaje con gas se basa en la adsorción de gas en

La superficie 2D se puede controlar mediante la temperatura de procesamiento (con diferente energía de adsorción). Por ejemplo, el dopaje degenerado de tipo p de WSe₂:El FET se realiza mediante NO_{incógnita} Tratamiento superficial de quimisorción a 150 °C, donde el mecanismo de dopaje puede atribuirse en gran medida a la formación de WSe_{2-x-y}OH_{incógnita} (como NO₂O para SCDT y O para sustitución, Fig. 7(f)) especies entre NO_{incógnita} y defectos de la vacante Se en el WSe₂:superficie [72]. Además, la adsorción de moléculas de gas también se puede modular mediante el uso de un voltaje de puerta trasera adicional o procesos electrotérmicos para dispositivos, donde los dopantes absorbidos, como el O₂ o H₂, las moléculas de O pueden desorberse del MoTe₂:Adsorbentes de superficie. Por ejemplo, MoTe₂:El transistor está dopado con p mediante la absorción de agua u oxígeno y, mediante un proceso de dopaje por recocido, se modifica la polaridad de MoTe₂:El transistor se puede cambiar de tipo p a tipo n (Fig. 7(g)) [73]. Esta técnica de dopaje controlable con precisión se puede aplicar en el mismo MoTe₂: Escama para la demostración de varias funciones lógicas CMOS como inversor, NAND y NOR, revelando el potencial del dopaje por adsorción en dispositivos microelectrónicos.

Por otro lado, se pueden utilizar metales o compuestos metálicos como material dopante e integrarlos en la parte superior de semiconductores 2D.

Tabla 1 Enfoques de dopaje de semiconductores 2D^a

Tipo de dopaje	Dopante	Tipo	Canal 2D	Método material	Arbitro.
Dopaje por sustitución	Nótese bien	tipo p	Ministerio de Estados	ECV	[67]
	Nótese bien	tipo p	Ministerio de Estados	A MÍ	[68]
	Nótese bien	tipo p	MoSe ₂	A MÍ	[65]
	Nótese bien	tipo p	WS ₂	ECV	[69]
	PAG	tipo p	Ministerio de Estados	A MÍ	[94]
	O	tipo p	MoSe ₂	ECV	[95]
	Mn/Cr	tipo p/n	Ministerio de Estados	ECV	[96]
Anión	Zinc	tipo p	Ministerio de Estados	ECV	[97]
	Sí	tipo n	WS ₂	ECV	[98]
	norte	tipo p	WS ₂	A MÍ	[66]
	Re	tipo n	Ministerio de Estados	ECV	[70]
	Sí	tipo n	SnS ₂	A MÍ	[99]
Gas	NO ₂	tipo p	WSe ₂	A MÍ	[72, 100]
	Cl	tipo n	WS ₂ /MoS ₂	A MÍ	[101]
	OH ₂	tipo p	Mota ₂	A MÍ	[85]
	OH ₂ /H ₂ OH	tipo p	Mota ₂	A MÍ	[73]
SCTD	K	tipo n	WSe ₂	A MÍ	[74, 75]
	K	tipo n	Presión arterial	A MÍ	[102]
	Cu	tipo n	Presión arterial	A MÍ	[77]
	Alabama	tipo n	Presión arterial	A MÍ	[103–105]
	Alabama	tipo n	Mota ₂	A MÍ	[76]
	AuCl ₃	tipo p	Ministerio de Estados	A MÍ	[81–83]
	ATO	tipo n	Ministerio de Estados	A MÍ	[106]
	Alabama:O ₂	tipo n	Mota ₂	A MÍ	[80]
	Alabama:O ₂	tipo n	Mota ₂	ECV	[107]
	IGZO	tipo p	Ministerio de Estados	A MÍ	[108]
	MgO	tipo n	Presión arterial	A MÍ	[78]
	MgO	tipo n	Mota ₂	A MÍ	[79]
Moléculas orgánicas	Mugir ₃	tipo p	WSe ₂	A MÍ	[109]
	BV	tipo n	Ministerio de Estados	A MÍ	[82, 84]
	BV	tipo n	Mota ₂	A MÍ	[85]
	PDPP3T	tipo n	Ministerio de Estados	A MÍ	[52]
	OET	tipo p	WSe ₂	A MÍ	[90]
	MEA/FDT	tipo n/p	Ministerio de Estados	A MÍ	[87]
	OTS/APTES	tipo p/n	WSe ₂ /MoS ₂	A MÍ	[91]
	F ₄ TCNQ-PMMA	tipo p	WSe ₂	A MÍ	[92]
	PPPh ₃	tipo n	Ministerio de Estados	A MÍ	[93]
	PFS/AHAPS	tipo p/n	WSe ₂	A MÍ	[89]
	MEGABYTE	tipo p	Ministerio de Estados	A MÍ	[110]
	Sombrero-CN	tipo p/n	Mota ₂ /MoS ₂	A MÍ	[111]
	NADH	tipo n	Ministerio de Estados	A MÍ	[112]
4-NBD/DETA	MMA/PMMA	tipo p	PtSe ₂	ECV	[113]
	4-NBD/DETA	tipo p/n	WSe ₂	ECV	[114]

^aME: exfoliación mecánica; PDPP3T: poli(dicetopirrolópirrol-tertiofeno); MEA: mercaptoetilamina; FDT: 1H,1H,2H,2H-perfluorodecanotiol; PMMA: polí(metacrilato de metilo); PFS: tricloro(1H,1H,2H,2H-perfluoroctil)silano; AHAPS: N-[3-(trimetoxisilil)propil]etilendiamina; MB: hexacloroantimonato de tris(4-bromofenil)amonio; HAT-CN: hexaazatrafenilenhexacarbonitrilo; NADH: dinucleótido de nicotinamida y adenina; MMA: metacrilato de metilo; 4-NBD: tetrafluoroborato de 4-nitrobencenodiazonio; DETA: dietilentriiamina.

Inductores mediante deposición térmica al vacío/haz de electrones. Por ejemplo, mediante la deposición térmica de baja función de trabajo K en el canal de WSe₂. El transistor tipo p original se cambia a un dispositivo tipo n de buen comportamiento [74, 75]. Más importante aún, la concentración de dopaje se puede controlar mediante el tiempo de deposición y, por lo tanto, el espesor de la película (Fig. 7(h)), lo que conduce a la demostración del inversor CMOS de alto rendimiento [75]. De manera similar, también se ha demostrado que la deposición de metales Al y Cu con baja función de trabajo es eficaz.

droga MoTe₂[76] y BP [77], respectivamente. En esta técnica, se suelen utilizar velocidades de deposición bajas y tiempos de deposición cortos (en segundos) para que el dopante depositado funcione como un átomo adátono, en lugar de una película metálica continua para acortar el canal. Además de los dopantes metálicos, también se puede utilizar óxido metálico para dopar el material huésped 2D. Por ejemplo, se ha demostrado que el MgO evaporado es un material aislante con afinidad electrónica negativa, lo que podría...

Reducir la función de trabajo y dopar con n los semiconductores 2D [78, 79]. La concentración de dopaje y el voltaje umbral del transistor pueden modularse aún más mediante el espesor del MgO depositado, como se muestra en la Fig. 7(i). Con esta técnica, el inversor CMOS se construye sobre un MoTe de 8 capas de espesor, dispositivo, con una ganancia de voltaje de 26 [79]. De manera similar, el tipo n de MoTe₂. También se realiza mediante la deposición de Al₂O₃ mediante el proceso ALD [80]. Por otro lado, los compuestos metálicos de dopantes de tipo p se han utilizado ampliamente para modular la polaridad del dopaje. AuCl₃ con un potencial de reducción positiva más alto, es el dopante de tipo p más frecuente para materiales en capas 2D [81–83].

La SCTD de moléculas orgánicas en materiales 2D generalmente se controla mediante los grupos atractores o donantes de electrones en las moléculas, y puede lograrse mediante el sencillo proceso de recubrimiento por centrifugación, lo que ofrece el potencial de ser un método de dopaje económico y a gran escala. Por ejemplo, se ha demostrado que el bencenoviológeno (BV), fuertemente reductor, produce dopaje n en el MoS₂ [82, 84]. Dado que cada molécula de BV podría donar 2 electrones a MoS₂, alta concentración de dopaje (densidad de lámina de ~ 1,2 × 10¹³ centímetro⁻²) se logra una degeneración cercana [84]. De manera similar, también se informa sobre el uso de dopaje n mediante BV para otros semiconductores 2D como MoTe₂, demostrando MoTe lateral:Unión p-n con factor de idealidad de 1,2 [85]. Además, la abundancia de grupos funcionales en materiales orgánicos puede adaptar la transferencia de carga con materiales hospedantes 2D. Entre las funciones de esas moléculas orgánicas

grupos, -SH, -OH, -NH₂, y el bencilo como dopantes de tipo n donan electrones a materiales anfítriones 2D [84, 86–88], y -CF₃Es probable que induzca dopaje de huecos debido a la alta electronegatividad del elemento F [87, 89]. Con base en estos enfoques de SCTD, se han utilizado diversos materiales químicos orgánicos para dopar semiconductores 2D, incluyendo octadeciltriclorosilano (OTS, dopaje n [90]), 3-aminopropiltriethoxsilano (APTES, dopaje n [91]), tetrafluoro-tetracianoquinodimetano (F₄TCNQ, p-dope [92]) y trifenilfosfina (PPh₃, n-dope [93]), también se resumen en la Tabla 1.

3.3 Ingeniería de contactos

Se podrían utilizar metales con diferente función de trabajo para modular la altura de la barrera Schottky (SBH) en las uniones metal-2D, lo que permite controlar el tipo de portador mayoritario. Por ejemplo, el metal Al tiene una función de trabajo baja de 4,1 eV, cercana a la energía del WSe₂ banda de conducción y, de manera similar, Au tiene una función de trabajo alta ~ 5,1 eV, que coincide bien con la banda de valencia de WSe₂. Por lo tanto, simplemente depositando Al o Au sobre WSe₂Se observan dispositivos PMOS y NMOS para WSe₂ multicapa₂, lo que lleva a la demostración de un inversor con buen comportamiento, como se muestra en las figuras 8(a) y 8(b) [115]. Sin embargo, debido al proceso de deposición de metal de alta energía y al daño correspondiente al delicado canal 2D, se observa típicamente un fuerte efecto de fijación del nivel de Fermi (FLP) y, en gran medida, una barrera Schottky.

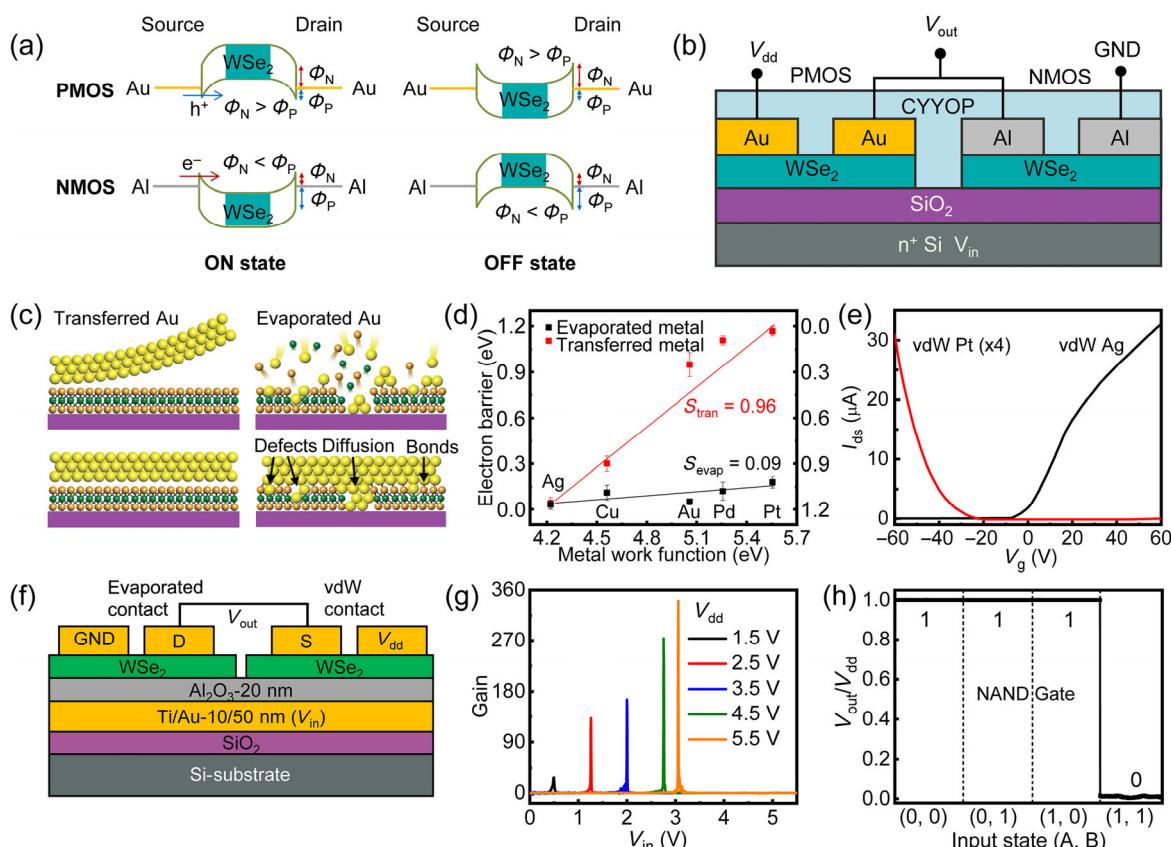


Figura 8(a) Diagrama de bandas de energía de WSe₂-FET de tipo p y tipo n que utilizan electrodos metálicos con diferentes funciones de trabajo. **(b)** Ilustración esquemática del WSe₂-Inversor CMOS con electrodos de contacto de Au y Al. Reproducido con autorización de la referencia [115], © IOP Publishing, Ltd 2016. **(c)** Vistas transversales del MoS₂ Transistores mediante el uso de electrodos de Au vdw y electrodos de Au depositados por haz de electrones convencionales, donde las interfaces metal-semiconductor vdw crean interfaces atómicamente limpias y nítidas con estados superficiales minimizados. **(d)** Relación entre SBH y la función de trabajo del metal para MoS₂ transistores que utilizan tanto metales vdw como metales evaporados convencionales, donde el metal vdw-MoS₂La unión muestra una altura de barrera altamente ajustable que se aproxima al límite de Schottky-Mott. **(e)** I_{ds} – V_g características de transferencia de MoS₂transistor que utiliza metales vdw Pt y Ag, lo que demuestra el control de la polaridad del dispositivo utilizando diferentes funciones de trabajo del metal. **(c)–(e)** se reproducen con permiso de la referencia [33], © Macmillan Publishers Limited 2018. **(f)** Esquema de WSe₂-Inversor fabricado utilizando electrodos de Au del mismo metal con diferentes enfoques de metalización, donde el método de integración vdw produce PMOS y el método de evaporación produce NMOS. **(g)** Las ganancias de voltaje del inversor correspondientes bajo diferentes voltajes de polarización. **(h)** Las funciones lógicas de entrada-salida de las puertas NAND y NOR fabricadas mediante la integración vdw y los electrodos de Au de evaporación en WSe₂, respectivamente. **(f)–(h)** se reproducen con permiso de la Ref. [123], © Kong, L. et al. 2020.

independientemente de la función de trabajo del metal utilizada [116–118]. El fuerte efecto FLP plantea dos limitaciones graves para el desarrollo de inversores CMOS de alto rendimiento basados en este enfoque.

En primer lugar, el SBH cambia poco con la función de trabajo del metal; por lo tanto, se observa típicamente una barrera Schottky grande independientemente de la función de trabajo del metal utilizada, lo que resulta en resistencias de contacto altas, baja corriente de excitación y un rendimiento indeseado del dispositivo. Para solucionar este problema, el uso de diferentes metales (para lograr el control de polaridad) suele complementarse con dopaje químico del canal o dopaje de la región de contacto para reducir el ancho de la barrera Schottky y lograr contacto óhmico. Por ejemplo, con el F₄T₁CNQ-PMMA (p-dopante) sobre WSe₂. Los dispositivos CMOS de alto rendimiento con canal de entrada se logran [92] con contactos metálicos de Ag y Pt, respectivamente. En segundo lugar, dado que el SBH solo cambia un valor finito con diferentes funciones de trabajo del metal, esta estrategia de control de polaridad se limita en gran medida a semiconductores ambipolares 2D [119–121] como el WSe₂, MoTe₂, BP, donde el nivel de Fermi se encuentra en el centro de la banda prohibida. Para reducir el efecto de fijación del nivel de Fermi y lograr una alineación de banda altamente deseable para semiconductores más bidimensionales, se ha desarrollado recientemente la unión metal-semiconductor vdW [33, 34, 122]. Con este enfoque, los metales tridimensionales (con superficie atómica plana y diferentes funciones de trabajo) se prefabrican en una oblea de sacrificio y luego se laminan físicamente sobre semiconductores bidimensionales (Fig. 8(c)). Dado que el proceso de deposición de metal de alta energía solo se realiza en la oblea de sacrificio, se minimiza el daño inducido por la fabricación previa a la delicada red bidimensional, lo que resulta en interfaces vdW atómicamente limpias y eléctricamente nítidas. Por lo tanto, el SBH medido cambia linealmente con la función de trabajo del metal, acercándose a la definida por la regla de Schottky-Mott, como se muestra en la Fig. 8(d). Utilizando este método, la polaridad de MoS₂. Los transistores se pueden conmutar fácilmente mediante metales de integración de vdW con diferentes funciones de trabajo y, al mismo tiempo, con un alto rendimiento del dispositivo. Por ejemplo, al seleccionar metales de integración de vdW (Ag o Pt) con una función de trabajo que coincide con la del MoS₂. borde de la banda de conducción o de valencia,

Alta movilidad máxima de electrones de dos terminales ($260 \text{ cm}^2/(\text{V}\cdot\text{s})$) y movilidad máxima del agujero ($175 \text{ cm}^2/(\text{V}\cdot\text{s})$) se demuestran a temperatura ambiente (Fig. 8(e)) [29], respectivamente. Esta técnica proporciona un método sin dopaje para controlar la polaridad del MoS₂, que normalmente se considera un semiconductor 2D de tipo n, y es difícil cambiar su tipo de portador mayoritario utilizando únicamente diferentes metales de contacto. Además de la integración de metal 3D con vdW, el grafeno 2D también se ha utilizado como electrodo de vdW para desacoplar las uniones semiconductoras metálicas, lo que permite cambiar el portador mayoritario del dispositivo [39]. Sin embargo, este método puede requerir la ayuda de un electrodo de puerta adicional para modular la función de trabajo del grafeno, lo que supone una limitación para su aplicación práctica.

Aunque la ingeniería de contacto (basada en diferentes metales) ha demostrado el control de polaridad deseado, este enfoque implica el uso de dos metales diferentes, lo que complicaría considerablemente el proceso de fabricación. Para superar esta limitación, recientemente se ha demostrado una estrategia de control de polaridad utilizando el mismo metal de contacto (oro) y los mismos materiales de canal, pero con diferentes métodos de integración de metales. Mediante la integración de vdW con electrodos de Au, se observa una robusta característica PMOS en WSe₂ multicapa,² transistores, en gran contraste con los NMOS fabricados en el mismo WSe₂. Lasa utilizando contactos de Au depositados convencionales, como se muestra en la Fig. 8(f). Con la capacidad de controlar la polaridad de WSe₂ transistores que utilizan el mismo metal de contacto, el inversor lógico se demuestra con una ganancia de voltaje más alta de 340 (a V_{dd} de 5,5 V (Fig. 8(g)) y un margen de ruido total superior al 90 %. Además, esta estrategia de integración de contactos se extiende para implementar funciones lógicas más complejas, como NAND y NOR, como se muestra en la Fig. 8(h) [123]. Para aumentar aún más la ganancia de voltaje, se debe utilizar un dieléctrico de alta k con un espesor más delgado para mejorar la controlabilidad de la puerta hacia el canal. Además, la reducción de la resistencia de contacto y el equilibrio entre PMOS y NMOS también contribuyen a la mejora de la ganancia.

3.4 Dopaje electrostático y control de polaridad

Otro enfoque para habilitar el control de polaridad y las funciones CMOS

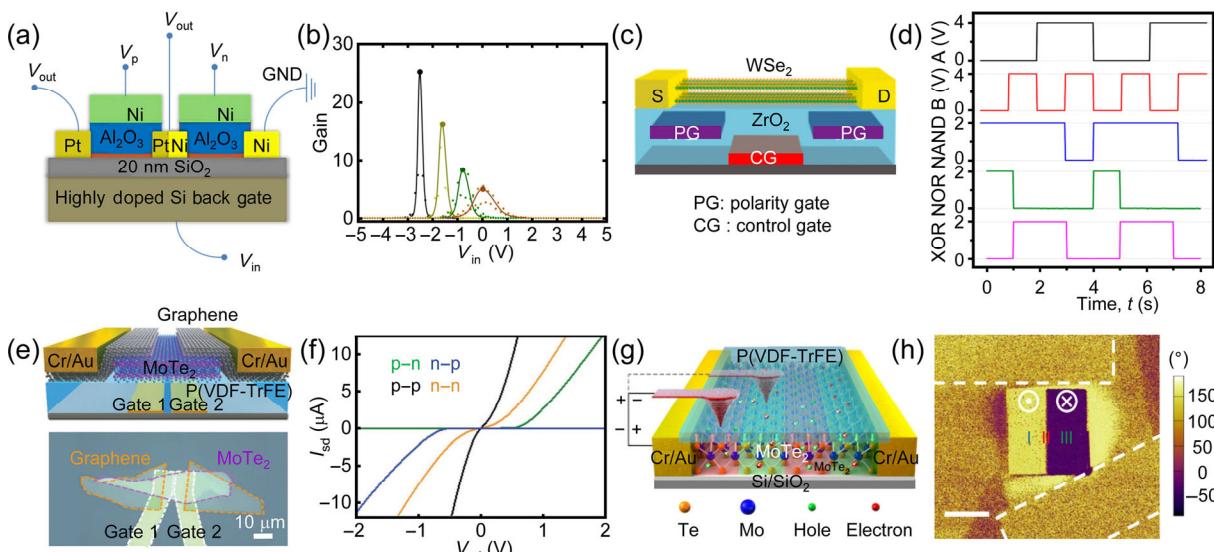


Figura 9(a) El dopaje electrostático de WSe₂Transistores que utilizan dos electrodos de puerta de control, donde los voltajes de puerta superior se utilizan para modular la polaridad del transistor individualmente y lograr la función de inversor CMOS. (b) Ganancia de voltaje del WSe₂correspondiente a inversor con varias diferencias de voltaje de control. (a) y (b) se reproducen con permiso de la referencia [124], © AIP Publishing LLC 2014. (c) La ilustración esquemática de WSe₂Control de polaridad del transistor usando CG y PG. (d) Las funciones lógicas de 2 entradas de las puertas NAND, NOR y XOR usando WSe₂transistores con CG y PG. (c) y (d) se reproducen con permiso de la Ref. [125], © American Chemical Society 2018. (e) Modulaciones ferroeléctricas (usando PVDF como capa dieléctrica) del MoTe₂Estructura del transistor (arriba) e imagen óptica del dispositivo correspondiente. (f) I_{ds} - V_{sd} curvas de salida mediante el uso de una puerta inferior localizada para dopar diferentes regiones. (e) y (f) se reproducen con permiso de la referencia [126], © Wiley-VCH Verlag GmbH & Co. KGaA 2020. (g) Dominios ferroeléctricos controlados por sonda del MoTe₂homojunión lateral, utilizando la punta del AFM en lugar de electrodos de puerta fija. (h) Diagrama de fase PFM de diferentes MoTe₂región, lo que demuestra la modulación efectiva de la punta de la polaridad del dispositivo. (g) y (h) se reproducen con permiso de la Ref. [127], © Wu, GJ et al., bajo licencia exclusiva de Springer Nature Limited 2020.

Es el dopaje electrostático de semiconductores 2D. Como se muestra en la Fig. 9(a), dos puertas de control divididas (CG, también denominadas puertas de polaridad: PG) se depositan sobre transistores 2D. Durante el funcionamiento del dispositivo, se aplican voltajes opuestos a las dos puertas de control, lo que permite definir individualmente las regiones de tipo p y tipo n controladas espacialmente (bajo los electrodos de la puerta), lo que conduce a la demostración de inversores CMOS de alto rendimiento. Es importante destacar que la concentración de dopaje y el voltaje umbral de cada región (ya sea de tipo p o tipo n) se pueden controlar con precisión mediante el voltaje de la puerta de polaridad, lo que ofrece un mayor grado de libertad para diseñar el comportamiento de la función lógica CMOS resultante. Por ejemplo, al cambiar la diferencia de voltaje entre dos puertas de control, se pueden modular el voltaje de conmutación y la ganancia del inversor, como se muestra en la Fig. 9(b) [124]. Basándose en un concepto similar de dopaje electrostático, se han demostrado funciones lógicas CMOS funcionales y completas, incluyendo inversor, NAND, NOR, XOR de 2 entradas, XOR de 3 entradas y mayoritario (MAJ), como se muestra en las figuras 9(c) y 9(d) [125]. Gracias a la alta reconfigurabilidad del dispositivo mediante puerta electrostática, su estructura permite realizar funciones específicas con menos transistores que el diseño CMOS convencional. Por ejemplo, la lógica XOR-2 se implementa con solo cuatro dispositivos con polaridad controlable, a diferencia de los 8 transistores requeridos con el diseño CMOS convencional.

Por otro lado, al igual que en el dopaje por contacto (discutido en la Sección 3.3), los métodos de dopaje electrostático de puerta dividida aún presentan dos limitaciones. En primer lugar, para utilizar este esquema de dopaje, el semiconductor 2D debe conmutarse eléctricamente entre tipo n y tipo p, donde los contactos deben ser capaces de inyectar electrones y huecos en función de la tensión de la puerta de control. Por lo tanto, este método se limita principalmente a transistores 2D ambipolares, como el WSe₂, MoTe₂, BP [119–121]. En segundo lugar, se requiere la fabricación de puertas de control adicionales (así como de un dieléctrico de puerta), lo que no solo complica el proceso de fabricación del dispositivo, sino que también requiere un potencial fijo aplicado al electrodo de puerta para mantener el tipo de portador mayoritario.

Para evitar el uso de voltaje adicional en la puerta de control, la polaridad del transistor se puede modular mediante materiales ferroeléctricos, lo que aprovecha la no volatilidad de los campos electrostáticos en la interfaz entre el material ferroeléctrico y el semiconductor 2D. Por ejemplo, al utilizar polímero ferroeléctrico y un electrodo de puerta adicional para controlar su dirección de polarización, se modifica la polaridad del MoTe₂. El canal puede conmutarse entre tipo n y tipo p (Figs. 9(e) y 9(f)) [126]. Cabe destacar que los campos eléctricos ferroeléctricos y el tipo de portador mayoritario se conservan al eliminar el voltaje de la puerta de control, lo que simplifica enormemente el funcionamiento del dispositivo y demuestra ventajas sobre el método de dopaje electrostático previo. Además, para evitar la existencia de un electrodo físico de la puerta de control (para polarizar el ferroeléctrico) y simplificar el proceso de fabricación del dispositivo, se demuestra la modulación de dominios ferroeléctricos basada en la punta con formas y tamaños altamente controlados. Como se muestra en la Fig. 9(g), se utiliza una punta conductora de AFM para programar el polímero ferroeléctrico (PVDF) ferroeléctrico, fabricando así una estructura de unión p-n-p-n lateral en MoTe₂, lo que se puede verificar a través del diagrama de fases de la microscopía de fuerza piezorespuesta (PFM) (Fig. 9(h)) [127].

4 Perspectiva

Si bien se han demostrado numerosos avances en el control de la polaridad de dispositivos y la realización de funciones CMOS 2D complejas, aún existen desafíos para su aplicación práctica. Un problema importante es la estabilidad de la técnica de control de polaridad, en particular para los enfoques de dopaje químico basados en...

sobre la absorción superficial. Por ejemplo, en el WSe dopado con p- transistor por NO₂, la densidad de corriente en estado activo se reduce aproximadamente un 72 % después de 36 h de exposición al aire [72], lo que se puede atribuir en gran medida a la desorción del NO absorbido físicamente. Aunque la estabilidad podría mejorarse en gran medida utilizando productos químicos más estables (como OTS con -CH₃ grupos) o PPh hidrófobo:polímero orgánico (PPh₃ con enlaces C-H hidrofóbicos), todavía se observa una disminución en la corriente con una caída del 31 % para el dopaje OTS (después de 3 días) y del 6 % para PPh₃Dopaje (después de 14 días) [90, 128]. De igual manera, el enfoque de ingeniería de contactos (para el control de la polaridad) también muestra poca estabilidad. Por ejemplo, MoTe₂Se han fabricado transistores con Au como contacto y BN como capa de encapsulación, donde se observa la característica del dispositivo PMOS en el dispositivo original. Curiosamente, tras un simple recocido térmico a 100 °C en gases inertes, la polaridad del dispositivo cambia de tipo p a tipo n, lo que se explica por la formación de Au-MoTe₂-Compuesto (con una función de trabajo menor en comparación con la del Au puro) tras el recocido térmico [129]. Con un aumento adicional de la temperatura, se espera que la inestabilidad del dispositivo lógico sea más grave, lo que limita la operación de conducción de corrientes elevadas (con un fuerte calentamiento Joule y una temperatura local elevada), así como los procesos de fabricación posteriores.

La escalabilidad y la uniformidad también son importantes para la fabricación a gran escala y para la demostración de circuitos o microprocesadores CMOS complejos. Si bien se ha demostrado que la exfoliación de dos láminas 2D diferentes logra diversas funciones lógicas, este enfoque es inherentemente no escalable. De igual manera, la polarización basada en la punta de un dieléctrico ferroeléctrico también puede presentar problemas de escalabilidad, ya que el movimiento relativamente lento de la punta y la limitada región y velocidad de escaneo de la punta pueden limitar el número y el rendimiento de los transistores fabricados. Para ello, el enfoque de CVD ha demostrado semiconductores 2D a escala de oblea [17, 30], pero la calidad suele ser inferior en comparación con sus contrapartes exfoliadas. Además, dado que el enfoque de CVD se basa en un flujo de gas no uniforme, la uniformidad del material cultivado en toda la oblea (p. ej., una oblea de 4 pulgadas) requiere una mayor verificación estadística y análisis de calidad. Una vez resueltos estos desafíos, no parece haber mayores obstáculos para seguir escalando los semiconductores 2D y fabricar dispositivos lógicos y circuitos integrados más complejos. Dado el corto historial y el MoS ya demostrado.² micropresores, creemos que la investigación de circuitos lógicos en semiconductores 2D está recién comenzando y continuará expandiéndose hacia la aplicación práctica.

Expresiones de gratitud

Los autores agradecen el apoyo financiero de la Fundación Nacional de Ciencias Naturales de China (n.os 51991340, 51991341, 51802090 y 61874041) y del Fondo de Ciencias de Hunan para Jóvenes Académicos Excelentes (n.o 812019037).

Referencias

- [1] Radisavljevic, B.; Radenovic, A.; Brivio, J.; Giacometti, V.; Kis, A. MoS de una sola capa/transistores. *Nat. Nanotecnología*. **2011**, *6*, 147–150.
- [2] Wang, QH; Kalantar-Zadeh, K.; Kis, A.; Coleman, JN; estrano, Maestría en Electrónica y optoelectrónica de dícalcogenuros de metales de transición bidimensionales. *Nat. Nanotecnología*. **2012**, *7*, 699–712.
- [3] Fiori, G.; Bonaccorso, F.; Iannaccone, G.; Palacios, T.; Neumaier, D.; Seabaugh, A.; Banerjee, SK; Colombo, L. Electrónica basada en materiales bidimensionales. *Nat. Nanotecnología*. **2014**, *9*, 768–779.
- [4] Chhowalla, M.; Jena, D.; Zhang, H. Semiconductores bidimensionales para transistores. *Nat. Rdo. Materia*. **2016**, *1*, 16052.
- [5] Liu, Y.; Duan, XD; Huang, Y.; Duan, XF Transistores bidimensionales más allá del grafeno y los TMDC. *Química. Sociedad. Rdo.* **2018**, *47*, 6388–6409.

- [6] Li, L.; Han, W.; Pi, Lj; Niu, P.; Han, JB; Wang, CL; Su, B.; Li, HQ; Xiong, J.; Bando, Y. et al. Materiales bidimensionales anisotrópicos emergentes en el plano. *InfoMat***2019**, *1*, 54–73.
- [7] Kapper, R.; Voiry, D.; Yalcin, SE; Rama, B.; Gupta, G.; mohita, AD; Chhowalla, M. Contactos de baja resistencia diseñados por fase para MoS ultradelgados:transistores. *Nat. Materia***2014**, *13*, 1128–1134.
- [8] Liu, Y.; Guo, J.; Wu, YC; Zhu, EB; Weiss, NO; El, QY; Wu, H; Cheng, HC; Xu, Y.; Shakir, I. et al. Superando el límite de rendimiento de los transistores de disulfuro de molibdeno sub-100 nm. *Nano Lett.* **2016**, *16*, 6337–6342.
- [9] Desai, SB; Madhvapathy, SR; Sachid, AB; Llinas, JP; Wang, QX; Ahn, GH; Pitner, G.; Kim, MJ; Bokor, J.; Hu, CM y cols. MoS₂ transistores con longitudes de puerta de 1 nanómetro. *Ciencia***2016**, *354*, 99–102.
- [10] Cheng, R.; Jiang, S.; Chen, Y.; Liu, Y.; Weiss, N.; Cheng, HC; Wu, H; Huang, Y.; Duan, XF Transistores de disulfuro de molibdeno de pocas capas y circuitos para electrónica flexible de alta velocidad. *Nat. Comun.* **2014**, *5*, 5143.
- [11] Li, J.; Yang, XD; Liu, Y.; Huang, BL; Wu, RX; Zhang, ZW; Zhao, B.; Mamá, HF; Maldita sea, WQ; Wei, Z. y col. Síntesis general de conjuntos de heteroestructuras bidimensionales de van der Waals. *Naturaleza***2020**, *579*, 368–374.
- [12] Li, XF; Yu, ZQ; Xiong, X.; Li, TY; Gao, TT; Wang, RS; Huang, R.; Wu, YQ Los transistores de efecto de campo de fósforo negro de alta velocidad se acercan al límite balístico. *Ciencia.Adelante***2019**, *5*, eaau3194.
- [13] Wikipedia. *La hoja de ruta tecnológica internacional para semiconductores* [En línea]. <https://en.academic.ru/dic.nsf/enwiki/1561398> (consultado el 25 de abril de 2020).
- [14] English, CD; Shine, G.; Dorgan, VE; Saraswat, KC; Pop, E. Contactos mejorados con MoS₂transistores por deposición de metales en ultra alto vacío. *Nano Lett.* **2016**, *16*, 3824–3830.
- [15] Yan, RH; Ourmazd, A.; Lee, KF Escalamiento del MOSFET de Si: de masivo a SOI a masivo. *Trans. IEEE.Desarrollo electrónico***1992**, *39*, 1704–1710.
- [16] Lin, ZY; Liu, Y.; Halim, U.; Ding, MN; Liu, YY; Wang, YL; Jia, CC; Chen, P.; Duan, XD; Wang, C. et al. Semiconductores 2D procesables en solución para electrónica de área grande y alto rendimiento. *Naturaleza***2018**, *562*, 254–258.
- [17] Yu, H.; Liao, MZ; Zhao, WJ; Liu, GD; Zhou, XJ; Wei, Z.; Xu, XZ; Liu, KH; Hu, ZH; Deng, K. et al. Crecimiento y transferencia a escala de oblea de MoS monocapa altamente orientadas.:películas continuas. *Nano ACS***2017**, *11*, 12001–12007.
- [18] Wachter, S.; Polyushkin, DK; Bethge, O.; Mueller, T. Un microprocesador basado en un semiconductor bidimensional. *Nat. Comun.* **2017**, *8*, 14948.
- [19] Zhang, ZH; Wang, ZW; Shi, T.; Bi, C.; Rao, F.; Cai, YM; Liu, Q.; Wu, HQ; Zhou, P. Materiales y dispositivos de memoria: del concepto a la aplicación. *InfoMat***2020**, *2*, 261–290.
- [20] Yu, LL; El-Damak, D.; Radhakrishna, U.; Ling, X.; Zubair, A.; Lin, YX; Zhang, YH; Chuang, MH; Lee, YH; Antoniadis, D. et al. Diseño, modelado y fabricación de MoS cultivado mediante deposición química de vapor:Circuitos con FET de modo E para electrónica de gran área. *Nano Lett.* **2016**, *16*, 6349–6356.
- [21] Cheng, ZH; Abuzaid, H.; Yu, YF; Zhang, F.; Li, YL; Noyce, SG; Williams, NX; Lin, YC; Doherty, JL; Tao, CG et al. Alteración por haz de iones convergente de materiales 2D e interfaces metal-2D. *Materia 2D***2019**, *6*, 034005.
- [22] Iberi, V.; Liang, LB; Ievlev, AV; Stanford, MG; Lin, MW; Li, XF; Mahjouri-Samani, M.; Jesé, S.; Sumpter, BG; Kalinin, SV y cols. MoSe de una sola capa de nanoforja:mediante ingeniería de defectos con haces de iones de helio enfocados. *Ciencia.Reps***2016**, *6*, 30481.
- [23] Stanford, MG; Pudasaini, PR; Belianinov, A.; Cruz, N.; No, J. H.; Koehler, señor; Mandrus, director general; Duscher, G; Rondinone, AJ; Ivanov, IN et al. Efectos de la irradiación enfocada de iones de helio sobre las propiedades de transporte eléctrico del WSe de pocas capas::Permitiendo homouniones de escritura directa a escala nanométrica. *Ciencia.Reps***2016**, *6*, 27276.
- [24] Shi, W.; Kahn, S.; Jiang, LL; Wang, SY; Tsai, HZ; Wong, D.; Taniguchi, T.; Watanabe, K.; Wang, F.; Crommie, MF et al. Escritura reversible de patrones de dopaje de alta movilidad y alta densidad de portadores en heteroestructuras de van der Waals bidimensionales. *Nat. Electrón***2020**, *3*, 99–105.
- [25] Bertolazzi, S.; Bonacchi, S.; Nan, GJ; Pershin, A.; Beljone, D.; Samori, P. Ingeniería de defectos químicamente activos en monocapa MoS₂ transistores mediante irradiación con haz de iones y su curación mediante deposición de vapor de alcanoileos. *Adelante.Materia***2017**, *29*, 1606760.
- [26] Lin, YC; Dumcenco, DO; Huang, YS; Suenaga, K. Mecanismo atómico de la transición de fase semiconductor a metálica en MoS de una sola capa. *Nat. Nanotecnología***2014**, *9*, 391–396.
- [27] Sutter, E.; Huang, Y.; Komsa, HP; Ghorbani-Asl, M.; Krasheninnikov, AV; Sutter, P. Transformaciones inducidas por haz de electrones de dicalcogenuros de estaño en capas. *Nano Lett.* **2016**, *16*, 4410–4416.
- [28] Radisavljevic, B.; Whitwick, MB; Kis, A. Circuitos integrados y operaciones lógicas basadas en MoS de una sola capa. *Nano ACS***2011**, *5*, 9934–9938.
- [29] Pu, J.; Funahashi, K.; Chen, CH; Li, MY; Li, LJ; Takenobu, T. Inversores complementarios altamente flexibles y de alto rendimiento de monocapas de dicalcogenuros de metales de transición de área grande. *Adelante.Materia***2016**, *28*, 4111–4119.
- [30] Kang, K.; Xie, SE; Huang, LJ; Han, YM; Huang, PY; Mak, K. F; Kim, CJ; Muller, D.; Park, J. Películas semiconductoras de alta movilidad de tres átomos de espesor con homogeneidad a escala de oblea. *Naturaleza***2015**, *520*, 656–660.
- [31] Huang, JK; Pu, J.; Hsu, CL; Chiu, MH; Juang, ZY; Chang, YH; Chang, WH; Iwasa, Y.; Takenobu, T.; Li, LJ Síntesis de área grande de WSe altamente cristalino:monocapas y aplicaciones de dispositivos. *Nano ACS***2014**, *8*, 923–930.
- [32] Wang, H.; Yu, L.; Lee, YH; Fang, W.; Hsu, A.; Herring, P.; Chin, M.; Dubey, M.; Li, LJ; Kong, J. et al. Electrónica 2D a gran escala basada en MoS monocapa:cultivado por deposición química de vapor. En *Actas de la Reunión Internacional de Dispositivos Electrónicos de 2012*, San Francisco, CA, EE. UU., 2012, págs. 4.6.1–4.6.4.
- [33] Liu, Y.; Guo, J.; Zhu, EB; Liao, L.; Lee, SJ; Ding, Minnesota; shakir, I.; Gambín, V.; Huang, Y.; Duan, XF Acerándose al límite de Schottky-Mott en uniones metal-semiconductores de van der Waals. *Naturaleza* **2018**, *557*, 696–700.
- [34] Jung, Y.; Choi, MS; Nipane, A.; Borah, A.; Kim, B.; Zangiabadi, A.; Taniguchi, T.; Watanabe, K.; Yoo, W.J.; Hone, J. et al. Transferencia mediante contactos como plataforma para transistores bidimensionales ideales. *Nat. Electrón***2019**, *2*, 187–194.
- [35] Choi, YK; Asano, K.; Lindert, N.; Subramanian, V.; King, TJ; Bokor, J.; Hu, CM MOSFET SOI de cuerpo ultrafino para la era de subdécimas de micras profundas. En *Actas de la Reunión Internacional de Dispositivos Electrónicos del IEEE de 1999*, Washington, DC, EE.UU., 1999, págs. 919–921.
- [36] Xu, H.; Zhang, HM; Guo, ZX; Shan, YW; Wu, suroeste; Wang, J. L.; Hu, WD; Liu, HQ; Sun, ZZ; Luo, C. et al. MoS de alto rendimiento a escala de oblea:Transistores hacia la aplicación práctica. *Pequeño***2018**, *14*, 1803465.
- [37] Liu, Y.; Wu, H.; Cheng, HC; Yang, S.; Zhu, EB; El, QY; Timbre, MN; Li, DH; Guo, J.; Weiss, NO et al. Hacia un contacto sin barreras con disulfuro de molibdeno utilizando electrodos de grafeno. *Nano Lett.* **2015**, *15*, 3030–3034.
- [38] Roy, T.; Tosun, M.; Kang, JS; Sachid, AB; Desai, SB; Hettick, M.; Hu, CC; Javey, A. Transistores de efecto de campo construidos a partir de componentes materiales bidimensionales. *Nano ACS***2014**, *8*, 6259–6264.
- [39] Chuang, HJ; Bronceado, XB; Ghimire, Nueva Jersey; Perera, MM; Cham de nuevo, B.; Cheng, MMC; Yan, JQ; Mandrus, D.; Tománek, D.; Zhou, ZX Alta movilidad WSe₂Transistores de efecto de campo de tipo p y n contactados con grafeno altamente dopado para contactos de baja resistencia. *Nano Lett.* **2014**, *14*, 3594–3601.
- [40] Yu, LL; Lee, YH; Ling, X.; Santos, EJG; Shin, YC; Lin, YX; Dubey, M.; Kaxiras, E.; Kong, J.; Wang, H. y col. Grafeno/MoS₂ Tecnología híbrida para electrónica bidimensional a gran escala. *Nano Lett.* **2014**, *14*, 3055–3063.
- [41] Dathbun, A.; Kim, Y.; Kim, S.; Yoo, Y.; Kang, MS; Lee, C.; cho, JH ReS sub-2 V cultivado mediante CVD de área grande:transistores y puertas lógicas. *Nano Lett.* **2017**, *17*, 2999–3005.
- [42] Zhao, M.; Ye, Y.; Han, YM; Xia, Y.; Zhu, HY; Wang, SQ; Wang, Y.; Muller, DA; Zhang, X. Ensamblaje químico a gran escala de transistores y circuitos atómicamente delgados. *Nat. Nanotecnología***2016**, *11*, 954–959.
- [43] Ling, X.; Lin, YX; Mamá, Q.; Wang, ZQ; Canción, Y.; Yu, LL; Huang, SX; Fang, WJ; Zhang, X.; Hsu, AL et al. Costura paralela de materiales 2D. *Adelante.Materia***2016**, *28*, 2322–2329.
- [44] Wu, RX; Tao, QY; Maldita sea, WQ; Liu, Y.; Li, B.; Li, J.; Zhao, B.; Zhang, ZW; Mamá, HF; Sun, GZ y col. epitaxial de van der Waals

- Crecimiento de metales 2D atómicamente delgados sobre WSe libre de enlaces colgantes y WS₂. *Adelante. Función. Materia.* **2019**, *29*, 1806611.
- [45] Xu, XL; Liu, S.; Han, B.; Han, YM; Yuan, K.; Xu, WJ; Yao, X. H.; Li, P.; Yang, SQ; Gong, WT et al. Ampliación de circuitos semiconductores-metálicos coplanares atómicamente delgados mediante ensamblaje químico de ingeniería de fase. *Nano Lett.* **2019**, *19*, 6845–6852.
- [46] Zhang, Q.; Wang, XF; Shen, SH; Lu, Q.; Liu, XZ; Li, HY; Zheng, JY; Yu, CP; Zhong, XY; Gu, L. et al. Síntesis e integración simultánea de componentes electrónicos bidimensionales. *Nat. Electrón.* **2019**, *2*, 164–170.
- [47] Wang, H.; Yu, LL; Lee, YH; Shi, YM; Hsu, A.; Chin, ML; Li, LJ; Dubey, M.; Kong, J.; Palacios, T. Circuitos integrados basados en MoS bicapa-transistores. *Nano Lett.* **2012**, *12*, 4674–4680.
- [48] Jeon, PJ; Kim, JS; Lim, JY; Cho, Y.; Pezeshki, A.; Lee, HS; Yu, S.; Min, SW; Im, S. Inversores complementarios de bajo consumo de energía con n-MoS₂ y p-WSe₂. Nano hojas de dicalcogenuro sobre vidrio para circuitos lógicos y de diodos emisores de luz. *Solicitud ACS. Materia. Interfaces* **2015**, *7*, 22333–22340.
- [49] Liu, H.; Neil, AT; Zhu, Z.; Luo, Z.; Xu, XF; Tománek, D.; Sí. D. Fosforeno: Un semiconductor 2D inexplorado con una alta movilidad de huecos. *Nano ACS* **2014**, *8*, 4033–4041.
- [50] Pezeshki, A.; Hosseini Shokouh, SH; Jeon, PJ; Shackery, I.; Kim, JS; Oh, IK; Jun, SC; Kim, H.; Im, S. Rendimiento estático y dinámico de inversores complementarios basados en nano hojas α-MoTe₂ canal p y MoS₂ transistores de canal n. *Nano ACS* **2016**, *10*, 1118–1125.
- [51] Zhang, H.; Li, C.; Wang, JL; Hu, WD; Zhang, DW; Zhou, P. Lógica complementaria con pérdida cero de voltaje y potencia de nanovatios mediante MoS configurable/WSe₂ puerta. *Adelante. Función. Materia.* **2018**, *28*, 1805171.
- [52] Yoo, H.; Hong, S.; On, S.; Ahn, H.; Lee, HK; Hong, Y.K.; Kim, S.; Kim, JJ. Efectos del dopaje químico en MoS multicapa y su aplicación en inversores complementarios. *Solicitud ACS. Materia. Interfaces* **2018**, *10*, 23270–23276.
- [53] Srivastava, PK; Hassan, Y.; Gebredingle, Y.; Jung, J.; Kang, B.; Yoo, WJ; Singh, B.; Lee, C. Diodo túnel de heterojunción pn de van der Waals con espacio roto basado en fósforo negro y disulfuro de renio. *Solicitud ACS. Materia. Interfaces* **2019**, *11*, 8266–8275.
- [54] Gong, YJ; Lin, JH; Wang, XL; Shi, G.; Lei, SD; Lin, Z.; Zou, XL; Ye, GL; Vajtai, R.; Yakobson, BI et al. Heteroestructuras verticales y en el plano de WS₂/MoS₂ monocapas. *Nat. Materia.* **2014**, *13*, 1135–1142.
- [55] Duan, XD; Wang, C.; Shaw, JC; Cheng, R.; Chen, Y.; Li, HL; Wu, XP; Tang, Y.; Zhang, QL; Pan, AL et al. Crecimiento epitaxial lateral de heterojunciones semiconductoras en capas bidimensionales. *Nat. Nanotecnología.* **2014**, *9*, 1024–1030.
- [56] Zhang, ZW; Chen, P.; Duán, XD; Zang, KT; Luo, J.; Duán, X. F. Crecimiento epitaxial robusto de heteroestructuras bidimensionales, multiheteroestructuras y superredes. *Ciencia* **2017**, *357*, 788–792.
- [57] Chen, P.; Zhang, ZW; Duan, XD; Duan, XF. Síntesis química de cristales atómicos bidimensionales, heteroestructuras y superredes. *Química. Sociedad. Rdo.* **2018**, *47*, 3129–3151.
- [58] Lee, J.; Pak, S.; Lee, YW; Park, Y.; Jang, AR; Hong, J.; Cho, Y.; Hou, B.; Lee, S.; Jeong, HY et al. Síntesis epitaxial directa de heteroestructuras laterales bidimensionales selectivas. *Nano ACS* **2019**, *13*, 13047–13055.
- [59] Yeh, CH; Liang, ZY; Lin, YC; Chen, HC; Fan, T.; Ma, CH; Chu, YH; Suenaga, K.; Chiu, PW. Heterojunciones de dicalcogenuro de metal de transición-grafeno para circuitos integrados complementarios escalables y de bajo consumo. *Nano ACS* **2020**, *14*, 985–992.
- [60] Chiu, MH; Tang, HL; Tseng, CC; Han, YM; Aljarb, A.; Huang, JK; Wan, Y.; Fu, JH; Zhang, XX; Chang, WH et al. Crecimiento selectivo guiado por metal de materiales 2D: Demostración de un inversor CMOS de abajo hacia arriba. *Adelante. Materia.* **2019**, *31*, e1900861.
- [61] Sachid, AB; Tosun, M.; Desai, SB; Hsu, CY; Gravamen, DH; Madhvapatía, SR; Chen, YZ; Hettick, M.; Kang, JS; Zeng, Y. P. et al. CMOS 3D monolítico utilizando semiconductores en capas. *Adelante. Materia.* **2016**, *28*, 2547–2554.
- [62] Yu, WJ; Li, Z.; Zhou, HL; Chen, Y.; Wang, Y.; Huang, Y.; duan, XF. Multiheteroestructuras apiladas verticalmente de materiales en capas para transistores lógicos e inversores complementarios. *Nat. Materia.* **2013**, *12*, 246–252.
- [63] Choi, YJ; Kim, S.; Woo, HJ; Song, YJ; Lee, Y.; Kang, MS; Cho, JH. Control remoto de la barrera Schottky para transistores y su integración vertical. *Nano ACS* **2019**, *13*, 7877–7885.
- [64] Liu, LT; Liu, Y.; Duan, XF. Transistores de película delgada verticales basados en grafeno. *Ciencia. China Inf. Ciencia.* en prensa, DOI: 10.1007/s11432-020-2806-8.
- [65] Jin, Y.; Keum, DH; An, SJ; Kim, J.; Lee, SA; Lee, YH. Homounión de A van der Waals: comportamiento ideal del diodo pn en MoSe₂. *Adelante. Materia.* **2015**, *27*, 5534–5540.
- [66] Tang, BS; Yu, ZG; Huang, L.; Chai, J.W.; Wong, SL; Deng, J.; Yang, WF; Gong, H.; Wang, S.J.; Ang, KW et al. Conversión directa de canales de tipo n a tipo p en WS monocapa/de pocas capas: Transistores de efecto de campo mediante tratamiento con nitrógeno atómico. *Nano ACS* **2018**, *12*, 2506–2513.
- [67] Laskar, SEÑOR; Nath, DN; Mamá, L.; Lee, EW; Lee, CH; Kent, T.; Yang, ZH; Mishra, R.; Roldán, MA; Idrobo, JC et al. Dopaje tipo P de MoS₂ Películas delgadas que utilizan Nb. *Aplicación. Física. Ietón.* **2014**, *104*, 092104.
- [68] Suh, J.; Parque, TE; Lin, DY; Fu, DY; Parque, J.; Jung, HJ; Chen, YB; Ko, C.; Jang, C.; Sun, YH et al. Dopaje contra la propensión nativa de MoS₂: Dopaje de huecos degenerados por sustitución de cationes. *Nano Lett.* **2014**, *14*, 6976–6982.
- [69] Gao, J.; Kim, YD; Liang, LB; Idrobo, JC; Chow, P.; Tan, JW; Li, BC; Li, L.; Sumpter, BG; Lu, TM et al. Dopaje por sustitución de metales de transición en semiconductores sintéticos atómicamente delgados. *Adelante. Materia.* **2016**, *28*, 9735–9743.
- [70] Zhang, KH; Bersch, BM; Joshi, J.; Addou, R.; Cormier, CR; Zhang, CX; Xu, K.; Briggs, NC; Wang, K.; Subramanian, S. et al. Ajuste de las propiedades electrónicas y fotónicas de MoS monocapa mediante dopaje sustitutivo con renio in situ. *Adelante. Función. Materia.* **2018**, *28*, 1706950.
- [71] Zhang, XJ; Shao, ZB; Zhang, XH; He, YY; Jie, JS. Dopaje por transferencia de carga superficial de nanoestructuras de baja dimensión hacia nanodispositivos de alto rendimiento. *Adelante. Materia.* **2016**, *28*, 10409–10442.
- [72] Zhao, PD; Kiriya, D.; Azcatl, A.; Zhang, CX; Tosun, M.; Liu, Y. S.; Hettick, M.; Kang, JS; McDonnell, S.; KC, S. et al. P-dopaje estable al aire de WSe₂ por funcionalización covalente. *Nano ACS* **2014**, *8*, 10808–10814.
- [73] Chang, YM; Yang, SH; Lin, CY; Chen, CH; Gravamen, CH; Jian, D. Dopaje de tipo p/n reversible y controlable con precisión de MoTe₂ transistores mediante dopaje electrotérmico. *Adelante. Materia.* **2018**, *30*, 1706995.
- [74] Fang, H.; Tosun, M.; Seol, G.; Chang, TC; Takei, K.; Guo, J.; Javey, A. Dopaje n degenerado de dicalcogenuros de metales de transición de pocas capas con potasio. *Nano Lett.* **2013**, *13*, 1991–1995.
- [75] Tosun, M.; Chuang, S.; Fang, H.; Sachid, AB; Hettick, M.; Lin, YJ; Zeng, YP; Javey, A. Inversores de alta ganancia basados en WSe₂ transistores de efecto de campo complementarios. *Nano ACS* **2014**, *8*, 4948–4953.
- [76] Qi, DY; Han, C.; Rong, XM; Zhang, XW; Chhowalla, M.; Pequeño, ATS; Zhang, WJ. Ajuste continuo de las propiedades electrónicas del ditelururo de molibdeno de pocas capas con in situ Modificación del aluminio hacia inversores complementarios de ganancia ultra alta. *Nano ACS* **2019**, *13*, 9464–9472.
- [77] Koenig, SP; Doganov, RA; Seixas, L.; Carvalho, A.; Bronceado, JY; Watanabe, K.; Taniguchi, T.; Yakovlev, N.; Castro Neto, AH; Özyilmaz, B. Dopaje electrónico de fósforo negro ultrafino con adatoms de Cu. *Nano Lett.* **2016**, *16*, 2145–2151.
- [78] Liao, WG; Wang, L.; Chen, L.; Wei, W.; Zeng, Z.; Feng, X.; Huang, L.; Tan, WC; Huang, X.; Ang, KW et al. Dopaje eficiente y confiable de fósforo negro por transferencia de carga superficial mediante MgO depositado en capas atómicas para obtener circuitos complementarios de alto rendimiento. *Nanoescalada* **2018**, *10*, 17007–17014.
- [79] Luo, W.; Zhu, MJ; Peng, G.; Zheng, XM; Miao, F.; Bai, SX; Zhang, XA; Qin, SQ. Modulación portadora de MoTe ambipolar de pocas capas: transistores mediante dopaje por transferencia de carga superficial de MgO. *Adelante. Función. Materia.* **2018**, *28*, 1704539.
- [80] Lim, JY; Pezeshki, A.; Ah, S.; Kim, JS; Lee, YT; Yu, S.; Hwang, DK; Lee, GH; Choi, HJ; Im, S. MoTe 2D homogéneo: Uniones pn e inversores CMOS formados mediante dopaje inducido por deposición de capas atómicas. *Adelante. Materia.* **2017**, *29*, 1701798.

- [81] Choi, MS; Qu, DS; Lee, D.; Liu, XC; Watanabe, K.; Taniguchi, T.; Yoo, WJ Lateral MoS₂ Unión pn formada por dopaje químico para su uso en optoelectrónica de alto rendimiento. *Nano ACS* **2014**, *8*, 9332–9340.
- [82] Li, HM; Lee, D.; Qu, DS; Liu, XC; Ryu, J.; Seabaugh, A.; Yoo, WJ Unión pn vertical delgada WJ Ultimate compuesta de disulfuro de molibdeno en capas bidimensionales. *Nat. Comun.* **2015**, *6*, 6564.
- [83] Liu, XC; Qu, DS; Ryu, J.; Ahmed, F.; Yang, Z.; Lee, D.; Yoo, W. J. Transición polar de tipo P de MoS mult capa dopado químicamente transistor. *Adelante. Materia* **2016**, *28*, 2345–2351.
- [84] Kiriya, D.; Tosun, M.; Zhao, PD; Kang, JS; Javey, A. Dopaje de MoS por transferencia de carga superficial estable al aire por viológeno bencílico. *Yo. Soy. Química. Sociedad* **2014**, *136*, 7853–7856.
- [85] Qu, DS; Liu, XC; Huang, M.; Lee, C.; Ahmed, F.; Kim, H.; Ruoff, RS; Hone, J.; Yoo, WJ Modulación de tipo portador y mejora de la movilidad de MoTe delgado. *Adelante. Materia* **2017**, *29*, 1606433.
- [86] Li, Y.; Xu, CY; Hu, PA; Zhen, L. Control de portadores de MoS₂ nanoláminas formadas por monocapas autoensambladas funcionales. *Nano ACS* **2013**, *7*, 7795–7804.
- [87] Sim, DM; Kim, M.; Yim, S.; Choi, MJ; Choi, J.; Yoo, S.; Jung, Y. S. Dopaje controlado de MoS de pocas capas que contienen vacantes mediante quimisorción molecular basada en tiol altamente estable. *Nano ACS* **2015**, *9*, 12115–12123.
- [88] Najmaei, S.; Zou, XL; Er, DQ; Li, JW; Jin, ZH; Gao, WL; Zhang, Q.; Park, S.; Ge, LH; Lei, SD et al. Adaptación de las propiedades físicas de monocapas de disulfuro de molibdeno mediante el control de la química interfacial. *Nano Lett.* **2014**, *14*, 1354–1361.
- [89] Stoeckel, MA; Gobbi, M.; Leydecker, T.; Wang, Y.; Eredia, M.; Bonacchi, S.; Verucchi, R.; Timpel, M.; Nardi, MV; Orgiu, E. et al. Impulso y equilibrio de la movilidad de electrones y huecos en WSe monocapa y bicapa. dispositivos mediante funcionalización molecular personalizada. *Nano ACS* **2019**, *13*, 11613–11622.
- [90] Kang, DH; Shim, J.; Jang, SK; Jeon, J.; Jeon, MH; Yeom, GY; Jung, WS; Jang, YH; Lee, S.; Park, JH Dopaje de tipo p no degenerado controlable de diselenuro de tungsteno mediante octadeciltriclorosilano. *Nano ACS* **2015**, *9*, 1099–1107.
- [91] Kang, DH; Kim, MS; Shim, J.; Jeon, J.; Park, HY; Jung, WS; Yu, HY; Pang, CH; Lee, S.; Park, JH Fotodetectores de dicálcofenuros de metales de transición de alto rendimiento mejorados mediante dopaje de monocapa autoensamblada. *Adelante. Función. Materia* **2015**, *25*, 4219–4227.
- [92] Yu, LL; Zubair, A.; Santos, EJG; Zhang, X.; Lin, YX; Zhang, YH; Palacios, T. WSe de alto rendimiento: Tecnología de semiconductores de óxido metálico complementario y circuitos integrados. *Nano Lett.* **2015**, *15*, 4928–4934.
- [93] Heo, K.; Jo, SH; Shim, J.; Kang, DH; Kim, JH; Park, JH Técnica de dopaje de tipo n estable y reversible basada en trifenilfosfina para disulfuro de molibdeno (MoS₂). *Solicitud ACS. Materia. Interfaces* **2018**, *10*, 32765–32772.
- [94] Nipane, A.; Karmakar, D.; Kaushik, N.; Karandé, S.; Lodha, S. MoS de pocas capas Dispositivos de tipo p habilitados mediante dopaje selectivo mediante implantación de fósforo de baja energía. *Nano ACS* **2016**, *10*, 2128–2137.
- [95] Li, XF; Lin, MW; Basile, L.; Hus, SM; Puretzky, AA; Lee, J.; Kuo, YC; Chang, LY; Wang, K.; Idrobo, JC et al. Dopaje isoeléctronico de tungsteno en monocapa de MoSe para modulación de tipo portadora. *Adelante. Materia* **2016**, *28*, 8240–8247.
- [96] Huang, C.; Jin, YB; Wang, WW; Tang, L.; Canción, CY; Xiu, F. X. Dopaje de manganeso y cromo en MoS atómicamente delgado. *Yo. Semicond.* **2017**, *38*, 033004.
- [97] Xu, EZ; Liu, HM; Park, K.; Li, Z.; Losovyj, Y.; Starr, M.; Werbianskyj, M.; Fertig, HA; Zhang, SX Dopaje de metales de transición de tipo P de MoS de área grande: Películas delgadas cultivadas por deposición química de vapor. *Nanoescala* **2017**, *9*, 3576–3584.
- [98] Duan, XD; Wang, C.; Fan, Z.; Hao, GL; Kou, LZ; Halim, U.; Li, HL; Wu, XP; Wang, YC; Jiang, JH et al. Síntesis de WS₂_{incógnita}Si₂₋₂_{incógnita} Nanohojas de aleación con propiedades electrónicas ajustables según la composición. *Nano Lett.* **2016**, *16*, 264–269.
- [99] Perumal, P.; Ulaganathan, RK; Sankar, R.; Liao, YM; Sun, TM; Chu, MW; Chou, FC; Chen, YT; Shih, MH; Chen, YF Cristales individuales ternarios de capas ultrafinas [Sn(S_{incógnita}Si_{1-incógnita})₂] con ingeniería de banda prohibida para fototransistores de alto rendimiento en sustratos versátiles. *Adelante. Función. Materia* **2016**, *26*, 3630–3638.
- [100] Colmillo, H.; Chuang, S.; Chang, TC; Takei, K.; Takahashi, T.; Javey, A. WSe de una sola capa de alto rendimiento p-FET con contactos dopados químicamente. *Nano Lett.* **2012**, *12*, 3788–3792.
- [101] Yang, LM; Majumdar, K.; Liu, H.; Du, YC; Wu, H.; Hatzistergos, M.; Hung, PY; Tieckelmann, R.; Tsai, W.; Hobbs, C. et al. Técnica de dopaje molecular con cloruro en materiales 2D: WS₂ y MoS₂. *Nano Lett.* **2014**, *14*, 6275–6280.
- [102] Han, C.; Hu, ZH; Gómez, LC; Bao, Y.; Carvalho, A.; Tan, S. JR; Lei, B.; Xiang, D.; Wu, J.; Qi, DY et al. Funcionalización superficial de fósforo negro a través de potasio hacia dispositivos complementarios de alto rendimiento. *Nano Lett.* **2017**, *17*, 4122–4129.
- [103] Liu, YD; Cai, YQ; Zhang, G.; Zhang, YW; Ang, KW Diodo de homojunción pn de fósforo negro dopado con Al para energía fotovoltaica de alto rendimiento. *Adelante. Función. Materia* **2017**, *27*, 1604638.
- [104] Liu, YD; Ang, KW Circuitos inversores complementarios de fósforo negro flexibles integrados monolíticamente. *Nano ACS* **2017**, *11*, 7416–7423.
- [105] Chen, L.; Li, S.; Feng, XW; Wang, L.; Huang, X.; Tee, BCK; Ang, KW Circuitos integrados de gigahercios basados en transistores de fósforo negro complementarios. *Adelante. Electrón. Materia* **2018**, *4*, 1800274.
- [106] Rai, A.; Valsaraj, A.; Movva, HCP; Roy, A.; Ghosh, R.; sonda, S.; Kang, S.; Chang, J.; Trivedi, T.; Dey, R. et al. Dopaje estable al aire y mejora de la movilidad intrínseca en monocapa de disulfuro de molibdeno mediante encapsulación con subóxido de titanio amorfo. *Nano Lett.* **2015**, *15*, 4329–4336.
- [107] Park, YJ; Katiyar, AK; Hoang, AT; Ahn, JH Conversión controlable de tipo p y n de MoTe₂A través de una capa interfacial de óxido para circuitos lógicos. *Pequeño* **2019**, *15*, 1901772.
- [108] Min, SW; Yoon, M.; Yang, SJ; Ko, KR; Im, S. Canal de tipo p inducido por transferencia de carga en MoS₂ transistores de efecto de campo en escamas. *Solicitud ACS. Materia. Interfaces* **2018**, *10*, 4206–4212.
- [109] Zhou, CJ; Zhao, YD; Raju, S.; Wang, Y.; Lin, ZY; Chan, M. S.; Chai, Y. Control del tipo portador de WSe: Transistores de efecto de campo por modulación de espesor y MoO₃: Dopaje por capas. *Adelante. Función. Materia* **2016**, *26*, 4223–4230.
- [110] Zhang, SY; Le, ST; Richter, CA; Hacker, CA Contactos mejorados con MoS de tipo p: Transistores mediante dopaje por transferencia de carga e ingeniería de contactos. *Aplicación. Física. Ietón* **2019**, *115*, 073106.
- [111] Cho, Y.; Park, JH; Kim, M.; Jeong, Y.; Yu, S.; Lim, JY; Yi, Y.; Im, S. Impacto de la transferencia de carga inducida por moléculas orgánicas en el control del voltaje operativo de ambos n-MoS₂ p-MoTe₂ transistores. *Nano Lett.* **2019**, *19*, 2456–2463.
- [112] Mouri, S.; Miyauchi, Y.; Matsuda, K. Fotoluminiscencia ajustable de monocapa de MoS₂ mediante dopaje químico. *Nano Lett.* **2013**, *13*, 5944–5948.
- [113] Xu, H.; Zhang, HM; Liu, YW; Zhang, SM; Sol, AA; Guo, ZX; Sheng, YC; Wang, XD; Luo, C.; Wu, X. et al. Dopaje controlado de PtSe a escala de obleas: Películas para aplicación en dispositivos. *Adelante. Función. Materia* **2019**, *29*, 1805614.
- [114] Ji, HG; Solís-Fernández, P.; Yoshimura, D.; Maruyama, M.; Endo, T.; Miyata, Y.; Okada, S.; Hace, H. WSe de tipo p y n sintonizado químicamente: monocapas con alta movilidad de portadores para electrónica avanzada. *Adelante. Materia* **2019**, *31*, 1903613.
- [115] Kang, WM; Cho, IT; Roh, J.; Lee, C.; Lee, JH Inversor de semiconductor de óxido metálico complementario de alta ganancia basado en WSe multicapa: Transistores de efecto de campo sin dopaje. *Semicond. Ciencia. Tecnología* **2016**, *31*, 105001.
- [116] Das, S.; Chen, HY; Penumatcha, AV; Appenzeller, J. MoS mult capa de alto rendimiento: transistores con contactos de escandio. *Nano Lett.* **2013**, *13*, 100–105.
- [117] Gong, C.; Colombo, L.; Wallace, RM; Cho, K. El mecanismo inusual de fijación parcial del nivel de Fermi en metal-MoS₂ interfaces. *Nano Lett.* **2014**, *14*, 1714–1720.
- [118] Kim, C.; Moon, I.; Lee, D.; Choi, MS; Ahmed, F.; Nam, S.; Cho, Y.; Shin, HJ; Park, S.; Yoo, WJ Fijación del nivel de Fermi en contactos metálicos eléctricos de dicálcofenuros de molibdeno en monocapa. *Nano ACS* **2017**, *11*, 1588–1596.
- [119] Das, S.; Appenzeller, J. WSe: transistores de efecto de campo con características ambipolares mejoradas. *Aplicación. Física. Ietón* **2013**, *103*, 103501.
- [120] Nakahara, S.; Yamamoto, M.; Ueno, K.; Tsukagoshi, K. Control de polaridad del portador en alfa-MoTe₂ Uniones Chottky basadas en débiles

- fijación a nivel de Fermi. *Solicitud ACS.Materia.Interfaces* **2016**, *8*, 14732–14739.
- [121] Zhu, WN; Yogeesh, Minnesota; Yang, SX; Aldave, SH; Kim, JS; Sonda, S.; Tao, L.; Lu, NS; Akinwande, D. Transistores, circuitos y demodulador AM ambipolares flexibles de fósforo negro. *Nano Lett.* **2015**, *15*, 1883–1890.
- [122] Liu, Y.; Huang, Y.; Duan, XF Integración de van der Waals antes y más allá de los materiales bidimensionales. *Naturaleza* **2019**, *567*, 323–333.
- [123] Kong, Luisiana; Zhang, XD; Tao, QY; Zhang, ML; Maldita sea, WQ; Li, ZW; Feng, LP; Liao, L.; Duan, XF; Liu, Y. WSe complementaria sin dopaje₂ Circuito mediante integración metálica de Van der Waals. *Nat.Comun.* **2020**, *11*, 1866.
- [124] Das, S.; Dubey, M.; Roelofs, A. Inversor lógico totalmente complementario, de alta ganancia y bajo ruido basado en WSe bicapa/transistores de efecto de campo. *Aplicación.Física.letón.* **2014**, *105*, 083511.
- [125] Resta, GV; Balaji, Y.; Lin, D.; Radu, IP; Catthoor, F.; gaillardón, PE; De Micheli, G. Puertas lógicas complementarias sin dopaje habilitado por transistores controlables por polaridad bidimensional. *Nano ACS* **2018**, *12*, 7039–7047.
- [126] Wu, GJ; Wang, XD; Chen, Y.; Wu, SQ; Wu, BM; Jiang, YY; Shen, H.; Lin, T.; Liu, Q.; Wang, XR y otros. MoTe₂homojunciones pn definidas por polarización ferroeléctrica. *Adelante.Materia.* **2020**, *32*, 1907937.
- [127] Wu, GJ; Tian, BB; Liu, L.; Lv, W.; Wu, S.; Wang, XD; Chen, Y.; Li, JY; Wang, Z.; Wu, SQ et al. Homojunciones de dicalcogenuros de metales de transición programables controladas por dominios ferroeléctricos no volátiles. *Nat.Electrón.* **2020**, *3*, 43–50.
- [128] Jo, SH; Kang, DH; Shim, J.; Jeon, J.; Jeon, MH; Yoo, G.; Kim, J.; Lee, J.; Yeom, GY; Lee, S. et al. Un estudio de alto rendimiento WSe₂Fotodetector /h-BN que utiliza una trifenilfosfina (PPh₃)-técnica de dopaje n basada en . *Adelante.Materia.* **2016**, *28*, 4824–4831.
- [129] Liu, X.; Islam, A.; Guo, J.; Feng, PXL Control de la polaridad de MoTe₂ Transistores para lógica complementaria monolítica mediante ingeniería de contactos Schottky. *Nano ACS* **2020**, *14*, 1457–1467.