

# はじめてのLSI設計 ～レイアウト編

秋田純一(金沢大)/MakeLSI:

# Contents

- ✓ LSI設計→製造の流れ
- ✓ はじめてのLSI設計(フルカスタム)
  - ✓ インバータの回路図設計
  - ✓ インバータのレイアウト設計
  - ✓ DRC&LVS
  - ✓ 回路シミュレーション
- ✓ はじめてのLSI設計(スタセル並べ)
  - ✓ スタンドセル(ライブラリ)
  - ✓ 回路図設計
  - ✓ レイアウト設計
  - ✓ DRC & LVS

# LSI設計→製造の流れ

フルカスタム設計: 直接レイアウト図(製造パターン)を描く

LSI設計

LSI製造  
(外注が多い)

論理回路設計

LSIづくりはまず回路設計から。

パターン設計

CADを使って、コンピュータの画面上で図面化。

フォトマスク作成

できあがった図面をガラス基板に作りこみ。

マスク合わせ

マスクとウェハを重ねて焼き付け。

現像・エッチング

現像・エッチングして、感光部分の酸化膜に孔(あな)をあけます。

イオン注入

酸化膜の孔からイオンを注入すると、その部分が活発な半導体になります。

上位設計: HDL、回路図などから半自動でレイアウト図へ

切 断

シリコンの棒をスライスしてウェハ作り。

ウェハ研磨

シリコン・ウェハの表面を鏡のように磨く。

酸 化

高温の拡散炉で、表面に酸化膜を作る。

フォトリソグレイブ

特殊な感光材を薄く塗ります。

にが生れるまでに  
いろいろの工程が  
あるのね!!

メタライズ

ウェハの表面にアルミニウムで配線を作ります。

ファイナルテスト

最終テストに合格するとLSIの完成です。

モールド・パッケージング

パッケージに封入、メーカー名などを印刷。

ワイヤボン

チップとリードフレームの電極を接続します。

ダイボン

チップをリードフレームの中央部に固定。

ダイシング

LSIチップを、1つずつ切り離します。

ウェハテスト

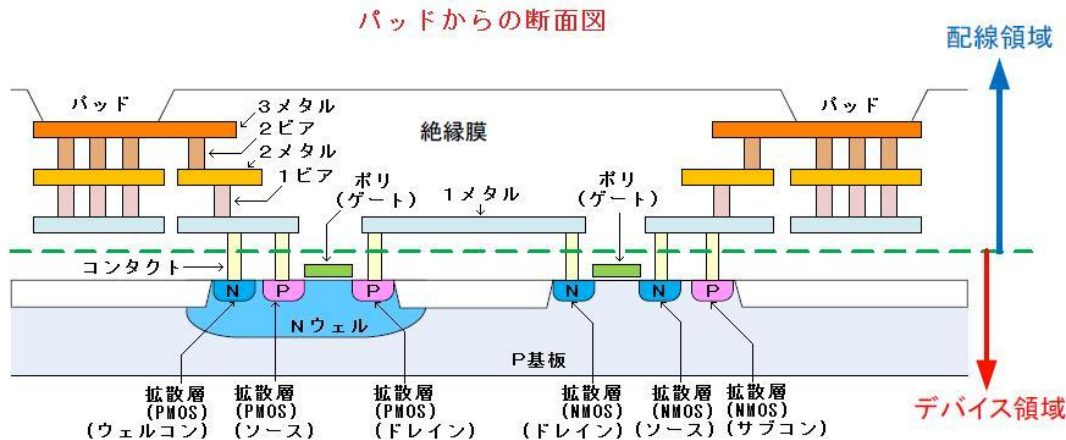
ウェハに作られたLSIをテスト。

こうして  
半導体が  
できるのだよ

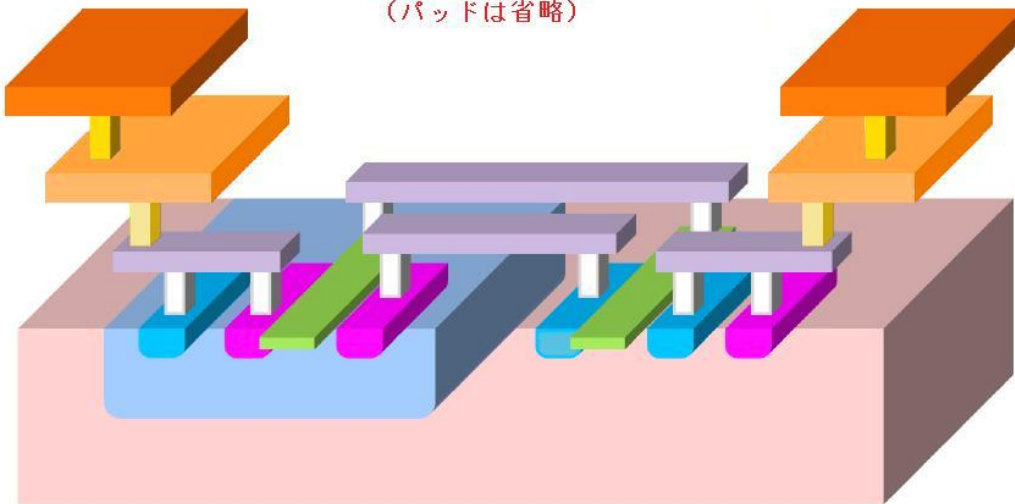


株式会社ルネサステクノロジ  
提供の原画から

# LSIの物理構造(イメージ)



3次元イメージ図  
(パッドは省略)

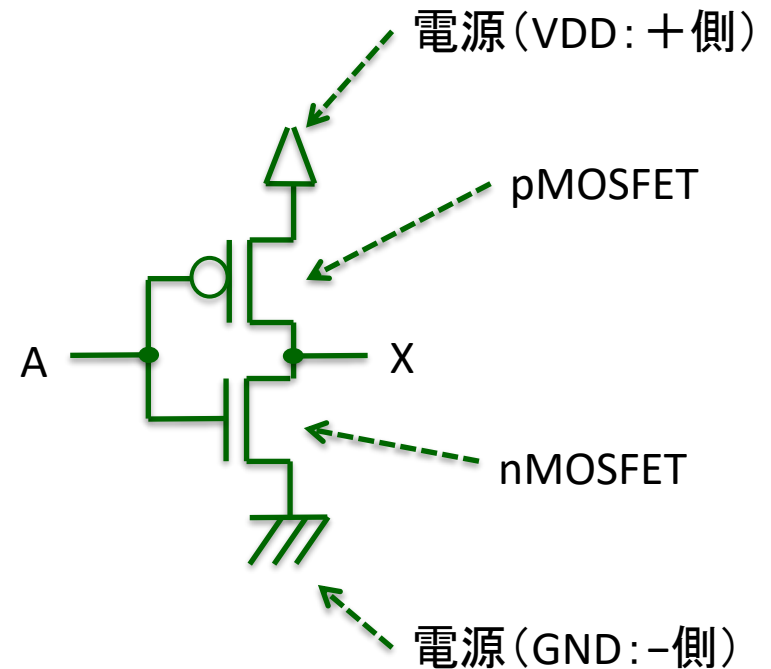
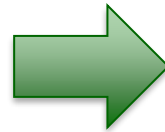
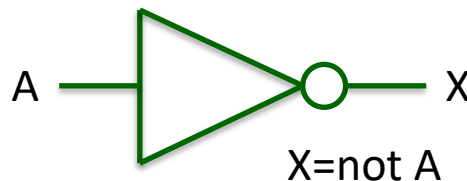


- Siウエハ内にデバイス (トランジスタなど)
- その上に、配線(メタル)
- 配線は複数の層がある  
= 交差できる
- デバイス-配線、違う層の配線は縦方向の端子で接続 (コンタクト(CNT)・ビア(VIA))
- デバイスや配線の平面図の寸法は、設計ルールがある (細すぎる配線はNG、など)
- (高さ方向の寸法は製造工程で決まっている = 普段は意識しない)

ref: <http://imasaracmosanalog.blog111.fc2.com/category33-1.html>

# フルカスタム設計のHelloWorld

## ☑ インバータ (NOTゲート)



# レイアウト設計とレイヤ

## ✓レイアウト設計

=LSI製造で使う「マスク」の図形を描画する

## ✓「マスク」ごとに図形属性(レイヤ)を使い分け

## ✓OpenRule1umのレイヤ(主なもの)

✓NWL:Nウエル

✓DIFF:拡散層

✓Parea/Narea: DIFFの周囲に置いてP型／N型の指定

✓POL:ゲート(ポリSi)

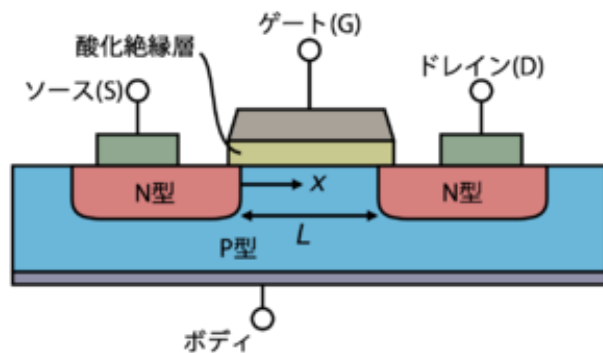
✓ML1/2/3: 1/2/3層目のメタル

✓※それぞれの使い方は次頁から(図形として慣れればOK)

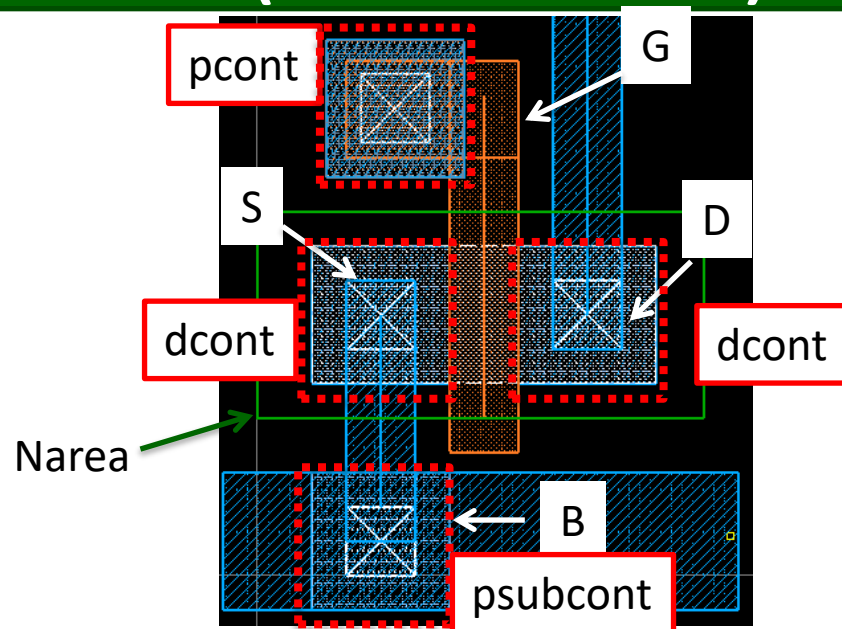
✓※レイヤの構成はLSI製造のメーカー・プロセスごとにバラバラ



# MOSFETのつくりかた(nMOSFET)

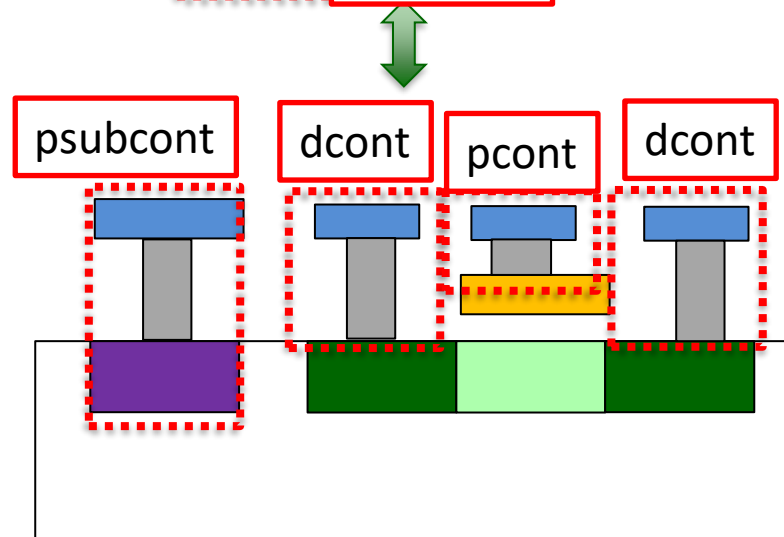
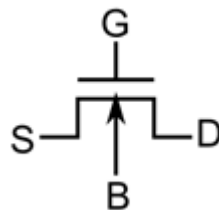


ref:Wikipedia



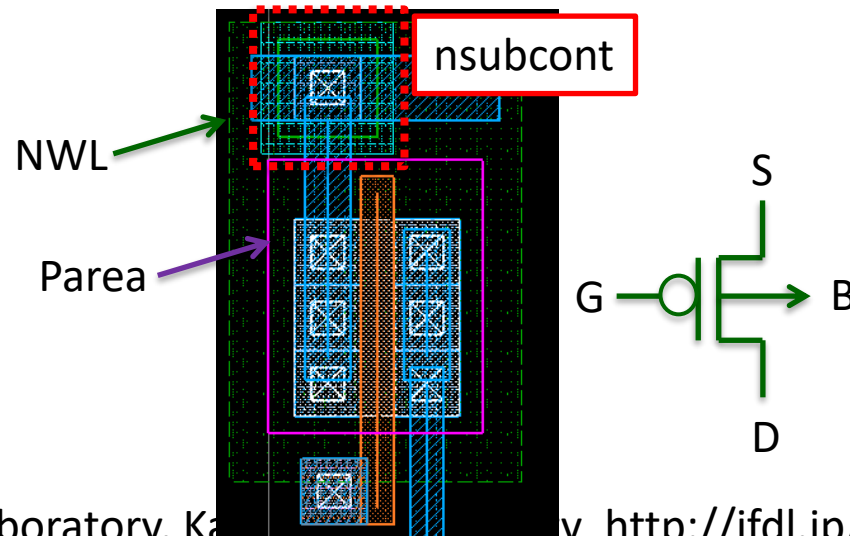
## ポイント

- P型の基板(ウエハ)の中にnMOSがある
- nMOS本体は、 $Narea + DIFF = S \& D$
- POLでゲート(G)を描く
- 基板の近くに"psubcont"を置く=B
- 素子と配線(ML1)は"dcont"を置く
- POLと配線(ML1)は"pcont"を置く



# MOSFETのつくりかた(pMOSFET)

- ✓ nMOSとP/Nをすべて逆にするとpMOSになる
  - ✓ 周り: 基板(なにも描画しない) → NWL(Nウエル)
  - ✓ MOS本体: Narea+DIFF → Parea+DIFF
  - ✓ POLでゲート(同じ)
  - ✓ B: 基板に"psubcont" → NWL内に"nsubcont"
  - ✓ "pcont"/"dcont"で配線(ML1)と接続(同じ)





# 補足：dcont等のセルについて

(ちょっとLSI設計に詳しい方向けの補足)

- ☑ 一般にコンタクト、ビアのサイズは、プロセスごとにバラバラで、かつ一定値に固定(指定)
- ☑ OpenRule1umでは、コンタクト・ビアを直接描画しない。  
その代わり、それらを含む「セル(ダミーセル)」を使って配線する
  - ☑ dcont=DIFF-ML1、pcont=Poly-ML1、  
psubcont=P基板-ML1、nsubcont=NWL-ML1、  
Via=ML1-ML2、Via2=ML2-ML3
- ☑ 製造前に、プロセスにあわせた実際のサイズのコンタクト・ビアを含むdcont等のセルに置き換えて製造

# 設計ルール

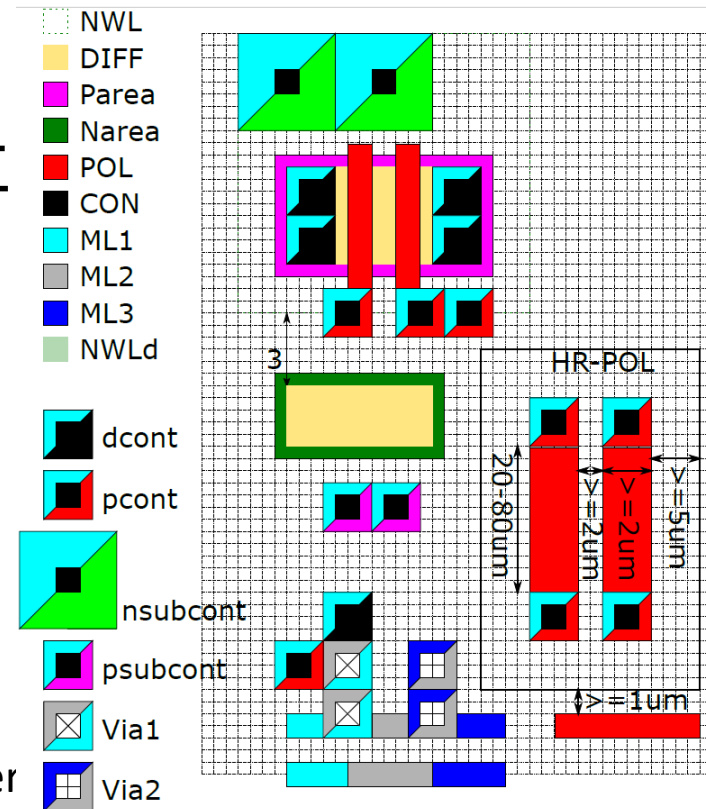
✓各レイヤで描く図形には、製造できるようにサイズの条件がある(設計ルール)

✓<https://github.com/MakeLSI/OpenRule1um>

ここのOpenRule1um.xlsxと  
OpenRule1um\_summary.pdf

✓OpenRule1umでは、1um単位  
なので、慣れやすいはず...

✓適宜、設計ルールを満たして  
いるかのチェック(DRC)を  
かけるとベター(詳細は後程)



# フルカスタム設計：やってみる

✓ <https://scrapbox.io/makelsi/>

✓ 「Glade: はじめの一步(1)=インバータの設計(回路図の作成)」  
～「Glade: はじめの一步(5)=インバータの設計(回路の検証:DRC)」

## ✓ 主な流れ:

✓ 回路図を描く

✓ おまけ: そこから素子(部品)にする

✓ レイアウト図を描く(=これが製造データ)

✓ (検証) 回路抽出(レイアウト→回路図へ変換)

:LPE (Layout Parameter Extraction)

✓ (検証) 一致検証(レイアウト-元の回路図との一致)

:LVS (Layout Versus Schematic)

✓ (検証) 設計ルール検証(レイアウトの図形性質)

:DRC (Design Rule Check)

Interface Device Laboratory, Kanazawa University <http://ifdl.jp/>

# スタンダードセルを使った設計

- ✓ 論理ゲートなど＝「ライブラリの部品」
- ✓ それらを並べてつないで、大きな回路へ（ボトムアップ設計）
  - ✓ 理論上はなんでも作れる
  - ✓ (ある程度以上は非現実的・・・)
- ✓ <https://scrapbox.io/makelsi/>
  - ✓ 「Glade: スタセルを使った論理回路の設計」

