

# makeLSI SAW VCO の製作

2015/12/20

koshiyama

## 1. LTSpice で回路作成してシミュレーション

LTSpice にある汎用モデルの Nch、Pch の MOS FET を使ってノコギリ波を出力する回路を作成した。

回路は、積分回路、コンパレータ回路で構成し積分回路のコンデンサがチャージされたらコンパレータで検知してコンデンサを放電させる。

本回路は 2 個の差動アンプから構成されるものとする。

--そもそもノコギリ波を出力する回路としては不適切だった模様、方形波の発振回路と積分回路を組み合わせで出力するべきだった。

コンパレータ部分が上手く動作せず（放電用トランジスタの制御でこける）コンデンサで無理やりタイミングを作ってたのは失敗だった。

Fig1.SAW VCO 回路図

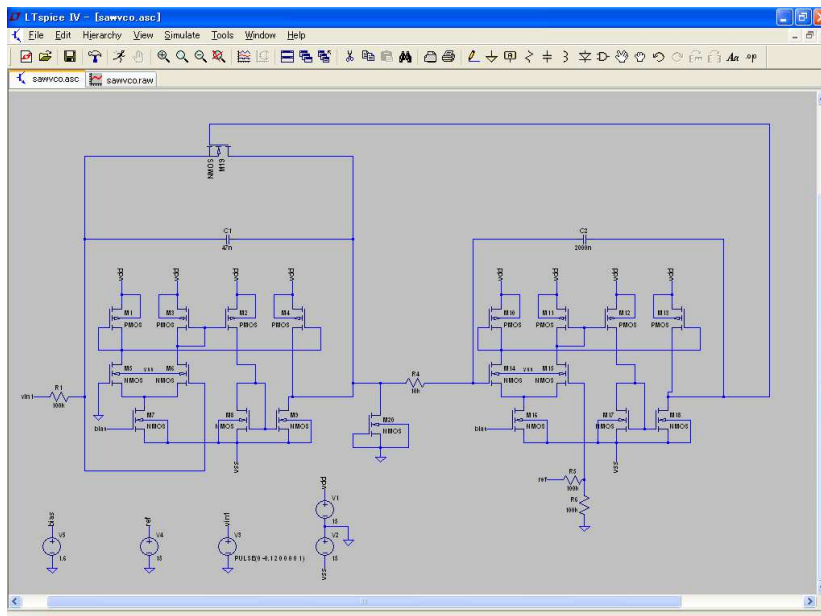
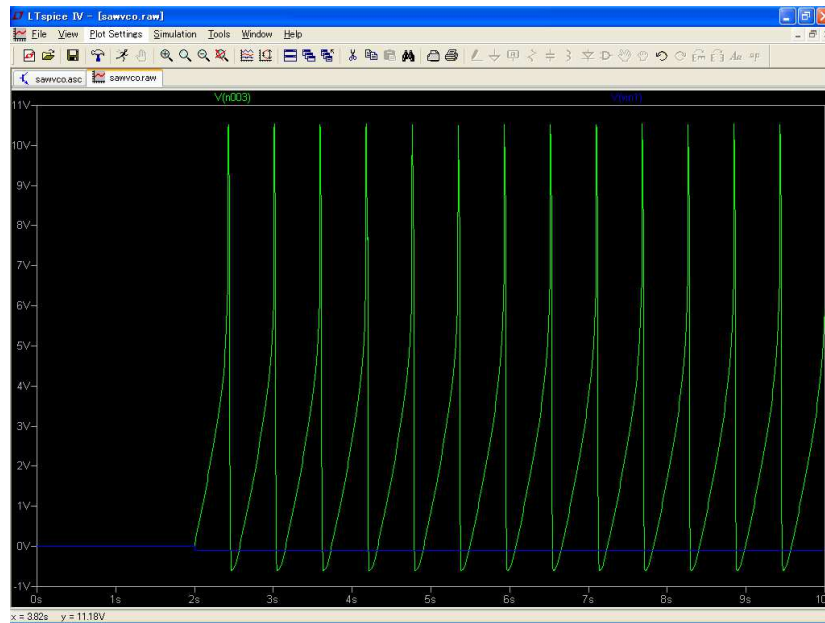


Fig2.SAW VCO 回路のシミュレーション結果



入力パラメータ、VDD=15V,VSS=-15V,VB=1.5V,Vin=-0.1V

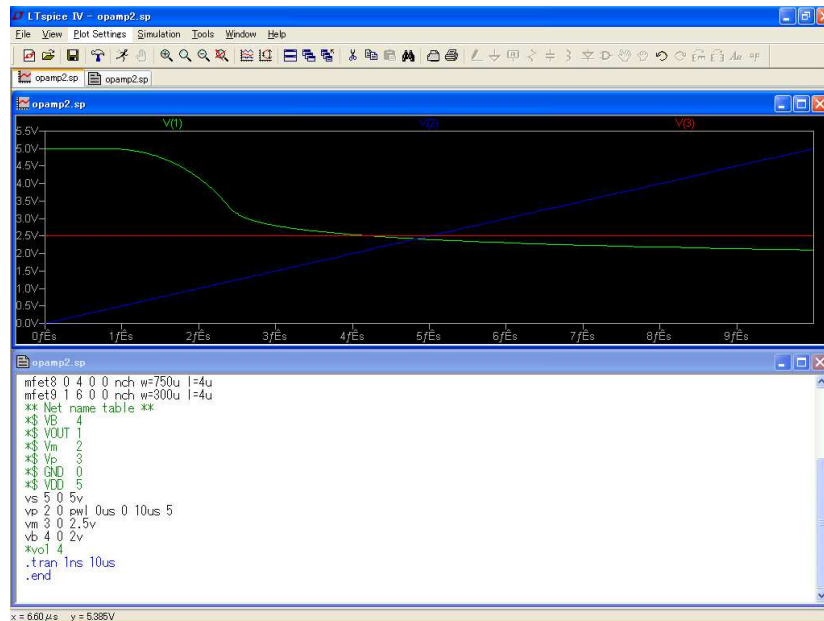
- ・ 11V で頭打ち（アンプの特性が悪くフルスイングしない）

## 2. 差動アンプの製作

差動アンプは、差動対、能動負荷、増幅で構成。

mos\_tt.lib を使った差動アンプのモデルを作成してシミュレーションする。

Fig2.差動アンプのシミュレーション結果



0V まで落ちてくれない、、

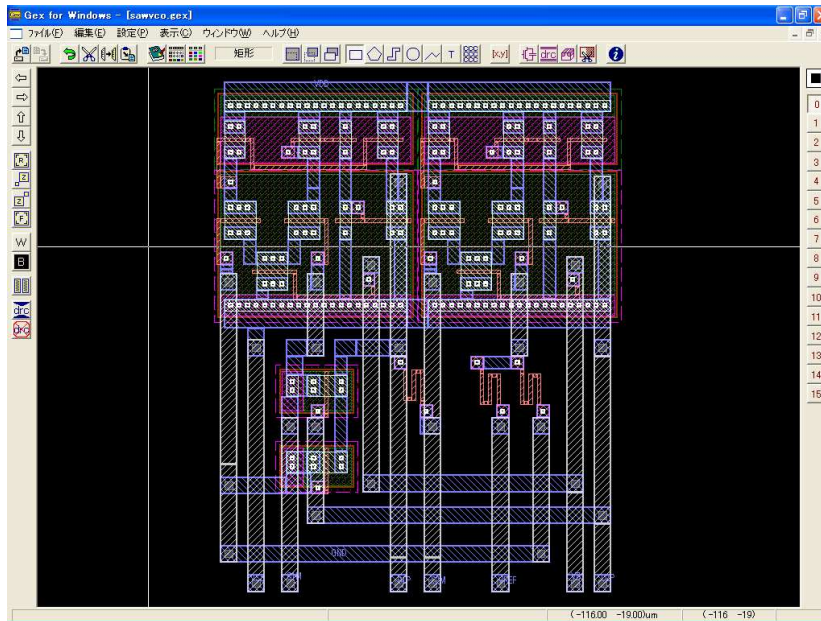
### 3. wgex でレイアウト作成

時間が押していたので不完全なアンプでレイアウト作成

ダイオード、抵抗は MOS ダイオード、シート抵抗として実装。

キャパシタは容量が大きかったため外付けすることとした。

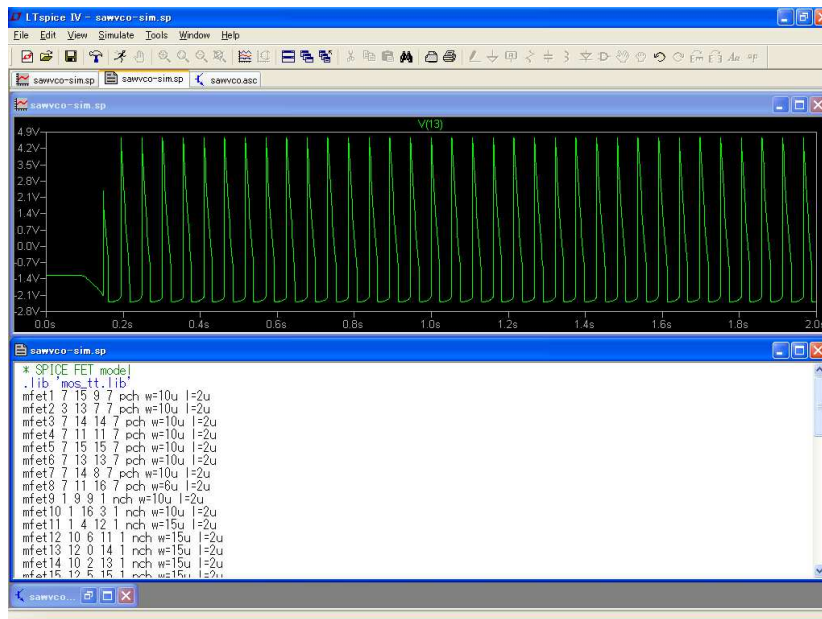
Fig3. LSI レイアウト



#### 4. wgex レイアウトでのシミュレーション

シミュレーションモデルは `mos_tt.lib` しかないので抵抗とキャパシタは手動で汎用モデルを追加およびネットリスト編集

Fig4. シミュレーション結果



発振こそするもののデータ波形、

## 5. チップ単体での評価

不完全設計ながらも秋田先生のご配慮によりチップ製造に相乗りさせていただき無事チップが納品される。

以下より評価

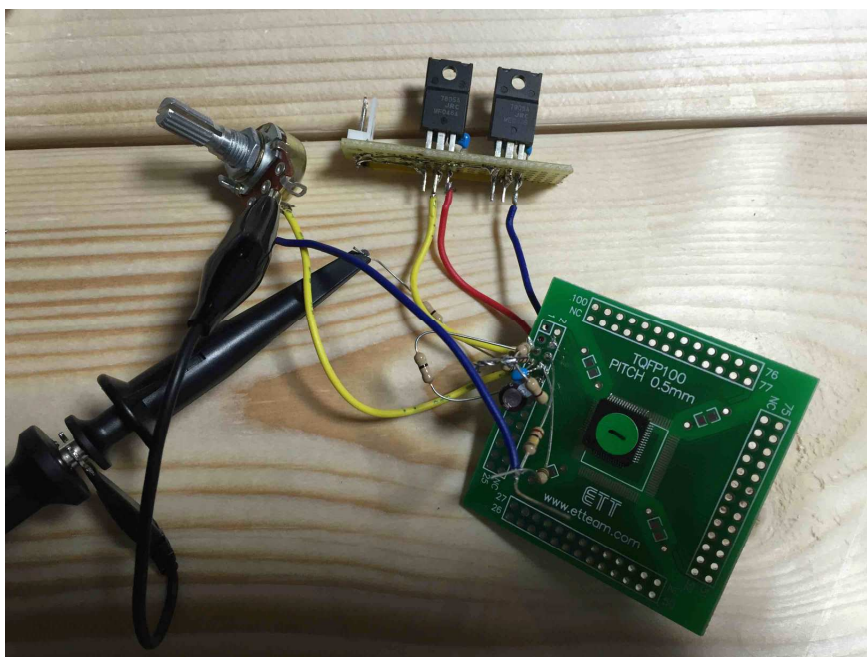
入力パラメータ、 $VDD=5V$ ,  $VSS=-5V$ ,  $VB=1.5V$ ,  $V_{in}=-0.1V$ ,  $VB=1.5V$

VIN 電圧をボリュームで制御 (0V~-2V)

正負電源は AC アダプタ 2 個使いで作成

- ・ 積分回路のコンデンサは 1V 付近までチャージされているものの発振しない
- ・ テスト中に後段のコンパレータ回路への入力を手動で ON/OFF したら発振が始まった
- ・ 1 度、チップ温度が著しく上昇し異臭がした
- ・ 数回発振は確認できたが以降は発振しなくなった  
(積分回路コンデンサへのチャージはされている)

Fig5.評価用回路

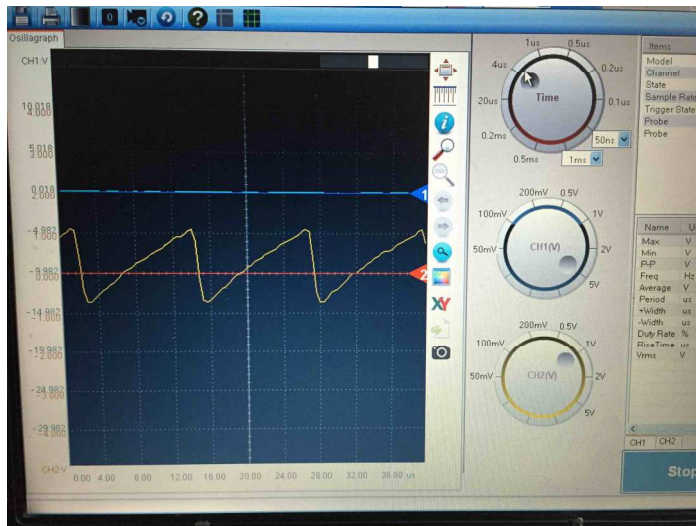


## 6. オシロスコープで測定

Sinsmart 製の格安オシロで出力を測定

- ・ 想定外にノコギリ波っぽく発振している (逆にシミュレーションとの差異が大きい?)

Fig6.オシロの観測波形



## 7. 振り返りなど

MOS トランジスタの原理を理解していないところからのスタートだったが、PMOS,NMOS で構成された INV ゲートの回路を理解して実際の LSI レイアウトを確認することで流れを掴んでいった。また、ディスクリート部品としての MOS トランジスタでしかなかったのでバックゲートなどの概念を理解することが大切だった。

FPGA での論理回路作成とは違ったプリミティブな体験ができてとても刺激的だった。

ツールについて

- ・ **wgex** は最初は戸惑ったものの慣れれば特に不自由なく使えた。
- ・ ただ、ネットリストの編集が発生するのが難だった。(バグ?)
- ・ **Itspice** で **mos\_tt.lib** を読ませて回路図エディタ上で結線させたかった  
(**wgex** でレイアウトする前にざっくりとしたテストがしたい)

他

- ・ 市販チップの感覚で評価していたら簡単に壊してしまったので評価基板に保護素子をつ実装しておくべきだった。

最後に本プロジェクトを企画された秋田先生、参加された皆様に御礼申し上げます。

今後の発展を楽しみにしております！