
電気電子情報一（前期）実験

A3. デジタル回路

総合レポート

03-160441 土屋潤一郎（工学部 電子情報工学科）
共同実験者: 井上友貴、田中大幹、坂口達彦（第 28 班）
2016 年 8 月 1 日

1. 実験の目的

アナログ回路で出来ているにも関わらず、論理ゲートそれ自体はデジタル回路の中では理想的なデジタル素子として扱える。その理由を、論理ゲートのパッケージである IC を用いて論理ゲートの基本特性を測定することで理解する。その上で、簡単な組み合わせ回路や順序回路を設計し、製作して、デジタル回路の設計について学ぶ。

2. 実験の原理

2.1 CMOS インバータ

CMOS による NOT ゲートは図 1 のようになる。入力が Hi ならば p MOS は導通せず、従って電源電圧は出力に伝わらない。入力が Low ならば p MOS は導通し、 n MOS が導通しないので電源電圧がダイレクトに出力となる。これら CMOS は、TTL 等に比べればデジタル素子として理想的であり、基本的なアナログ的な特性としては直流特性とスイッチング特性を知りたい。直流特性とは、直流電圧に対する出力電圧の特性であり、スイッチング特性とは、スイッチングが実際には即時に行われないことによってアナログ的要素として発生する、Hi/Low の遷移時間や、入力のスイッチングに対して出力のスイッチングが即時に行われないことによる立ち上がり・立ち下がり時間の特性のことを指す。

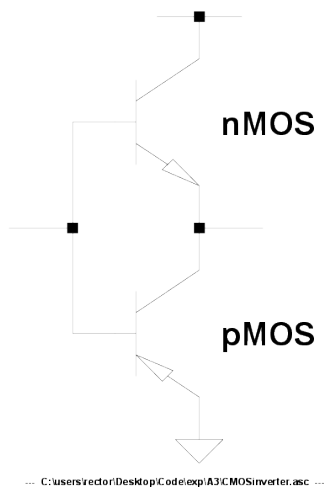


図 1 CMOS インバータ

全加算器を用いて実際に複数ビット（複数桁）の加算を行う方法はいくつか存在する。例えば、全加算器を桁数分用意し、各桁の c_{out} を直接次の c_{in} に接続していくリプルキャリーアダプターや、桁上がりを先んじて計算しておくキャリールックアヘッドジェネレータを用いた方法などがあるが、これらはいずれも順序回路ではない。

一方、直列加算回路は、一つの全加算器を、記憶素子を組み合わせる使いまわす回路である。その一例を図 4 に示す。2 つのシフトレジスタにそれぞれ足す 2 進数を入れ、その後スイッチを切り替えてクロックを進めると片方のシフトレジスタに答えが下の桁から入っていく、ということになる。

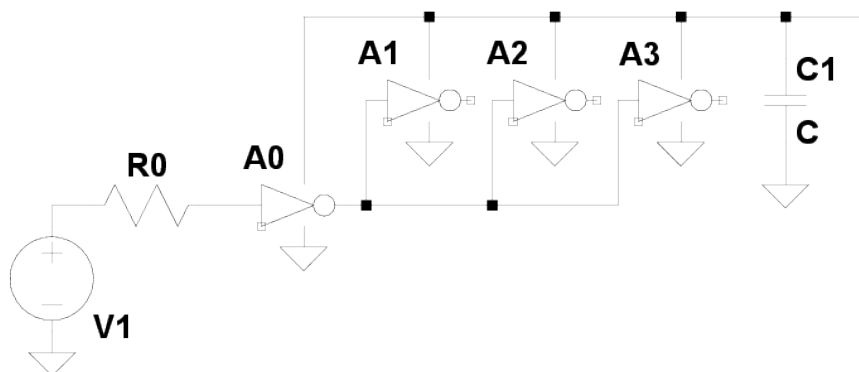
図 4 直列加算回路

3. 実験方法

回路の製作はブレッドボード上で行った。

3.1 CMOS インバータの入出力特性

図 5 のような回路を用いて、CMOS インバータの入出力特性を測定する。



--- C:\users\rector\Desktop\Code\exp\A3\invSokutei.asc ---

図5 CMOSインバータ特性測定回路

3.1.1 閾値電圧の測定

電源電圧を定格電圧以下で変化させ、それに対する閾値電圧を測定する。パルスジェネレータは正弦波に設定する。オシロスコープを特に X-Y モードに設定し、直流特性を測定する。

3.1.2 立ち上がり時間・立ち下がり時間の測定

電源電圧と入力電圧を 5V に固定し、入力波と負荷のインバータの個数を表 1 のように変化させ、立ち上がり時間と立ち下がり時間を測定する。

3.2 エッジ・トリガ D-FF の構成と動作確認

図 2 に示すような D-FF を構成し、入力 d をスイッチング出来るようにし、出力 q をその動作を以下の手順で確認する。(0 が 0V、1 が 5V である。)

1. 入力 d を 1 にして、clk を 0 → 1
2. d を適当に変化させる
3. clk を 1 → 0
4. d を適当に変化させる
5. d が 0 の時、clk を 0 → 1
6. d を適当に変化させる
7. clk を 0 → 1
8. d を適当に変化させる

表 1 立ち上がり時間と立ち下がり時間測定条件

波形	周波数 [Hz]	インバータ数
正弦波	10k	3
正弦波	20k	3
正弦波	50k	3
正弦波	100k	3
正弦波	200k	3
正弦波	500k	3
正弦波	1M	3
正弦波	2M	3
正弦波	5M	3
方形波	1M	4
方形波	1M	3
方形波	1M	2
方形波	1M	1

3.3 直列加算回路の製作

3.3.1 製作と動作確認

図 4 のような直列加算回路を製作し、その動作が正しいことを確認する。

3.3.2 直列加算回路の制御部の設計

図 6 のようなタイムチャートを実現する回路を製作し、スタートスイッチを立ち上げてクロックを進めると、8 クロックだけ **enable** 信号を立ち上げ、図 4 の回路が 8 ビット同士の加算を行って停止するような制御を行う。

図 6 制御回路タイミングチャート

4. 使用器具

ファンクション・ジェネレータ IWATSU SG-4104

直流電源 KENWOOD PR18-1.2A

オシロスコープ LeCroy WaveJet 314

抵抗 10 k Ω , 1/8W, $\pm 5\%$, 炭素皮膜抵抗（プルダウン及びプルアップ用）

コンデンサ 0.1 μ F, 積層セラミックコンデンサ（バイパスコンデンサ用）

NOT IC HD74HC04（特性測定用）, HD74LS04

NAND IC HD74LS00

D-FF IC HD74HC175（制御回路）, HD74LS175（直列加算回路）

OR IC HD74LS32

XOR IC HD74LS86

4bit Counter IC HD74HC393

8bit shift Register IC HD74LS164

用意された HC の IC の個数が少なかったため、製作した回路のほとんどで消費電力の大きい LS の IC を用いざるを得なかった。

5. 実験結果

5.1 CMOS インバータの入出力特性

5.1.1 閾値電圧の測定

図 7 のように（但し、バイパスコンデンサは無し）回路を組み、図 8～図 10 のような結果となった。凡例は（入力電圧, 電源電圧）となっている。

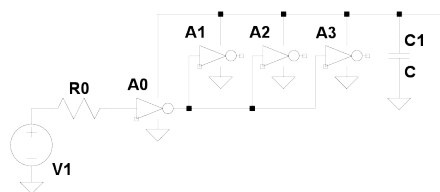


図 7 CMOS インバータ特性測定回路

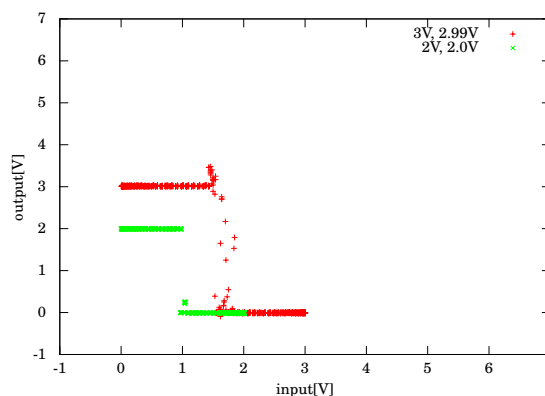


図 8 2V 及び 3V の測定結果

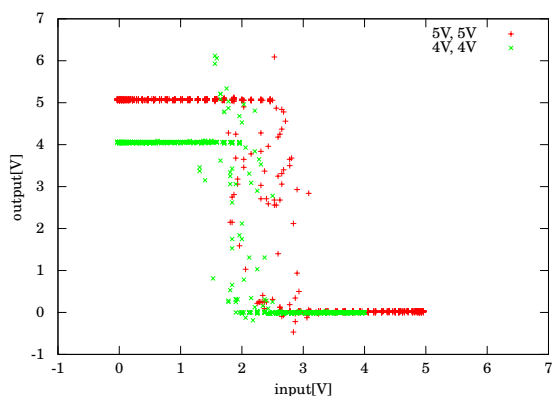


図9 4V 及び 5V の測定結果

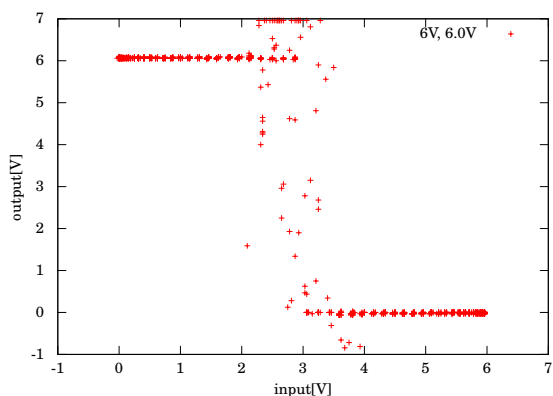


図10 6V の測定結果

閾値電圧周辺は不安定な領域が存在するものの、おおよそ電源電圧の 0.5 倍程度であることがわかる。

5.1.2 立ち上がり時間・立ち下がり時間の測定

括弧中のバイパスコンデンサも加えた図 7 の回路（但し、今度は負荷の NOT ゲートの数は可変、図 7 は 3 つ）で、結果は以下の表 2 のようになった。

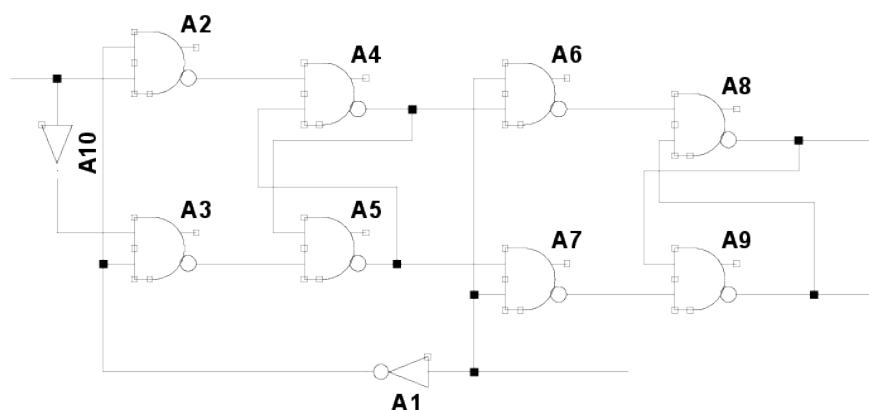
表 2 立ち上がり時間と立ち下がり時間測定の条件

波形	周波数 [Hz]	インバータ数	$t_{pHL}[\text{ns}]$	$t_{pLH}[\text{ns}]$
正弦波	10k	3	測定不能*	420 ??*
正弦波	20k	3	測定不能*	232 ??*
正弦波	50k	3	44	76
正弦波	100k	3	36	38
正弦波	200k	3	25	41
正弦波	500k	3	18.4	27.2
正弦波	1M	3	14.4	18.8
正弦波	2M	3	12.6	14.2
正弦波	5M	3	10.6	11
方形波	1M	4	7.6	8.6
方形波	1M	3	7.6	8.4
方形波	1M	2	7.2	8.0
方形波	1M	1	6.8	7.6

*これらの測定条件では、入力が閾値電圧周辺の不安定な領域を時間的に長く取り過ぎるため、出力もその範囲で Hi/Low を激しく変動してしまい、測定不能であるか、測定値が意味を持たないと考えらるべきである。

5.2 エッジ・トリガ D-FF の構成と動作確認

以後、クロックはスイッチにより全て手動で行っている。



--- C:\users\vector\Desktop\Code\exp\A3\D-FF.asc ---

図 11 ポジティブエッジトリガ D-FF

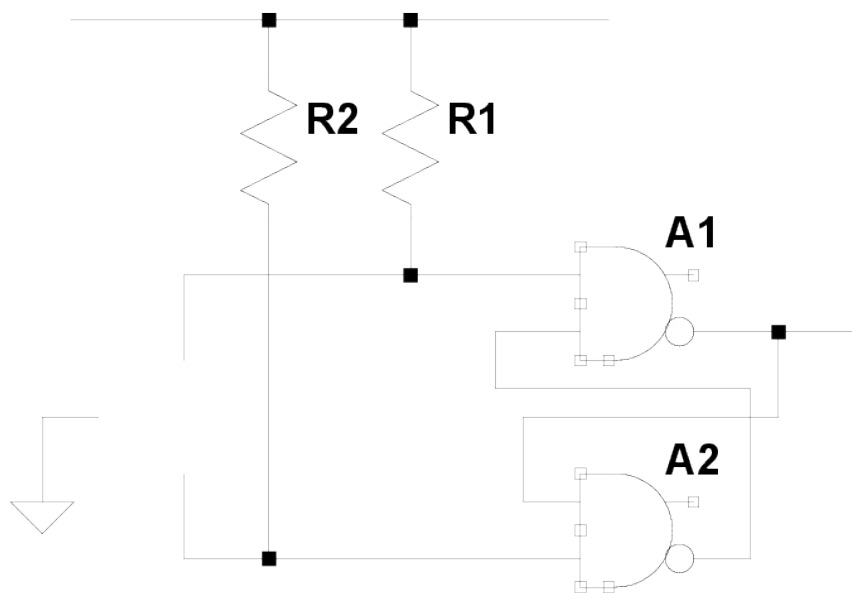
図 11 のように D-FF を構成し、入力 d をスイッチング出来るようにし、出力 q に LED をつないで電圧を簡単に確認できるようにした。動作を以下の手順で確認した。(0 が 0V、1 が 5V である。)

1. 入力 d を 1 にして、 clk を $0 \rightarrow 1$: 出力 q が 1 となった
2. d を適当に変化させる: q は 1 のままであった
3. clk を $1 \rightarrow 0$: q は動かなかった
4. d を適当に変化させる: q は 1 のままであった
5. d が 0 の時、 clk を $0 \rightarrow 1$: q が 0 となった
6. d を適当に変化させる: q は 0 のままであった
7. clk を $0 \rightarrow 1$: q は動かなかった
8. d を適当に変化させる: q は 0 のままであった

5.3 直列加算回路

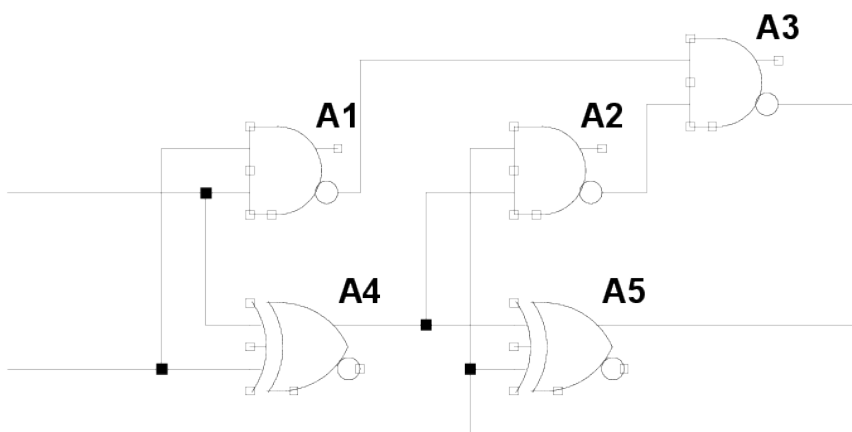
5.3.1 製作と動作確認

図 4 のように直列加算回路全体を製作し、その一部を図 12 と図 13 に示す。また、計算を確認するために、8 ビットレジスタを全て LED に繋げて、観測している状態で、手動クロックにより動作させた。



--- C:\users\rector\Desktop\Code\exp\A3\input.asc ---

図 12 入力回路



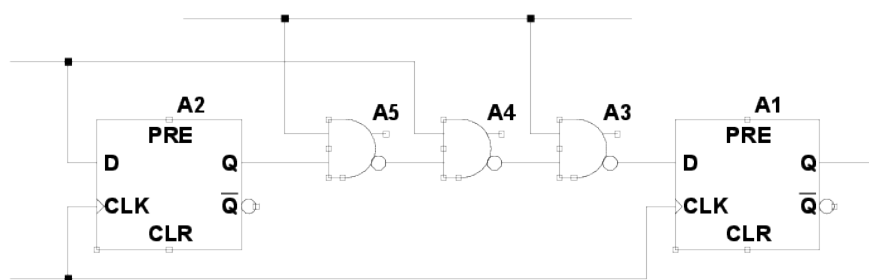
--- C:\users\rector\Desktop\Code\exp\A3\F A.asc ---

図 13 全加算器

5.3.2 制御部の設計と製作・全体の動作確認

図 14 のように制御回路全体を製作し、その細部を図 12、図 15、図 16 に示す。5.3.1 節と同様の方法で計算の結果が正しいことを確認した。

図 14 制御回路全体



```
--- C:\users\rector\Desktop\Code\exp\A3\1cycle.asc ---
```

図 15 1 サイクル出力回路

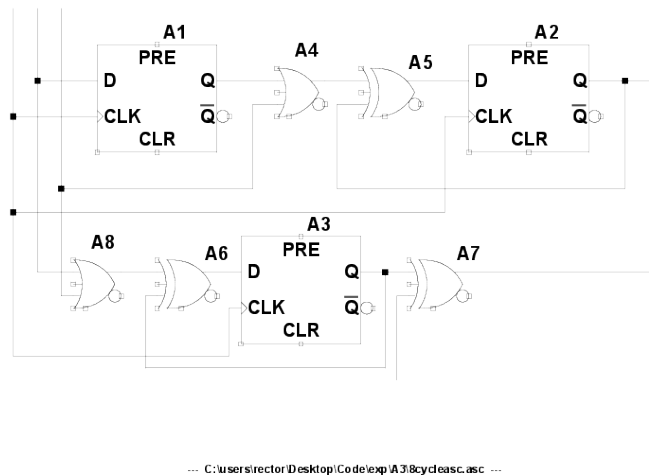


図 16 8 サイクル enable 生成回路

6. 考察

6.1 論理ゲートの設計

CMOS トランジスタを用いて、 $f = \overline{x \cdot y + z}$ を実現する論理ゲートを設計する。まず、 f の真理値表は以下の通り。

表 3 真理値表

x	y	z	f
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

CMOS であるから、とりあえず p MOS 側だけ考えて、 n MOS 側はそれと相補的に設計すればよい。そこで、じっと真理値表を見てみると、 z が 1 の時だけは必ず f が 0 である。従って、 z に繋がれている p MOS トランジスタが OFF であるときは、必ず、出力 f にまで電源電圧が伝わらない。従って、 z に繋がれている p MOS トランジスタは直列接続である。次いで、それがなにと直列接続なのかを考えなければならない。従って、今度は逆に z が 0 の時に目を向けてみると、 x と y が揃って 1 の時、つまり両者に繋がれている p MOS トランジスタが OFF であるとき以外は、出力 f に電源電圧が伝わっている。従って、 x と y に繋がれた p MOS トランジスタが、並列接続で、それが z に繋がれている p MOS トランジスタと直列接続であれば良く、これと相補的に n MOS 側を設計して、論理ゲートは図 17 のようになる。

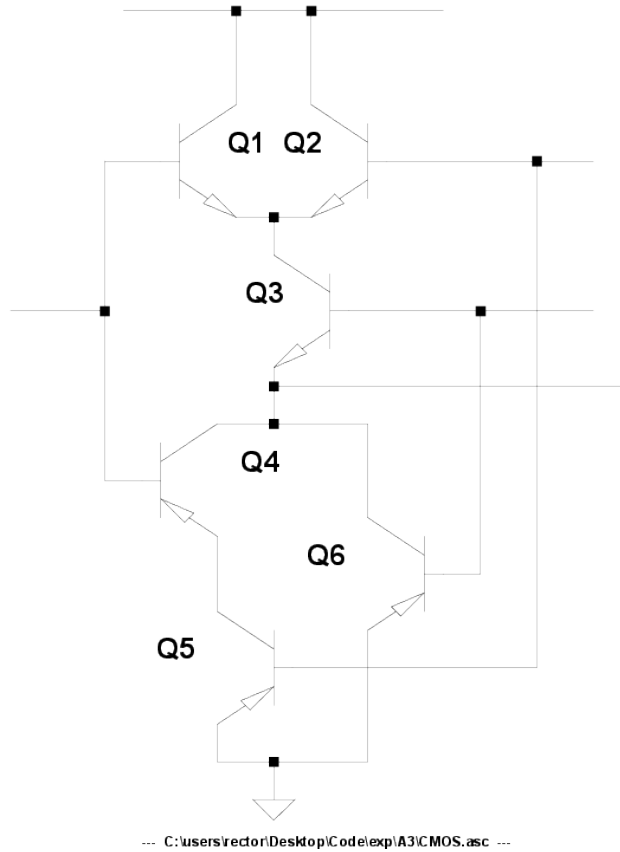


図 17 論理ゲート ($f = \overline{x \cdot y + z}$)

6.2 伝搬遅延時間とファンアウト

表 2 の、特に下 4 行の結果から、伝搬遅延時間と次段のゲート数（ファンアウト）の間にある関係を利用して、CMOS インバータの基本遅延時間 τ_0 と負荷による遅延時間増大係数である τ_1 を見積もる。

伝搬遅延時間を t_p 、ファンアウトを n とすると、 $t = \tau_0 + n\tau_1$ という近似的にあらわされるから、表 2 の下から 4 行を用いて、 y を伝搬遅延時間、 x をファンアウトとしてその推定回帰式を求めると、

$$t_{pHL} : y = 6.6 \cdot 10^{-9} + (0.28 \cdot 10^{-9})x \quad (1)$$

$$t_{pLH} : y = 7.3 \cdot 10^{-9} + (0.34 \cdot 10^{-9})x \quad (2)$$

従って、

$$t_{pHL} : \tau_0 = 6.6[\text{ns}], \tau_1 = 0.28[\text{ns}] \quad (3)$$

$$t_{pLH} : \tau_0 = 7.3[\text{ns}], \tau_1 = 0.34[\text{ns}] \quad (4)$$

程度と見積もれる。

6.3 ある順序回路の設計

次のような自動販売機を考える。

- 200 円のとある商品だけが販売されている。
- 使用できるのは 50 円硬貨と 100 円硬貨だけである。

- 入れた硬貨の合計額が 200 円以上になると、商品を排出する。
- 入れた硬貨の合計額が 200 円より大きいと、商品とともに釣り銭を排出する。

この自動販売機を制御するため、入力 (x_0, x_1) 、出力 y_0, y_1 を考える。

- 50 円硬貨が投入されると、1 クロックだけ x_1 が立ち上がる。
- 100 円硬貨が投入されると、1 クロックだけ x_0 と x_1 の両方が立ち上がる。
- 出力 y_0 が 1 クロック立ち上がると、商品を排出する。
- 出力 y_1 が 1 クロック立ち上がると、釣り銭を排出する。

この状態機械を考えると、状態は以下のように 4 つ考えられる。

- S_1 硬貨を 50 円分受け取っている状態。
 S_2 硬貨を 100 円分受け取っている状態。
 S_3 硬貨を 150 円分受け取っている状態。
 S_0 上記のうちいずれでもない状態。つまり硬貨が投入されていないか、商品が排出された状態。

これに満たす状態遷移表を以下表 4 に示す。

表 4 状態遷移表 ($S(t+1), y_0 y_1$)

$S(t) \backslash x_0 x_1$	00	01	11
S_0	$S_0, 00$	$S_1, 00$	$S_2, 00$
S_1	$S_1, 00$	$S_2, 00$	$S_3, 00$
S_2	$S_2, 00$	$S_3, 00$	$S_0, 10$
S_3	$S_3, 00$	$S_0, 10$	$S_0, 11$

また、状態割り当てを表 5 の如くすると、その出力関数と次状態関数は、

表 5 状態割り当て

状態名	$s_0 s_1$
S_0	00
S_1	01
S_2	11
S_3	10

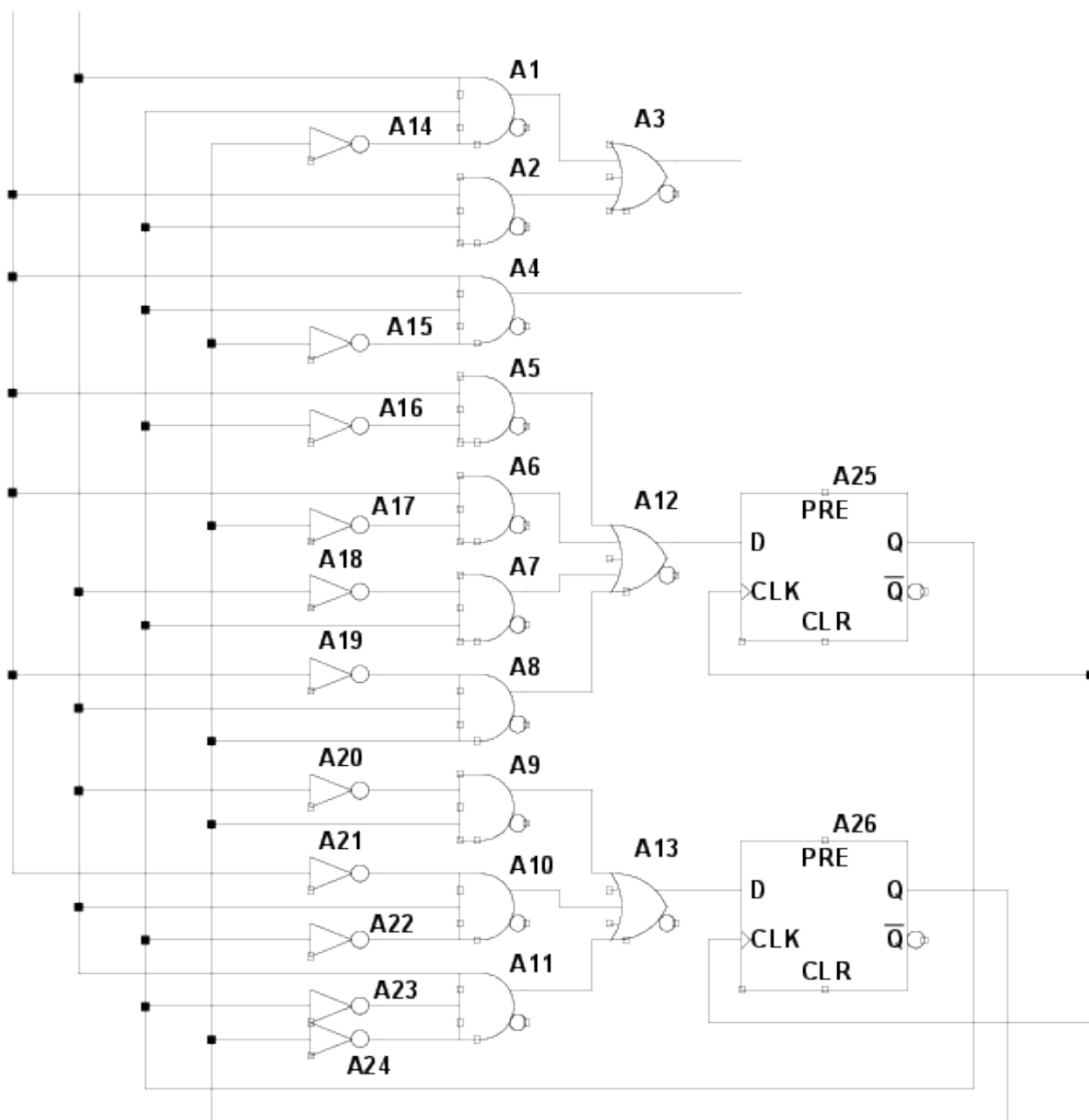
$$y_0 = x_1 s_0 s'_1 + x_0 s_0 \quad (5)$$

$$y_1 = x_0 s_0 s'_1 \quad (6)$$

$$s_0 = x_0 s'_0 + x_0 s'_1 + x'_1 s_0 + x'_0 x_1 s_1 \quad (7)$$

$$s_1 = x'_1 s_1 + x'_0 x_1 s'_0 + x_1 s'_0 s'_1 \quad (8)$$

これを論理回路で実現したものを、図 18 に示す。



--- C:\users\rector\Desktop\Code\exp\A3\statemachine.asc ---

図 18 自動販売機の制御回路

7. 参考資料

1. 東京大学工学部 電子情報工学科・電気電子工学科（2016）『電気電子情報第一（前期）実験 テキスト』
2. 五島正裕（2007）『デジタル回路』数理工学社