

Sprawozdanie - laboratorium 2

Maksim Birszel, Piotr Karoń

14 listopada 2019

1 Zadanie

Zaprojektować, zasymulować i zaimplementować na płycie ZL-9572 3-bitowy licznik o następującej sekwencji:

0->5->1->2->3->4->6->7

2 Tabela prawdy

Układ został zaprojektowany na przerzutnikach typu D.

			t			t+1				
		Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	D_2	D_1	D_0
0	5	0	0	0	1	0	1	1	0	1
1	2	0	0	1	0	1	0	0	1	0
2	3	0	1	0	0	1	1	0	1	1
3	4	0	1	1	1	0	0	1	0	0
4	6	1	0	0	1	1	0	1	1	0
5	1	1	0	1	0	0	1	0	0	1
6	7	1	1	0	1	1	1	1	1	1
7	0	1	1	1	0	0	0	0	0	0

3 Tablice Karnaugh

Tablice Karnaugh utworzone na podstawie tabeli prawdy oraz wynikające z nich równania:

3.1 Dla D2

$Q_2Q_1Q_0$	0	1
00	1	
01		1
11	1	
10	1	

$$D_2 = \overline{Q_2} \overline{Q_1} \overline{Q_0} + \overline{Q_2} Q_1 Q_0 + Q_2 \overline{Q_0}$$

3.2 Dla D1

$Q_2Q_1Q_0$	0	1
00		1
01	1	
11	1	
10	1	

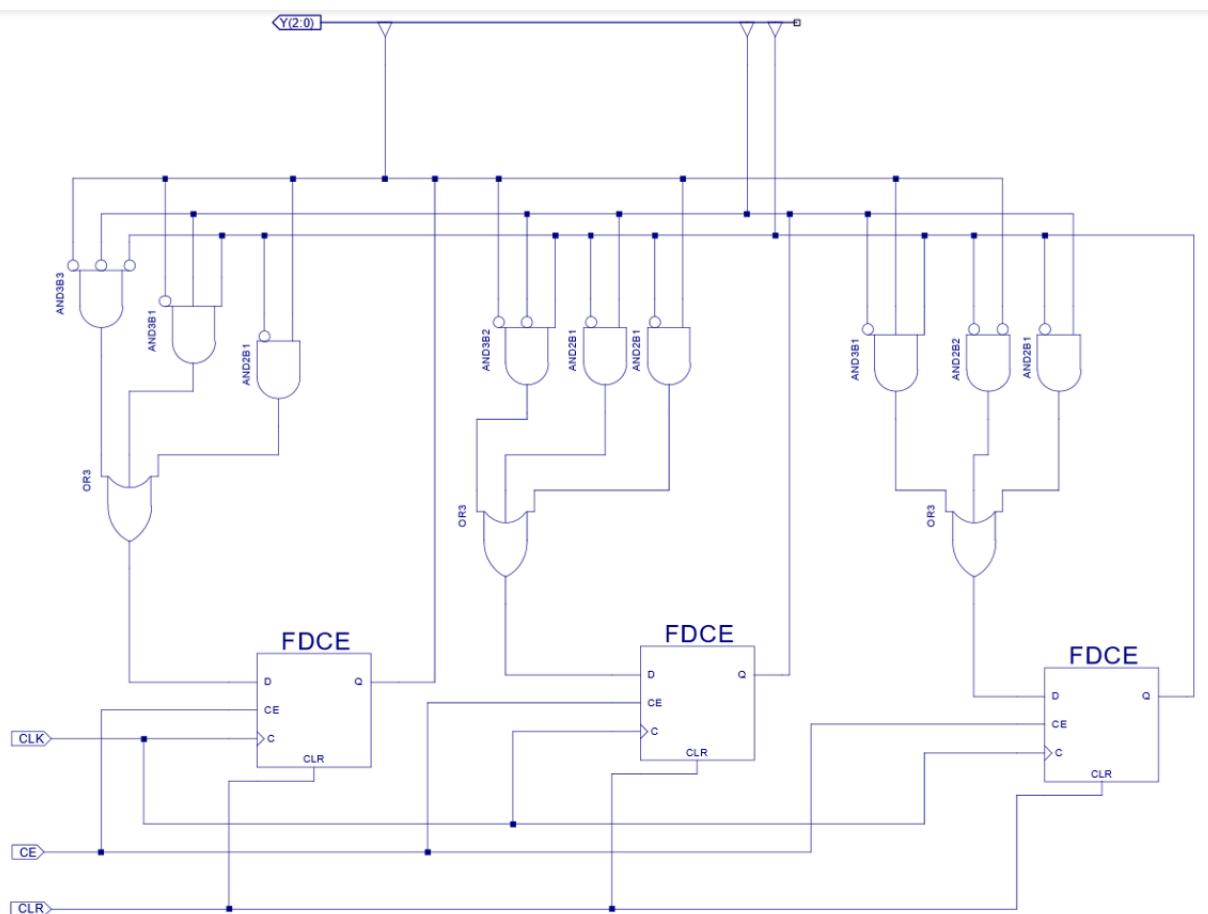
$$D_1 = \overline{Q_2} \overline{Q_1} Q_0 + Q_1 \overline{Q_0} + Q_2 \overline{Q_0}$$

3.3 Dla D0

$Q_2Q_1Q_0$	0	1
00	1	
01	1	
11	1	
10		1

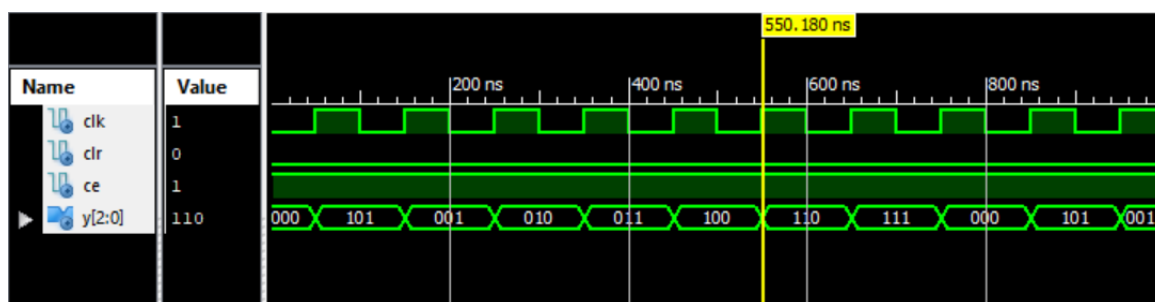
$$D_0 = Q_2 \overline{Q_1} Q_0 + \overline{Q_2} \overline{Q_0} + Q_1 \overline{Q_0}$$

4 Schemat

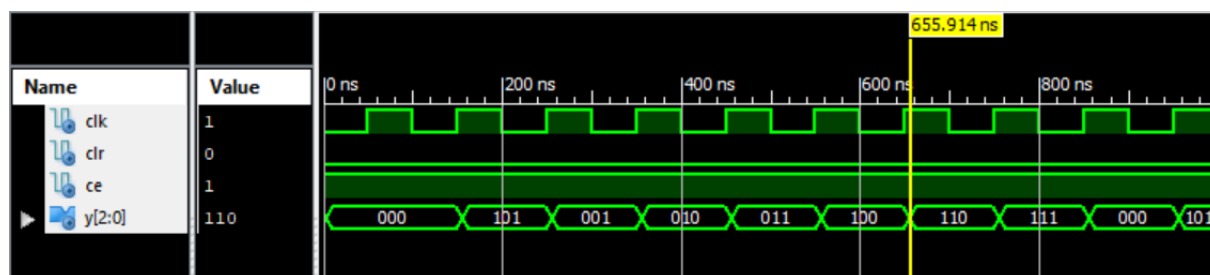


5 Symulacja behawioralna

Czas zmiany jak widać na wykresie wynosi około 5,8 ns.



6 Symulacja czasowa Post-Fit



7 Wnioski

Na papierze została wykonana tablica prawdy, a na jej podstawie tablice Karnaugh'a oraz minimalizacje dla wszystkich trzech przerzutników typu D.

Układ został w pełni stworzony w środowisku ISE.

Do wykonania symulacji konieczne było stworzenie pliku VHDL z przypisanymi pobudzeniami.

Po podłączeniu płytki wszystko działało zgodnie z wykonaną symulacją tzn. z każdą zmianą stanu na zegarze zapalała się oczekiwana sekwencja diod LED.