

# Definizioni:

- **HPC (High Performance Computing):** È la pratica di aggregare la potenza di calcolo in modo da ottenere prestazioni superiori a quelle che si potrebbero ottenere da un tipico computer desktop per risolvere grandi problemi nel campo della scienza, ingegneria o attività commerciale.
- **Instruction Level Parallelism:** Qualunque forma di esecuzione simultanea di più di una istruzione per ciclo di clock. (La pipeline è la prima forma di ILP). Aumentando i componenti interni si possono eseguire più istruzioni per stadio e per ciclo di clock.
- **Speculazione:** È una tecnica che permette al processore di anticipare l'esecuzione di istruzioni successive basandosi su previsioni, anziché attendere il completamento delle istruzioni precedenti. Se la previsione è corretta, si ottiene un miglioramento delle prestazioni, ma se è errata, si devono scartare le istruzioni speculativamente eseguite, comportando un costo in termini di prestazioni. La verifica dell'accuratezza della previsione però complica la pipeline.

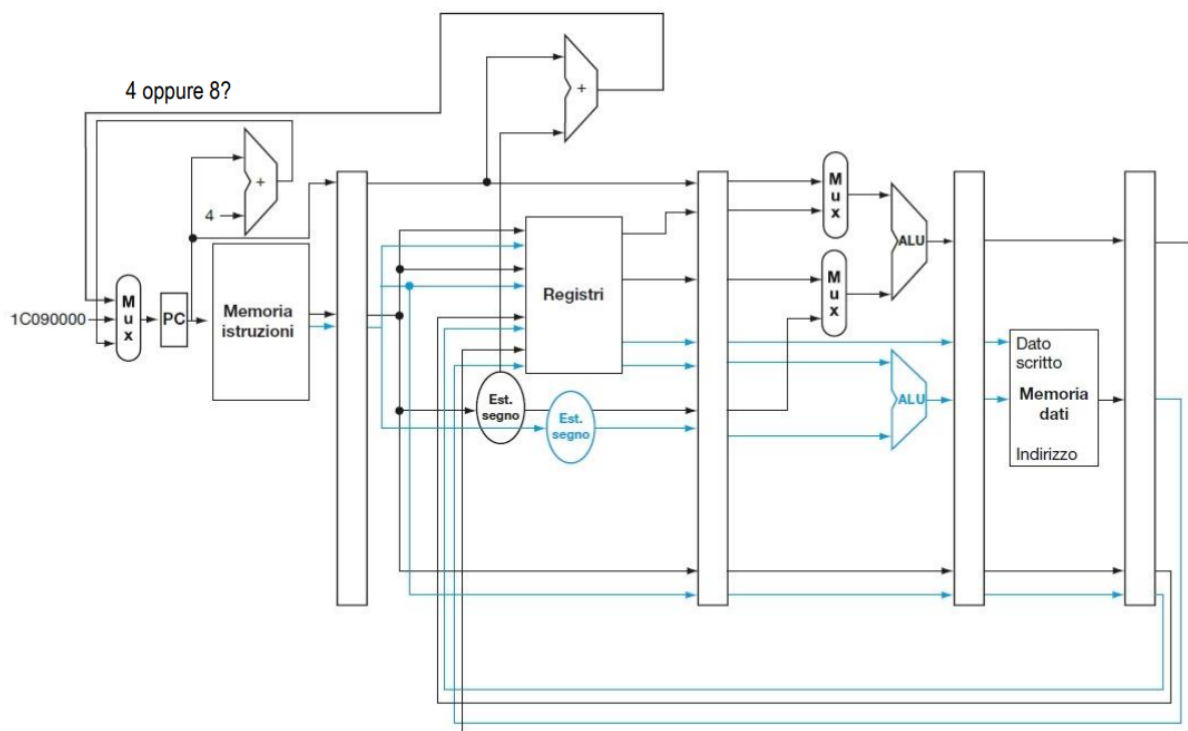
## Parallelizzazione dell'esecuzione:

### Statica:

Le decisioni sono prese durante la compilazione (direttamente nell'Hardware), dove il compilatore si occupa di:

- Formare i pacchetti di istruzioni (istruzioni singole più lunghe, dove i vari componenti sono presenti in campi predefiniti).
- Prevenire o ridurre gli hazard, anche con la predizione.

### Hardware aggiuntivo:



Per supportare la parallelizzazione vengono aggiunti:

- Bit addizionali dalla memoria istruzioni.
- Due porte di lettura e una di scrittura per il register file.
- Una ALU che si occupa del calcolo degli indirizzi per il trasferimento dati.

### Loop unrolling:

È una tecnica che consiste nel sostituire le istruzioni all'interno di un ciclo con più istruzioni ripetute, in modo da ridurre il numero di volte che il ciclo deve essere iterato e aumentare così il parallelismo. Per esempio, se un ciclo esegue un'operazione dieci volte, utilizzando il loop unrolling, vengono generate dieci copie dell'istruzione all'interno del ciclo, consentendo al processore di eseguire più istruzioni in parallelo senza dover ripetere il ciclo dieci volte.

### Dinamica:

Le istruzioni sono eseguite in ordine (quello deciso dal compilatore) e in esecuzione il processore decide se mandarne in esecuzione una alla volta, due o più (direttamente nel Software).

Le componenti necessarie sono:

- Dynamic scheduling (per il ritorno a tempo di esecuzione).
- Più unità funzionali (ALU di vario tipo...).
- Una stazione di prenotazione per unità funzionale per operazione ed operandi.
- Unità di consegna (commit unit).
- Buffer di riordino nell'unità di consegna.

### Processori superscalari:

Si basano sulla parallelizzazione dinamica.

- Ogni istruzione eseguita (solo quando gli operandi sono disponibili) va nella stazione corrispondente.
- Le istruzioni possono essere eseguite fuori ordine ma saranno sempre consegnate in ordine.
- Le unità funzionali eseguono le istruzioni non appena i dati sono disponibili.
- I dati possono arrivare dal register file, dalla memoria dati o dal buffer dell'unità di consegna.
- Se la speculazione è errata cancella i dati dal buffer di riordino.

Prende un blocco di istruzioni, le mette nelle stazioni di prenotazione tramite uno scheduler fisico, manda le istruzioni nelle ALU, i risultati di queste istruzioni (completate in un ciclo di clock) vengono salvati in register file "locali", riordinati e poi salvati in un register file "globale".

### Sandy Bridge:

Microarchitettura sviluppata da Intel e rilasciata nel 2011, comprende una grafica integrata, prestazione della CPU potenziate e nuove estensioni dell'insieme di istruzioni.

### Ibrida:

La più utilizzata.

## Architetture parallele:

### Classificazione di Flynn:

