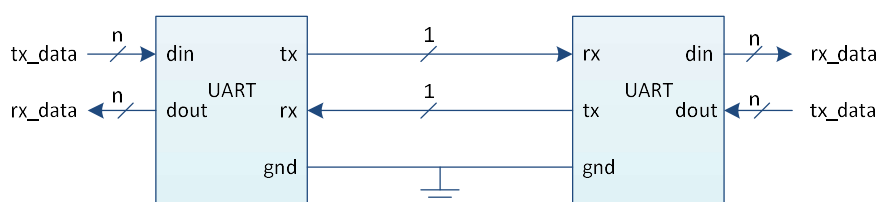


UART prijemnik

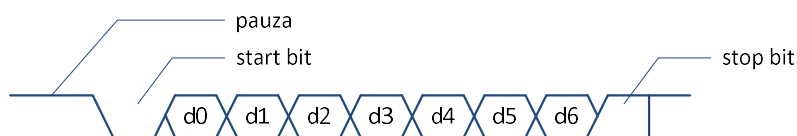
1. UART

Univerzalni asinhroni prijemnik i predajnik - UART (*Universal Asynchronous Receiver and Transmitter*) – je digitalno kolo za serijski prenos paralelnih podataka (Sl. 1). UART se sastoji iz predajnika i prijemnika. Predajnik funkcioniše kao konvertor podataka iz paralelnog u serijski, a prijemnik kao konvertor iz serijskog u paralelni oblik.



Sl. 1

U pauzama između prenosa, naponski nivo signala na liniji odgovara logičkoj 1-ci. Prenos počinje *start bitom*, koji je uvek '0', posle koga slede *bitovi podataka*, kojih može biti 6, 7 ili 8, zatim, opcionalno, jedan *bit parnosti*, a onda i *stop bitovi*, kojih može biti 1, 1.5 ili 2. Na Sl. 2 je prikazan format signala za prenos 7-bitnog podataka, bez bita parnosti i sa jednim stop bitom. Uočimo da se informacija o taktu ne prenosi serijskom linijom.



Sl. 2. 7-bitni podatak, 1 stop bit, bez bita parnosti.

Parametri rada, kao što su bitska brzina (broj bita u sekundi), broj bitova podataka, broj stop bitova i upotreba bita parnosti, moraju biti usaglašeni između predajnika i prijemnika da bi prenos bio moguć. Najčešće korišćene bitske brzine su 2400, 4800, 9600 i 19200 bita u sekundi (bps).

1.1. Ubrzano semplovanje

U osnovi UART prijemnika je pomerački registar sa serijskim ulazom i paralelnim izlazima. Bitovi koji pristižu serijskom linijom upisuju se u pomerački registar serijski, jedan po jedan, tako da je nakon prijema stop bita, kompletan podatak prisutan u pomeračkom registru i dostupan u paralelnom obliku na paralelnim izlazima registra. Glavna poteškoća prilikom realizacije UART prijemnika odnosi se na određivanje trenutaka semplovanja serijske linije (odnosno, kad treba upisati novi bit u pomerački registar). Ova poteškoća potiče otuda što se između predajnika i prijemnika ne prenosi takti signal, kojim bi se prijemniku prenela informaciju o početku i kraju svakog bitskog intervala, već se zahteva da prijemnik autonomno obezbedi korektno (pravovremeno) semplovanje serijske linije i to samo na osnovu unapred poznatih parametara prenosa (bitska brzina i format podataka). Za realizaciju ove funkcije najčešće se koristi tzv. tehnika ubrzanog semplovanja (*oversampling*). Osnovni zahtev je taj da se za taktovanje prijemnika koristi signal k puta više frekvencije od bitske brzine. Pri tom se najčešće

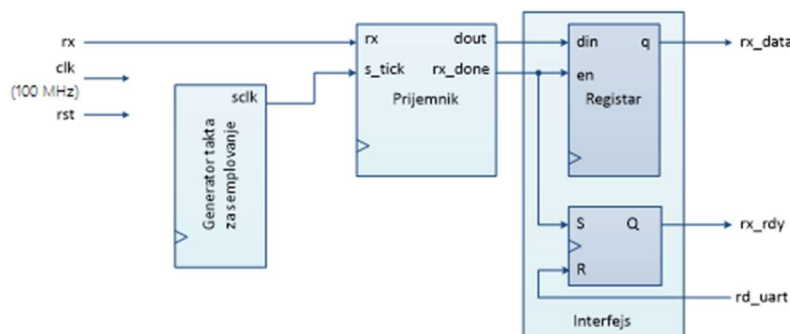
koristi faktor ubrzanja $k=16$. Pod pretpostavkom da je broj bitova podatka N , a broj stop bitova M , ubrzano smplovanje se ostvaruje na sledeći način:

1. (*Pasivno stanje*) Čekanje da se na liniji pojavi '0' (tj. start bit), a onda startovanje brojača za smplovanje. (Radi se o brojaču osnove 16 koji se taktuje $k=16$ puta višom frekvencijom od bitske brzine.)
2. (*Start bit*) U momentu kad brojač za smplovanje uđe u stanje 7, na liniji je sredina start bita. Restartovati brojač (vratiti ga na 0).
3. (*Prijem bita podatka*) U momentu kad brojač dostigne stanje 15, na liniji je sredina prvog bita podataka. Smplovati liniju (upisati bit u pomerački registar) i restartovati brojač.
4. Ponoviti korak 3 $N-1$ puta, kako bi se preuzeli svi bitovi podatka.
5. (*Prijem bita parnosti*) Ako se koristi bit parnosti, korak 3 ponoviti još jedanput.
6. (*Prijem stop bita*) Korak 3 ponoviti M puta radi prijema stop bitova.

2. Projektovanje

Konceptualni blok dijagram UART prijemnika prikazan je na Sl. 3. Uočavamo tri glavne komponente:

- Prijemnik – modul koji sprovedi proceduru ubrzanog smplovanja radi prijema jednog podatka.
- Generator takta – modul koji generiše takt za smplovanje.
- Interfejsna logika – sadrži registar za baferovanje primljenog podatka i logiku za generisanje statusa UART prijemnika.

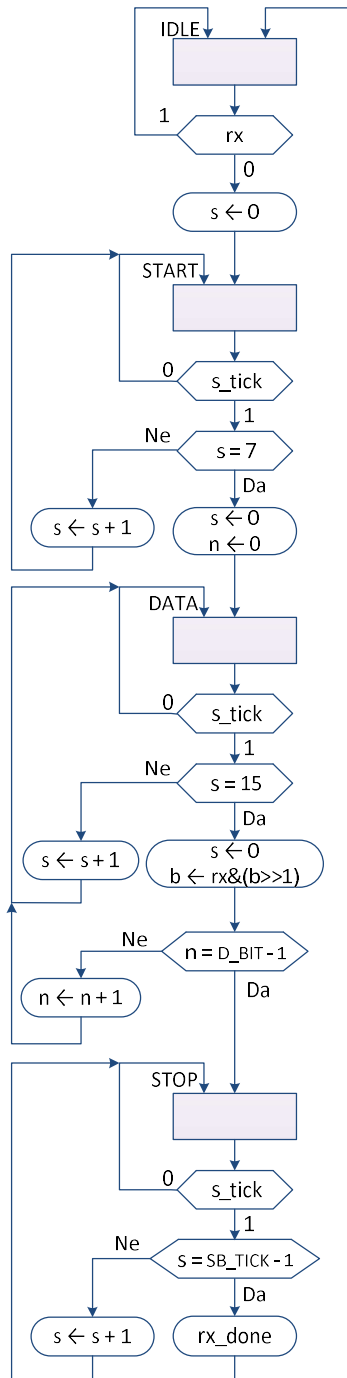


Sl. 3. Blok dijagram UART prijemnika.

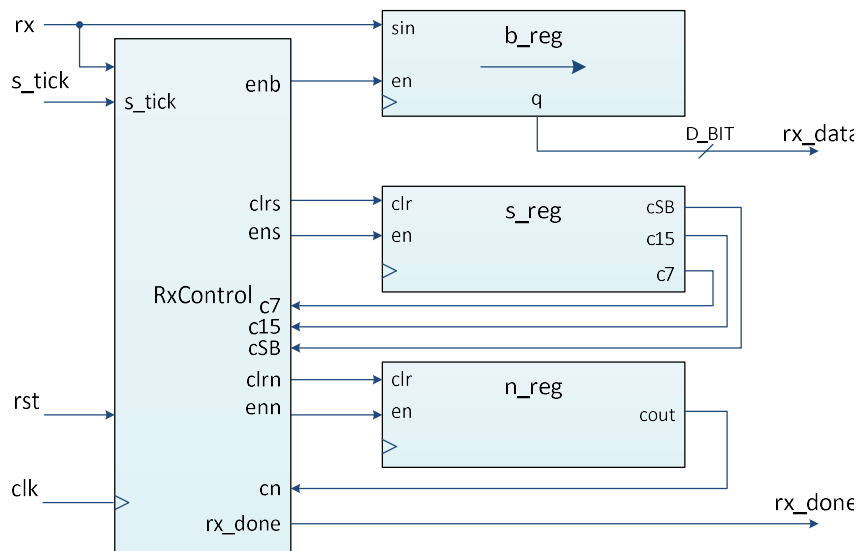
Generator takta. Ovaj blok, na osnovu sistemskog takta, generiše signal frekvencije koja je $k=16$ puta viša od bitske brzine prenosa podataka. (Generisani signal se koristi kao signal dozvole taktovanja, a ne kao taktni signal prijemnika.) Za bitsku brzinu od 19,200 bps, potrebna je brzina smplovanja od 307,200 puta u sekundi (tj. $19,200 \times 16$). S obzirom da je frekvencija sistemskog takta 100 MHz, generator takta treba realizovati kao brojač osnove 326 koji će generisati signal trajanja jednog sistemskog taktnog intervala na svaka 326 taktna ciklusa ($326 = 100 \times 10^6 / 307200$).

Interfejsna logika. Interfejsnu logiku čini prihvatni registar za čuvanje poslednje primljenog podatka i flip-flop koji omogućava manipulaciju statusnim signalom *rx_rdy*. Po prijemu novog podatka (*rx_done* = '1'), podatak se upisuje u izlazni registar i signal *rx_rdy* se postavlja na '1' što predstavlja indicaciju sistemu koji koristi UART da je novi podatak dostupan na izlazu *r_data*. Sistem koji koristi UART ima obavezu da prilikom preuzimanja podatka sa izlaza *r_data* aktivira signal *rd_uart* i da tako resetuje statusni signal *rx_rdy*.

Prijemnik. Na Sl. 4 je prikazan ASMD dijagram koji opisuje rad UART prijemnika shodno prethodno izloženoj proceduri ubrzanog semplovanja. Radi univerzalnosti, uvedene su dve konstante: D_BIT – broj bitova podataka i SB_TICK - broj stop bitova pomnožen faktorom ubrzanja. Dopuštene vrednosti parametra SB_TICK su 16, 24 i 32, za 1, 1.5 i 2 stop bita, respektivno.



Sl. 4



Sl. 5

ASMD dijagram prati opšti tok procedure ubrzanog semplovanja. Četiri stanja ASMD dijagrama, *idle*, *start*, *data* i *stop*, odgovaraju redom pasivnom stanju (korak 1), procesiranju start bita (korak 2), prijemu bitova podataka (korak 4) i stop bita (korak 6). (Procesiranje bita parnosti nije obuhvaćeno ASMD dijagramom.) Signal s_tick potiče iz generatora takta i postavlja se na '1' 16 puta tokom jednog bit-intervala. U ASMD dijagramu se koriste tri promenljive, s , n i b . Promenljiva s se koristi za odbrojavanje

taktova smplovanja u okviru bit-intervala, dok promenljiva n služi za odbrojavanje primljenih bitova podataka u stanju $data$. Primljeni bitovi podataka se upisuju i pamte u promenljivoj b . Takođe, ASMD postavlja statusni signal rx_done po završetku prijema stop bitova.

Za realizaciju staze podataka UART prijemnika potrebne su tri registarske komponente: s_reg , n_reg i b_reg , koje odgovaraju promenljivama s , n i b . Registar s_reg može biti realizovan kao brojač osnove 16 sa dozvolom brojanja (en), indikacijom stanja 7 (izlaz $c7$), 15 (izlaz $c15$) i SB_TICK-1 (izlaz cSB) i mogućnošću sinhronog resetovanja (ulaz clr). Registar n_reg se može realizovati u vidu brojača osnove D_BIT sa dozvolom brojanja (en), indikacijom završnog stanja ($cout$) i sinhronim resetom (clr). Registar b_reg je pomerački registar sa serijskim ulazom (sin), paralelnim izlazima (q) i dozvolom serijskog upisa (en).

Na Sl. 5 je prikazana unutrašnja struktura prijemnika (staza podataka i upravljačka jedinica).

- ◆◆◆ -