

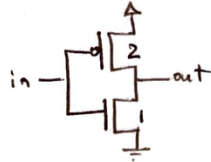
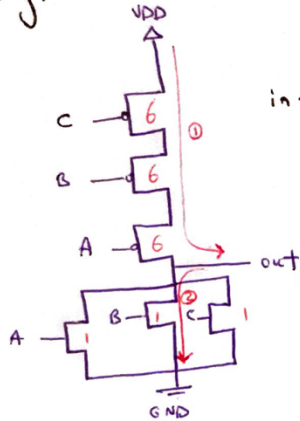
گزارش کار

تمرین کامپیوتری دوم

تهیه کننده : ملیکه احقاقی

شماره دانشجویی : ۸۱۰۱۹۴۲۵۴

Sizing:



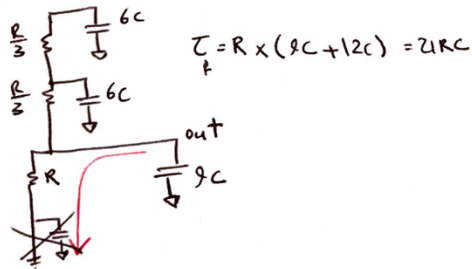
$$\textcircled{2} \Rightarrow \frac{R}{K_n} = R \Rightarrow K_n = 1$$

$$\textcircled{1} \Rightarrow 3 \times \frac{2R}{K_p} = \frac{2R}{2} \Rightarrow K_p = 6$$

$$\left(\frac{W}{L}\right)_p = 6, \quad \left(\frac{W}{L}\right)_n = 1$$

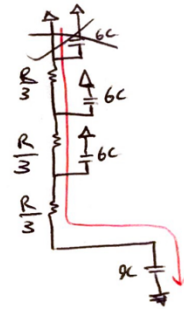
worst case delay:

$$t = 21RC \quad \begin{matrix} A & B & C \\ \text{Fall} & \circ & \circ \end{matrix}$$



$$t = 15RC$$

A B C
... L



$$T_r = \frac{R}{3} (6C + 6C + 9C) + \frac{R}{3} (6C + 9C) + \frac{R}{3} (9C) = 15RC$$

توجه شود که برای رسیدن به حالت rising و یا falling حالات گوناگونی برای ورودی ها نسبت به هم میتوانند رخ دهد اما بدترین زمان تاخیر در حالتی به وجود می آید که دو ورودی ثابت و دیگری در transition باشد که بدترین حالت در محاسبات بالا آمده است. برای مثال اگر در حالت fall بیشتر از یک nmos روشن شود تاخیر کم تری به وجود خواهد آمد چرا که pmos ها خاموش می شوند و خازن های کمتری در مسیر محاسبه شده توسط elmore delay قرار می گیرند تا شارژ شوند. (اگر مثلاً $1 < B$ آنگاه تاخیر برابر $15RC$ و اگر همچنین $1 < A$ تاخیر برابر $9RC$ می شود و هر حالت دیگری از گذر ها در نظر گرفته شود کمتر از $21RC$ خواهد بود.) به طور مشابه برای حالت rising نیز بدترین حالت زمانی رخ خواهد داد که دو ورودی ثابت و دیگری گذر کند.

ج) با توجه به بدترین حالت محاسبه شده در حالت دستی با کمک نرم افزار به شبیه سازی این مدار می پردازیم و نتیجه ی محاسبه ی t_{rise} و t_{fall} در ادامه آورده شده است. (فایل مربوطه nor.sp است)

```
*****
***** digital electronics, inverter design*****
***** transient analysis                      tnom= 25.000 temp= 25.000
*****
t_rise= 2.7318E-11  targ= 4.0871E-11  trig= 1.3553E-11
t_fall= 2.1370E-11  targ= 7.5738E-11  trig= 5.4368E-11
```

د) در این بخش برای محاسبه ی t_{pd} نیاز است ابتدا مقدار t_{pdf} و t_{pdr} محاسبه شود و از فرمول زیر t_{pd} به دست خواهد آمد. توجه شود که محاسبات این بخش نیز بر اساس بدترین حالت انجام گرفته است و propagation از ورودی c به خروجی out مورد بررسی قرار گرفته است. (کد مربوطه در فایل nor.sp آمده است.)

$$t_{pd} = \frac{t_{pdr} + t_{pdf}}{2}$$

Output:

```
tpdr= 2.3885E-11  targ= 2.4385E-11  trig= 5.0000E-13
tpdf= 1.3341E-11  targ= 6.4841E-11  trig= 5.1500E-11
tpd= 1.8613E-11
```

ه) ماکسیمم فرکانس کاری مدار از فرمول زیر با کمک مقادیر محاسبه شده در مرحله قبل محاسبه خواهد شد: (کد مربوطه در فایل nor.sp آمده است.)

$$f_{max} = \frac{1}{t_{rise} + t_{fall}}$$

Output:

```
fmax= 2.0539E+10
```

و) در این بخش با توجه به این که t_{pd} در مرحله ی قبل $18.613ps$ محاسبه شد، pr_d را برابر 22 در نظر می گیریم و out_t_delay متعاقبا 21.95 در نظر گرفته شد. همچنین slp برابر با $0.1p$ قرار داده شده است. بدین صورت بر اساس تمام حالات ورودی در فایل داده شده توان متوسط به صورت زیر خواهد بود: (فایل مربوطه در `nor2.sp` قرار گرفته است).

***** digital electronics, inverter design*****

***** transient analysis tnom= 25.000 temp= 25.000

avgpower= 1.6821E-07 from= 0.0000E+00 to= 2.0000E-08

pdp= 3.1309E-06