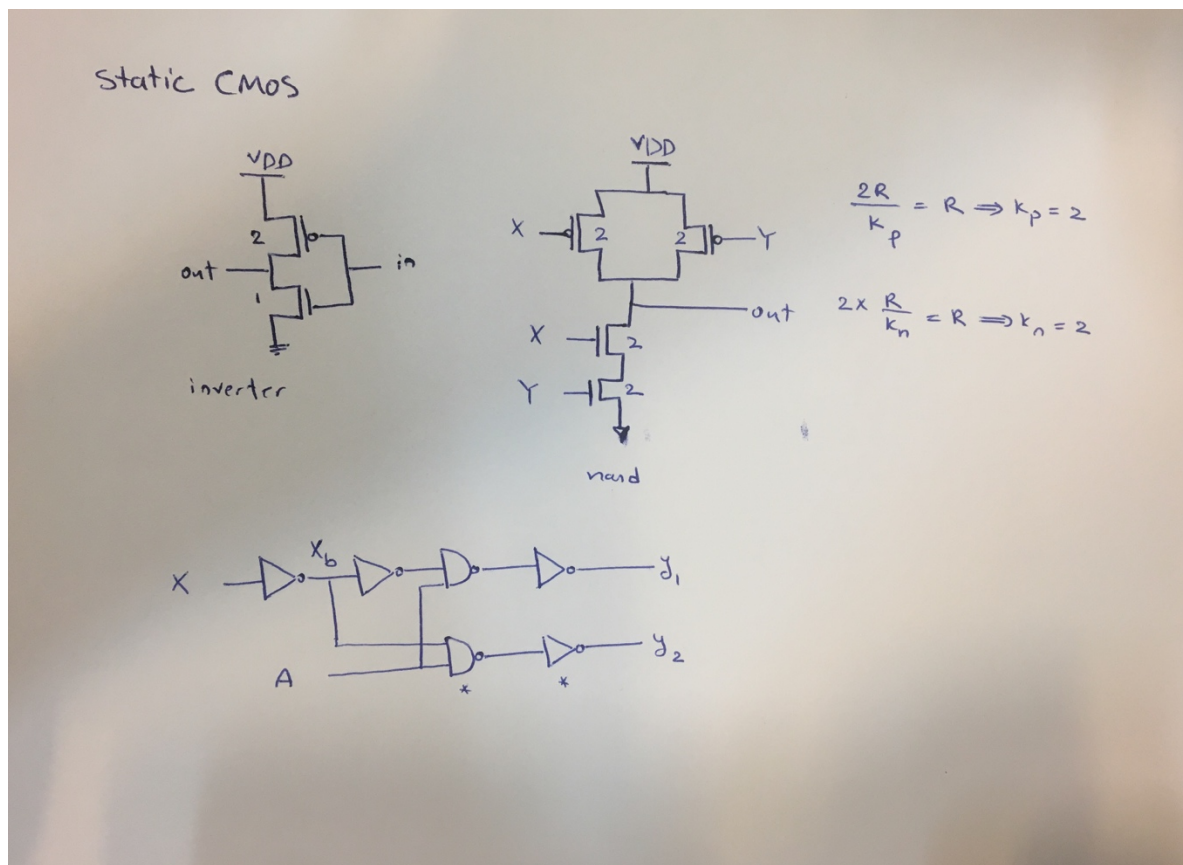


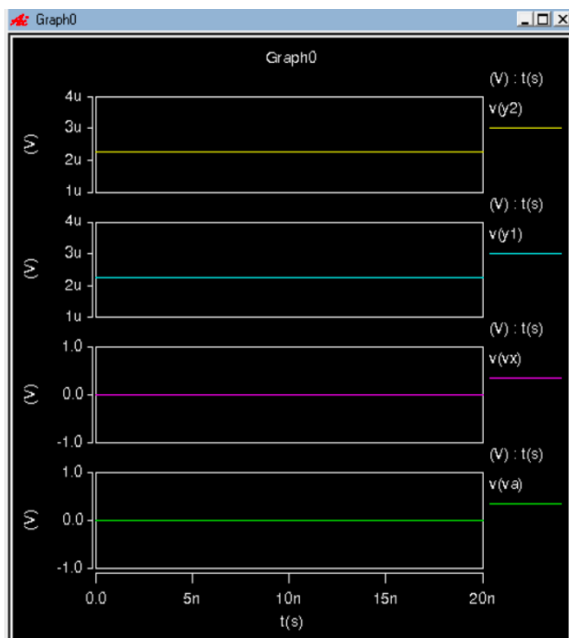
گزارش کار تمرین کامپیوتری سوم  
ملیکه احقاقی  
۸۱۰۱۹۴۲۵۴

\*\*در هر سه حالت برای پیاده سازی مدار مالتیپلکسر از SUBCKT برای ساخت گیت های and و inverter استفاده شده که البته and از پشت هم قرار گرفتن دو گیت nand و inverter ایجاد شده است.

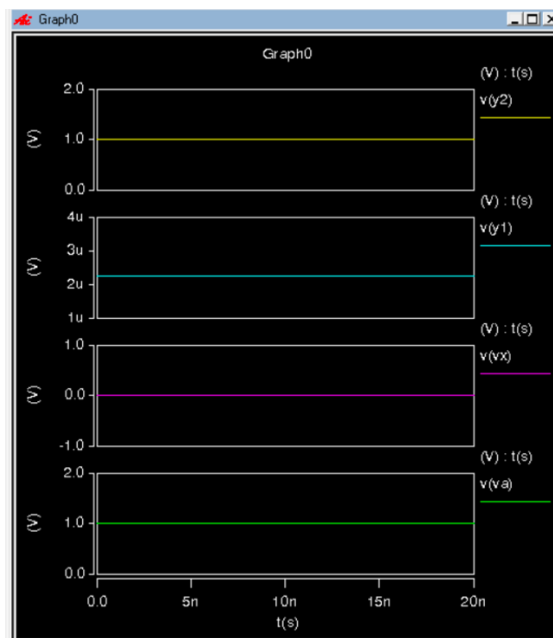
### \*StaticCMOS

الف) خروجی  $y_1$  و  $y_2$  در ازای حالات مختلف ورودی به صورت DC در شکل ها نمایش داده شده است:  
\* به گونه ای sizing انجام شده است که مدار معادل یک inverter پایه باشد.

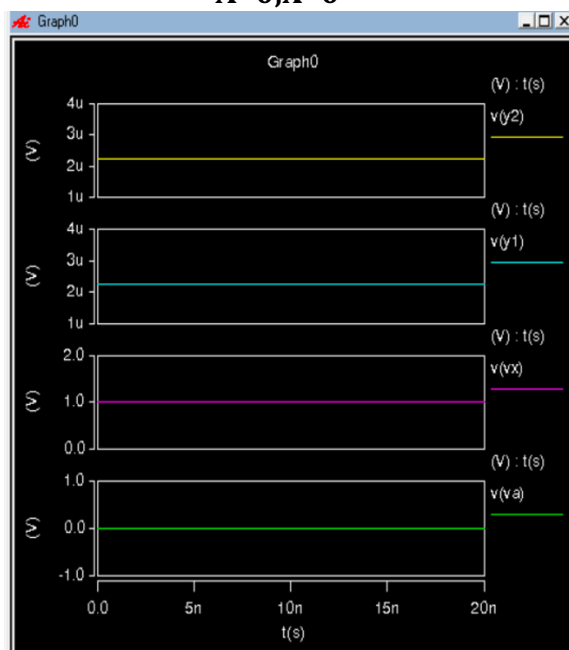




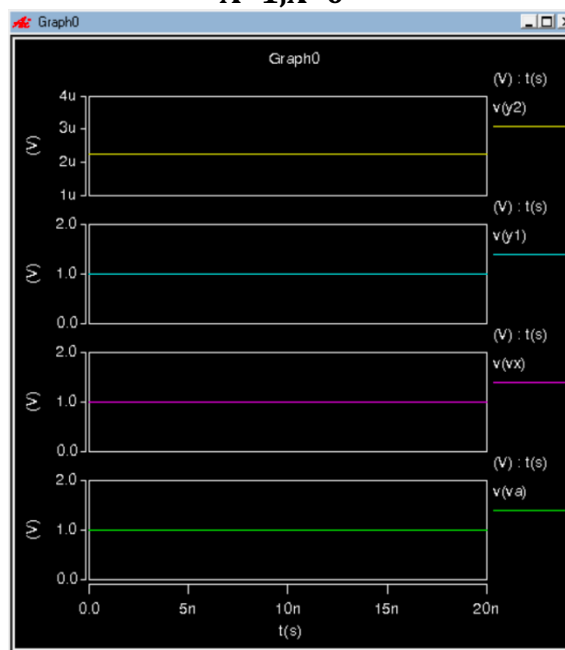
**A=0,X=0**



**A=1,X=0**



**A=0,X=1**



**A=1,X=1**

(ب)

در این بخش فرض شده است که X ثابت است و A متغیر به صورت پالس متناوب در نظر گرفته شده است:

|      |    |   |       |     |   |    |      |      |     |     |
|------|----|---|-------|-----|---|----|------|------|-----|-----|
| Vina | Va | 0 | pulse | Vdd | 0 | 0n | 500p | 500p | 2ns | 4ns |
| Vinx | Vx | 0 | DC    | 1   |   |    |      |      |     |     |

در این حالت خروجی y1 هم فاز با ورودی A خواهد بود.

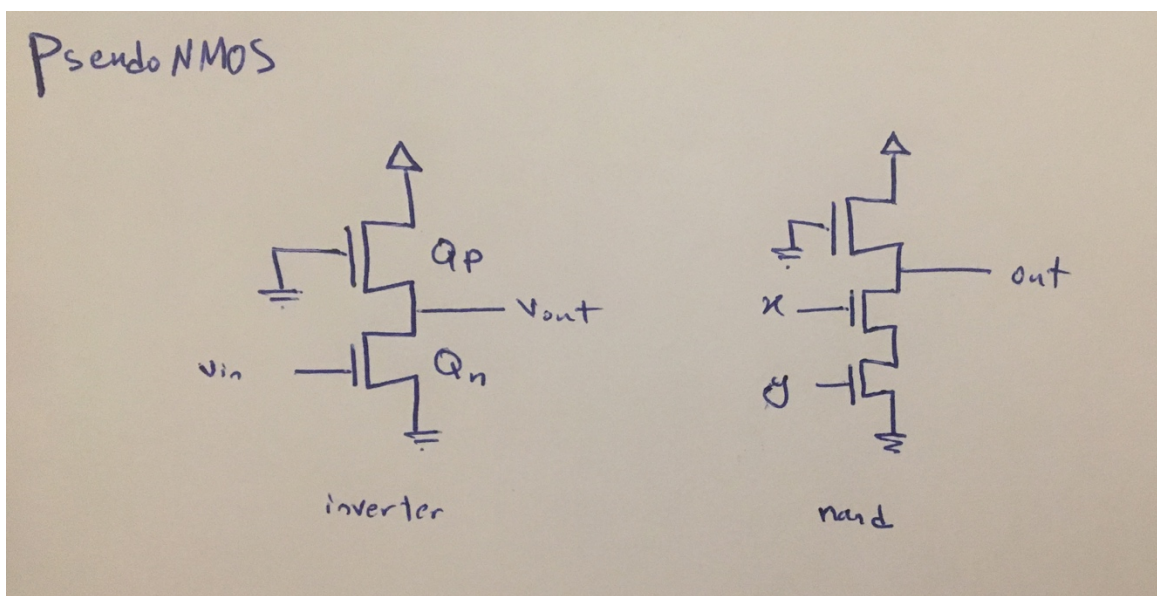
```

tphl= 4.3266E-12  targ= 2.7543E-09  trig= 2.7500E-09
tplh= 4.2073E-11  targ= 2.9207E-10  trig= 2.5000E-10
tpd= 2.3200E-11
avgpower= 5.8548E-07  from= 0.0000E+00  to= 2.0000E-08
pdp= 1.3583E-17

```

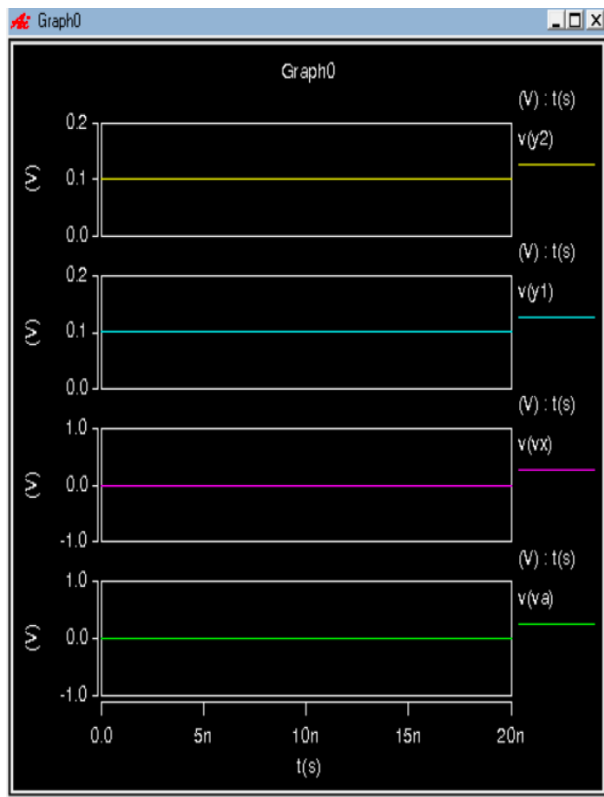
### \*PseudoNMOS

الف) خروجی  $y_1$  و  $y_2$  در ازای حالات مختلف ورودی به صورت DC در شکل ها نمایش داده شده است:

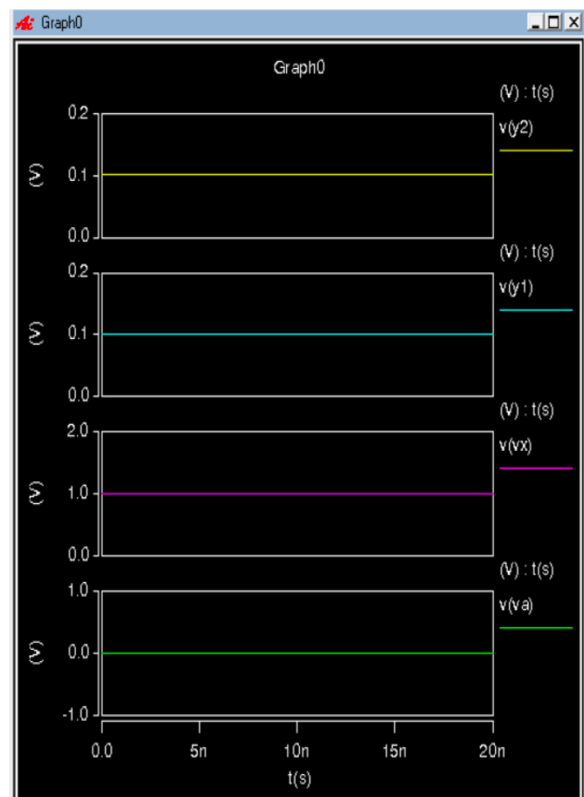


در این بخش اندازه ی  $W/L$  برای  $p_{mos}$  ۱ در نظر گرفته شده است و در  $n_{mos}$  برابر 2 در نظر گرفته شده است. چرا که هر چه  $(W/L)_p$  کوچکتر باشد  $V_{ol}$  پایین تر خواهد بود و transition تندتری خواهیم داشت. با این وجود rise time زیاد تر خواهد شد.

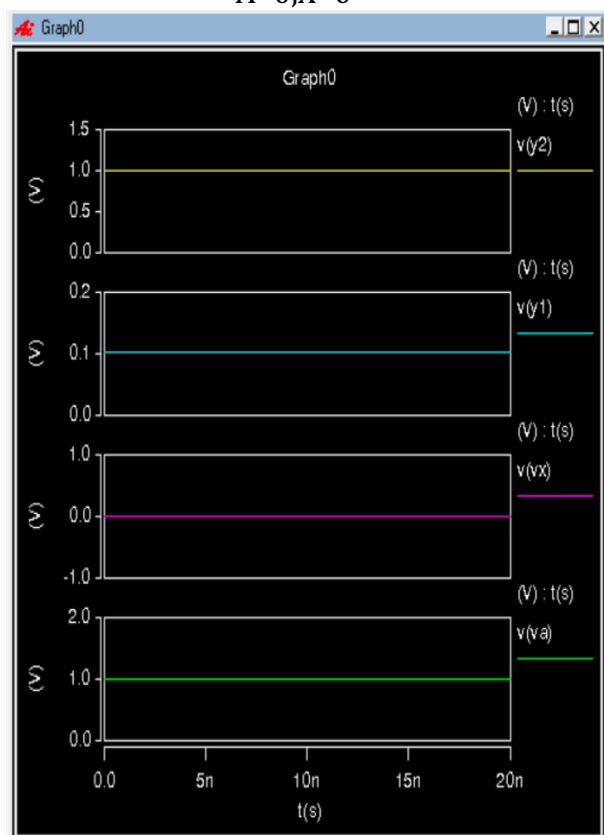
هم چنین  $k_n/k_p$  هر چه بالا تر باشد  $V_{ol}$  کوچکتر و noise margin بیشتر خواهد شد. با این وجود اندازه ی گیت بزرگتر می شود و asymmetry در پاسخ دینامیک افزایش خواهد یافت.



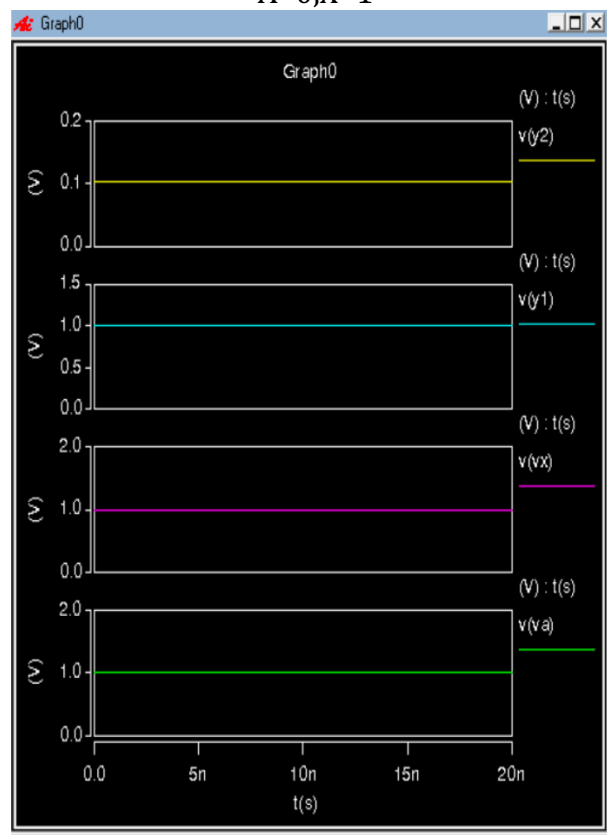
A=0,X=0



A=0,X=1

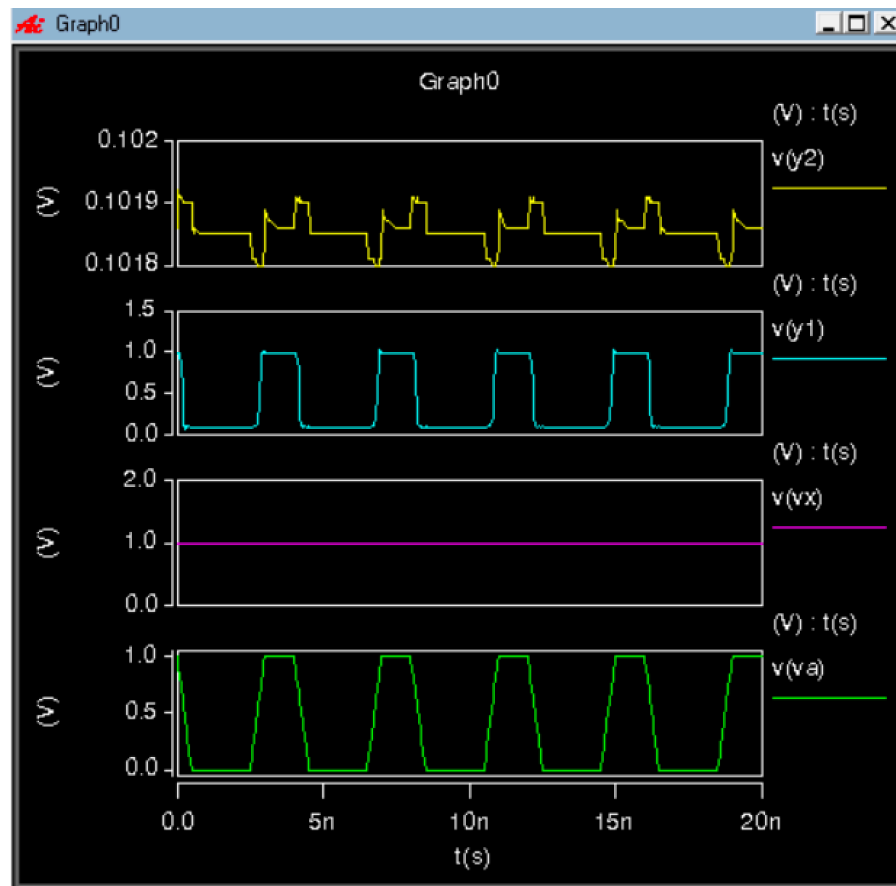


A=1,X=0



A=1,X=

(ب) \*تنظیمات مشابه بخش قبلی

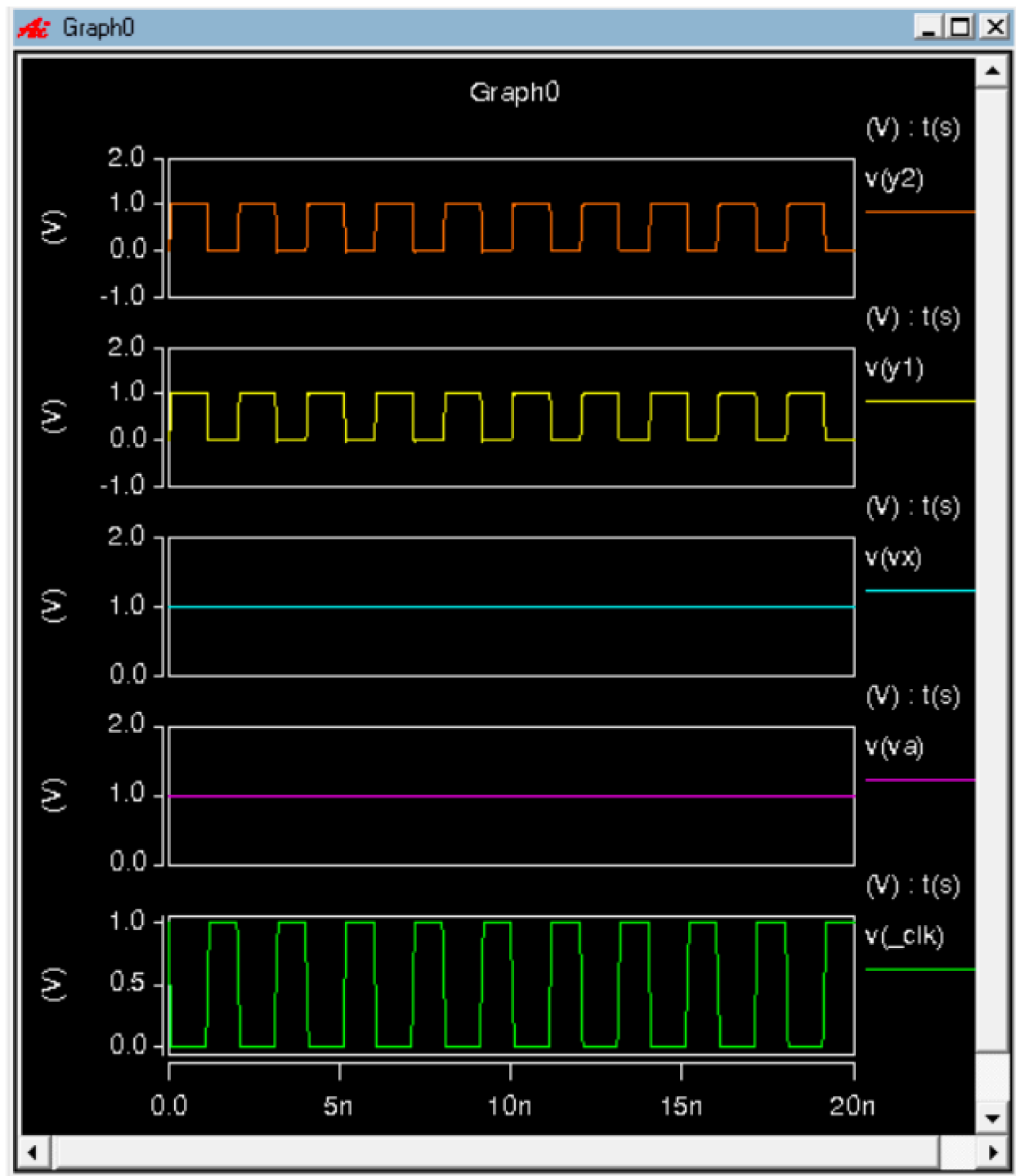


```
*****
***** digital electronics, multiplexer design*****
***** transient analysis                      tnom= 25.000 temp= 25.000
*****
tphl= -3.5375E-12  targ= 2.2965E-09  trig= 2.3000E-09
tplh= 2.4221E-11  targ= 1.2422E-10  trig= 1.0000E-10
tpd= 1.0342E-11
avgpower= 3.4702E-07  from= 0.0000E+00  to= 2.0000E-08
pdp= 3.5888E-18
```

## \*DynamicLogic

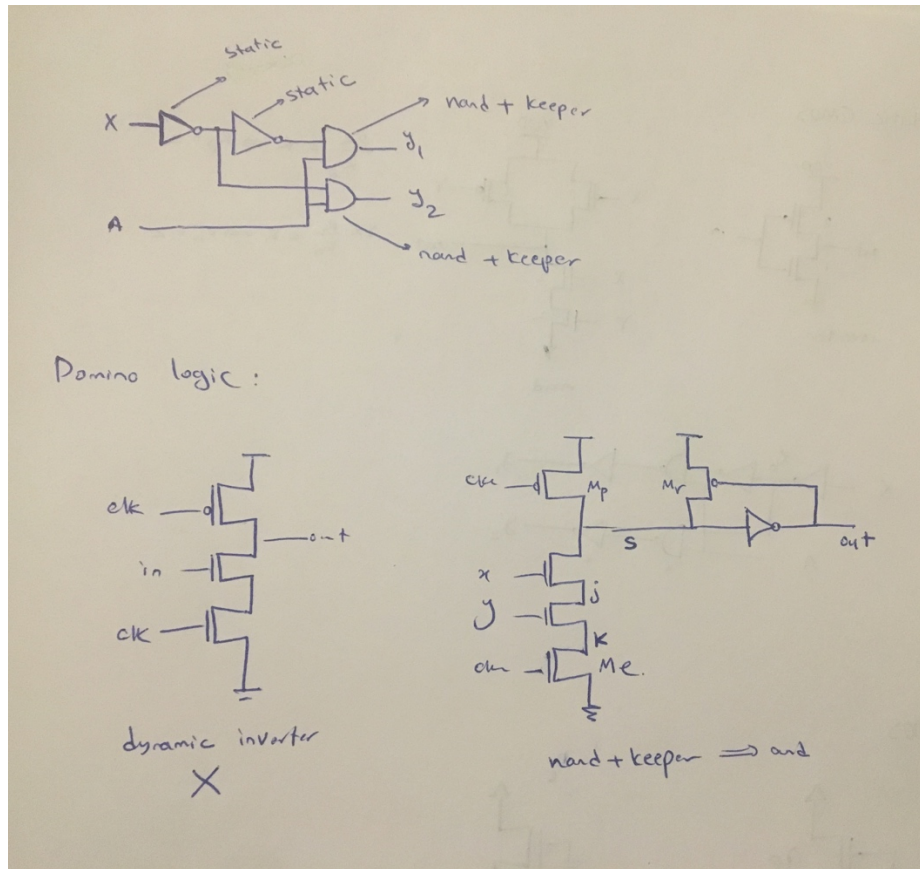
الف) خروجی  $y_1$  و  $y_2$  در ازای حالات مختلف ورودی به صورت DC در شکل ها نمایش داده شده است:  
 \*توجه شود که در ابتدا این مدار را کاملاً به کمک cascading dynamic gates ساخته ایم سپس برای حل مشکلات موجود از domino logic استفاده شده است:

### 1-cascading dynamic gates

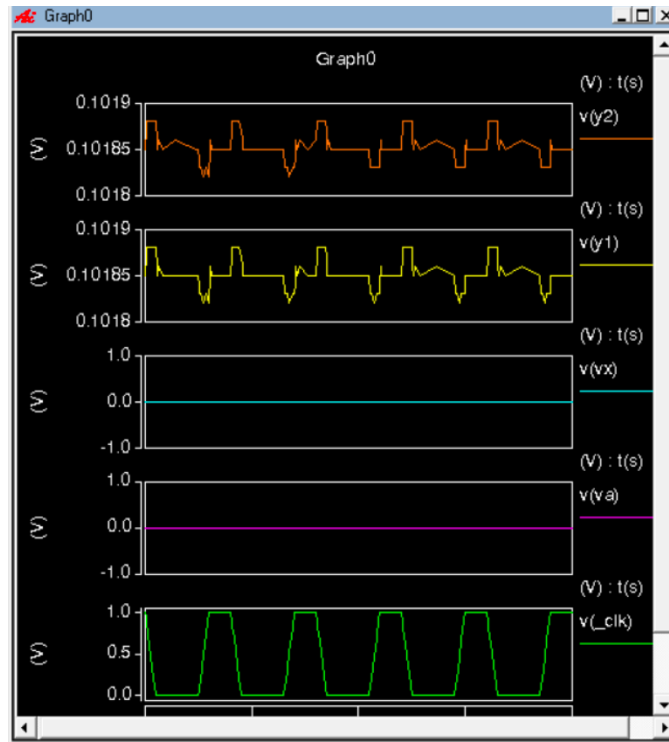


در هر ۴ حالت خروجی به فرم بالا خواهد بود پس به سراغ مدل دومینو برای اصلاح مشکلات cascading dynamic می رویم.

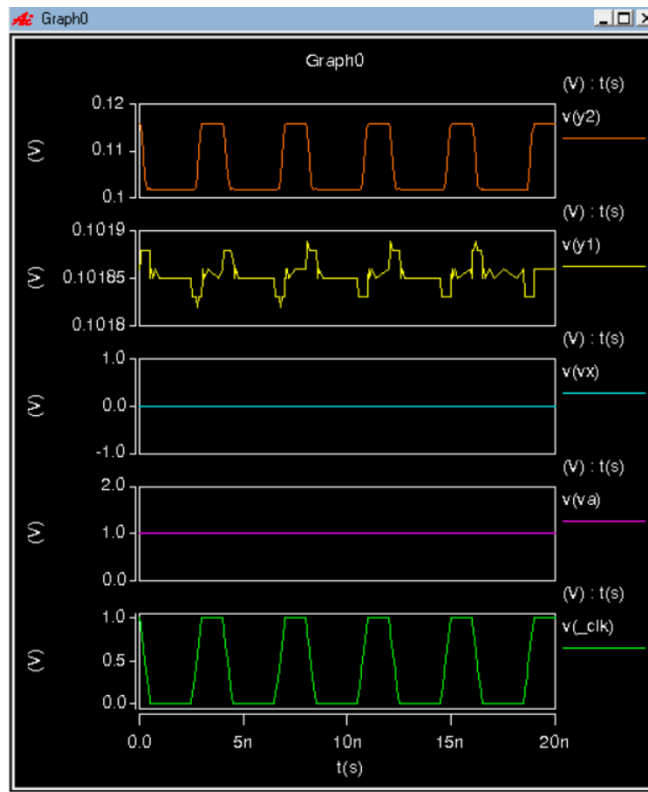
## 2-domino logic



در ساختار دومینو not نداریم اما مداراتی چون and و ... به راحتی قابل پیاده سازی است.

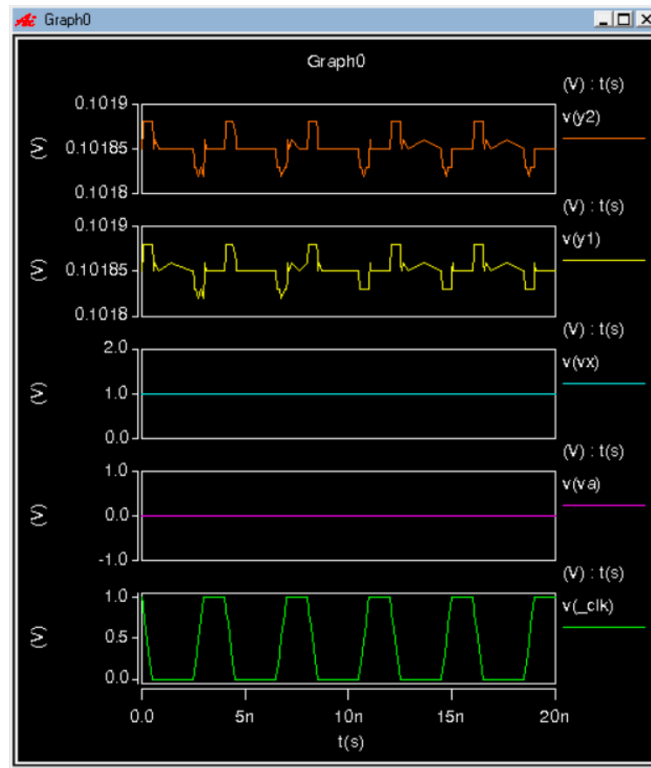


$A=0, X=0$

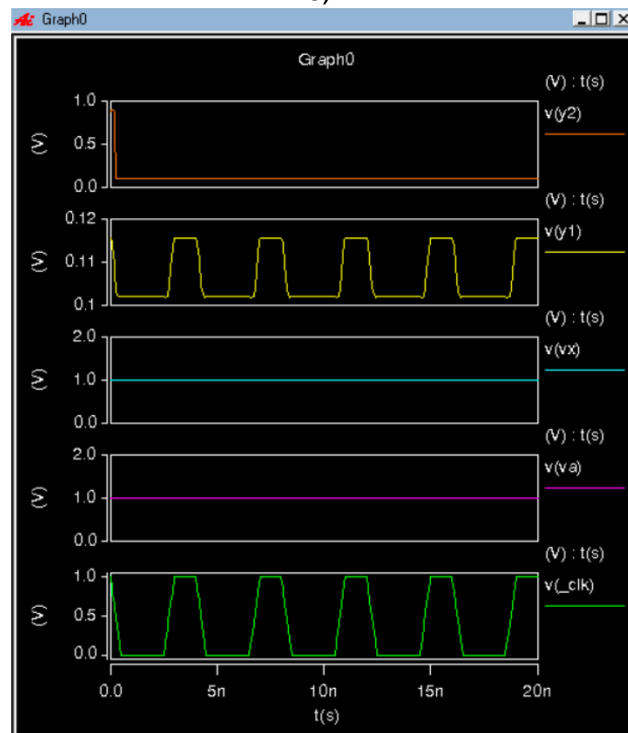


$A=1, X=0$





$A=0, X=1$



$A=1, X=1$

\*\*\*\*\*

\*\*\*\*\* digital electronics, multiplexer design\*\*\*\*\*

\*\*\*\*\* transient analysis tnom= 25.000 temp= 25.000

\*\*\*\*\*

tphl= failed targ= not found trig= 2.7500E-09

tplh= failed targ= not found trig= 2.5000E-10

tpd= failed measure parameter failed

avgpower= 1.0876E-04 from= 0.0000E+00 to= 2.0000E-08

pdp= failed measure parameter failed

\*\*\*\*\* job concluded