



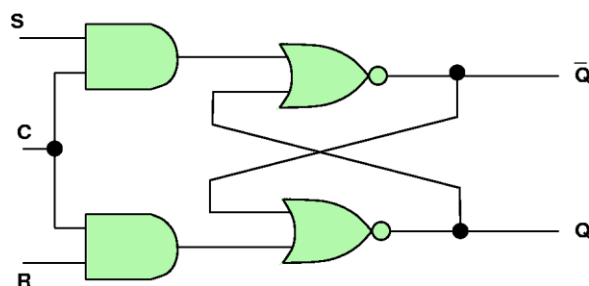
دانشگاه تهران
دانشکده برق و کامپیوتر
مدارهای الکترونیک دیجیتال
تمرین کامپیوتری شماره 4
تاریخ تحویل: 1397/10/02

در این پروژه به بررسی مدارهای مربوط به Latch و Flip-Flop خواهیم پرداخت و از نظر زمانی آن‌ها را تحلیل می‌کنیم.

در این تمرین از کتابخانه 32nm که در ضمیمه قرار داده شده است، استفاده می‌کنیم.

➤ **قسمت اول:**

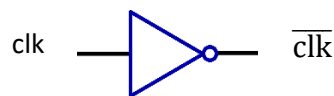
- مدار مربوط به clocked SR latch (شکل 1) را در نرم‌افزار Hspice پیاده‌سازی نمایید. در این طراحی از گیت‌های static CMOS استفاده کنید. طراحی را به گونه‌ای انجام دهید که مدار موردنظر کمترین مساحت را داشته و زمان صعود و نزول گره خروجی تقریباً برابر باشد.
- در این مدار پارامترهای T_{rise} , T_{fall} , setup time, hold time را به دست آورید.
- دوره تناوب c را 4ns در نظر بگیرید و بقیه ورودی‌ها را به طوری اعمال کنید که timing violation نداشته باشید.
- در خروجی مربوط به گیت inverter، یک خازن 5 fF قرار داده شود و در خروجی سایر گیت‌ها، یک خازن 10 fF گذاشته شود.
- برای طراحی گیت AND از یک NAND + inverter استفاده کنید.
- با اعمال یک glitch در ورودی s، اثر مخرب آن را روی خروجی نشان دهید.



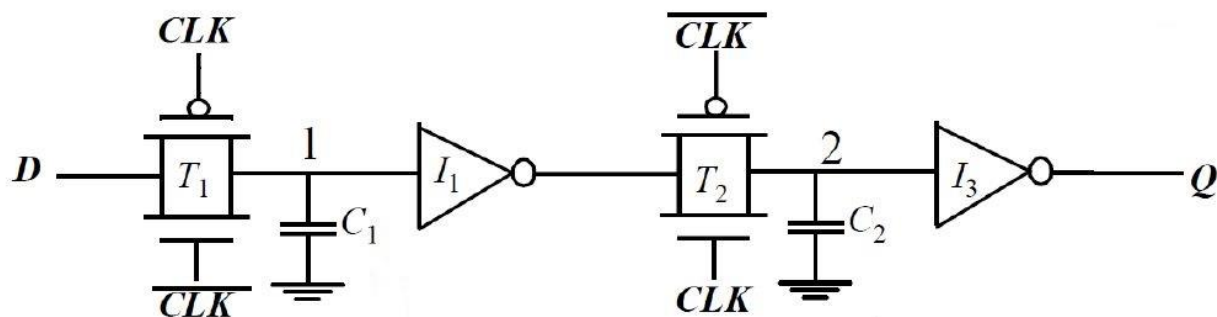
شکل 1 . clocked SR latch

➤ قسمت دوم:

- در این قسمت مدار شکل 2 را پیاده سازی خواهیم کرد که مربوط به یک Transmission Gate DFF است.
- این FF از نوع rising edge است یا falling edge ؟
- در این مدار پارامترهای T_{rise} , T_{fall} , setup time , hold time , $T_{D \text{ to } Q}$, $T_{clk \text{ to } Q}$ را به دست آورید.
- دوره تناوب C را 4ns در نظر بگیرید و بقیه ورودی‌ها رو طوری اعمال کنید که timing violation نداشته باشید.
- خازن‌های C_1 و C_2 و نیز خازن خروجی مربوط به گیت inverter، برابر با 5 fF قرار داده شود.
- از مقادیر $(W/L)_n = 2$ و $(W/L)_p = 4$ استفاده شود.
- برای ساخت \overline{clk} از یک inverter استفاده کنید.



- یکی از مشکلات این نوع DFF، مشکل clock overlap است. با افزایش تاخیر بین \overline{clk} , clk ، تاثیر این پدیده را در خروجی نشان دهید. (هر دو حالت 0-0 و 1-1 را انجام دهید. برای ایجاد تاخیر از چند inverter پشت سرهم استفاده کنید).

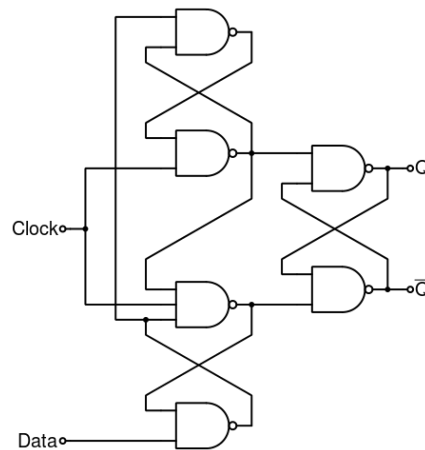


شکل 2 . Transmission Gate DFF

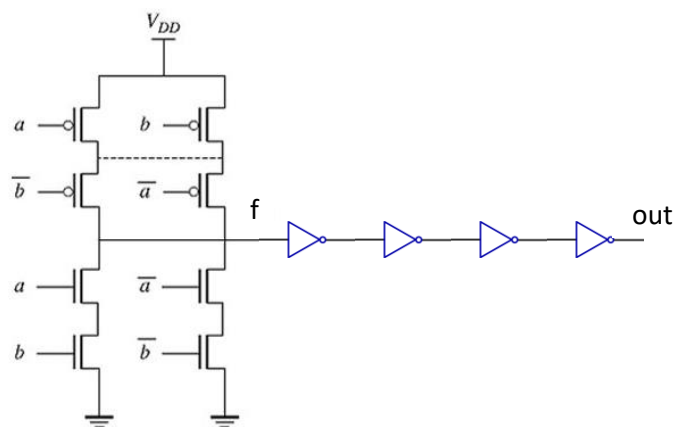
➤ قسمت سوم:

- مدار شکل 3 را در نظر بگیرید.
- در این طراحی از گیت‌های static CMOS استفاده کنید. طراحی را به گونه‌ای انجام دهید که مدار موردنظر کمترین مساحت را داشته و زمان صعود و نزول گره خروجی تقریباً برابر باشد. در خروجی هر NAND یک خازن 5fF قرار دهید.
- این FF از نوع rising edge است یا falling edge ؟

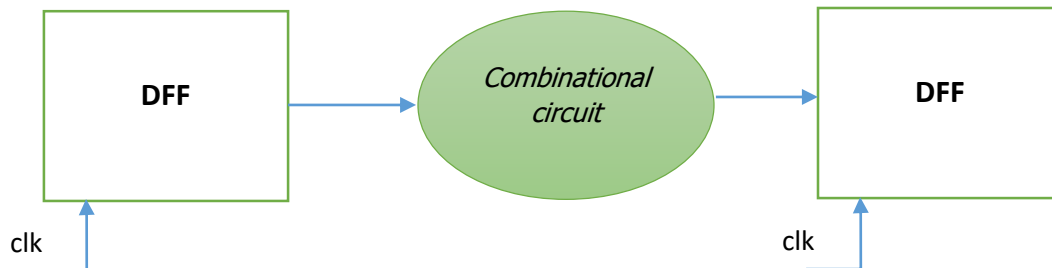
- در این مدار پارامترهای T_{rise} , T_{fall} , setup time, hold time, $T_{D \text{ to } Q}$, $T_{clk \text{ to } Q}$ را به دست آورید.
- یک مدار combinational مطابق شکل 4 در نظر بگیرید. این مدار بین دو فلیپ فلاپ شکل سه قرار می‌گیرد. (شکل 5) با محاسبه تاخیر، حداکثر فرکانس مدار را به دست آورید.
- با افزایش فرکانس، به بیش از فرکانس مجاز، نشان دهید که چگونه این کار موجب از دست رفتن داده می‌شود. (با انتخاب ورودی مناسب، شکل موج را گزارش دهید)



شکل 3. فلیپ فلاپ



شکل 4. مدار combinational



شکل 5. مدار sequential و combinational

- برای مدار combinational از گیت‌های static CMOS استفاده کنید. طراحی را به گونه‌ای انجام دهید که مدار موردنظر کمترین مساحت را داشته و زمان صعود و نزول گره خروجی تقریباً برابر باشد.
- ورودی b را ثابت درنظر بگیرید و ورودی a را به فلیپ فلاپ وصل نمایید. برای \bar{a} از یک inverter استفاده نمایید.
- در گره f و نیز خروجی هر inverter یک خازن 10fF قرار دهید.

توضیحات:

- بدنه ترانزیستورهای نوع n را به زمین و نوع p را به vdd متصل کنید.
- زمان صعود و نزول ورودی‌ها را 50ps درنظر بگیرید.
- فایل کتابخانه به همراه صورت آزمایش در سایت درس آپلود شده است.
- گزارش را با فرمت PDF ذخیره کرده و به همراه فایل شبیه سازی و فایل کتابخانه در یک فایل زیپ قرار دهید و در سایت درس آپلود کنید. نام فایل باید به صورت زیر باشد:

Name_Student Number_CA4.zip

- نمره شما بر اساس گزارش شما تعیین می شود لذا گزارشی کامل، شامل تمامی شکل موج‌های خواسته شده تهیه کرده و به سوالات مطرح شده به طور کامل پاسخ دهید.
- در صورت تشخیص هرگونه مشابهت در کدها و گزارش، نمره‌ای به هیچ یک از گزارش‌های مشابه تعلق نمی‌گیرد.
- سوالات خود در مورد پروژه را، با عنوان CA4 به ایمیل زیر ارسال نمایید.

rg.nmrs@yahoo.com

موفق باشید