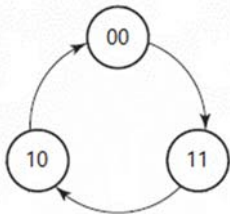


2017 학년도 1 학기
논 리 회 로 기 말 고 사
2017 년 6 월 13 일

1. (12 점) 다음에 제시된 회로의 입력과 출력의 수를 쓰시오. 단, 클럭은 입력으로 간주하지 않는다.
 - (a) Quad 2-to-1 multiplexor
 - (b) 2-to-4 decoder with enable
 - (c) 8-to-3 priority encoder
 - (d) 4-bit serial adder
2. (12 점, (a)는 4 점, (b)는 8 점) 4 비트 이진수 곱셈기에 대한 문제이다. 음수를 배제하고, 물음에 답하시오.
 - (a) 4 비트 덧셈기를 블록으로 표현하시오. 이때 입출력이 명확하게 드러나야 한다.
 - (b) 임의의 4 비트 이진수와 상수 1011 의 곱을 구하려고 한다. (a)에서의 4 비트 덧셈기 2 개로 구현할 수 있도록 논리도를 보이시오.
3. (16 점) 다음에 제시된 수단을 인용하여 순차회로의 설계 과정을 설명하시오. 단, 순서가 명확하게 드러나야 한다.

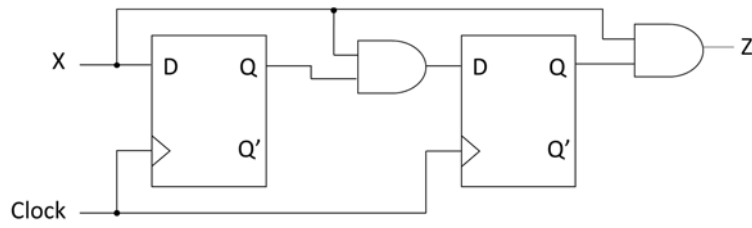
- 플립플롭 입력방정식(flip-flop input equation)
- 출력방정식(output equation)
- 상태그래프(state graph)
- 차기상태 맵(next-state map)
- 전이표(transition table)

4. (20 점, (a)는 6 점, (b), (c)는 각 3 점, (d)는 8 점) 다음은 J-K 플립플롭에 대한 문제이다. 물음에 답하시오.
 - (a) 현재 상태 Q, 입력 J와 K로부터 다음 상태 Q^+ 를 결정하는 표를 보이시오.
 - (b) (a)의 표를 활용하여 특성방정식(characteristic equation)을 유도하시오.
 - (c) 현재 상태가 1 이고 다음 상태는 0 이다. 입력 J와 K의 값을 결정하시오.
 - (d) 한 개의 J-K 플립플롭을 한 개의 D 플립플롭과 다수의 2-input NAND 게이트로 대체하려고 한다. 논리도를 보이시오. 입력이 J, K 이고 출력이 Q, Q'이어야 함에 주의하고, NAND 게이트의 수를 최소화하시오.
5. (18 점) 다음 전이그래프를 카운터로 구현하려고 한다. 즉, 카운터는 00, 11, 10 을 반복한다. 아래 조건에 맞도록 설계 과정을 보이시오.



- 플립플롭 입력방정식이 올바르게 제시되어야 한다. (6 점)
- 상태표가 올바르게 제시되어야 한다. (6 점)
- 논리도가 올바르게 제시되어야 한다. (6 점)
- D 플립플롭과 T 플립플롭 중에서 임의로 선택할 수 있지만, T 플립플롭에 대해서는 50%의 가산점이 있다

6. (22 점, (b)는 6 점, 나머지는 각 4 점) 다음에 제시된 논리도를 분석하려고 한다. 물음에 답하시오.



- 두 플립플롭에 대한 입력방정식을 보이시오.
- 출력을 포함하여 상태의 전이를 표현할 수 있도록 상태표를 보이시오.
- (b)에서의 결과를 이용하여 상태도를 보이시오.
- 입력 0 1 1 0 1 1 1 1 0 에 대한 결과를 이진수의 연속으로 보이시오.
- 위의 회로의 기능을 추정하시오.

보너스 (6 점) 6(c)에서의 상태도에는 동등한 상태가 포함되어 있다. 동등한 두 개의 상태를 선택하고 이유를 쓰시오.

100 점 만점