

2019 학년도 1 학기  
논 리 회 로 기 말 고 사  
2019 년 6 월 14 일

1. (20 점) 제시된 조건에 따라 간단하게 설명하시오.
  - (a) S-R latch 와  $\bar{S}$ - $\bar{R}$  latch 를 비교하되, 1 을 저장하는 방법을 포함하시오.
  - (b) Moore model 과 Mealy model 을 비교하되, false output 을 포함하시오.
  - (c) 동기 카운터와 비동기 카운터를 비교하되, 값이 변경되는 시간을 포함하시오.
  - (d) Edge-triggered flip-flop 과 master-slave flip-flop 을 비교하되, 입력을 취하는 시간을 포함하시오.

2. (14 점) 다음은 latch 와 flip-flop 에 대한 문제이다.
  - (a) 제시된 사각형을 활용하여 Gated D latch 와 D flip-flop 에 대한 심벌을 완성하시오.

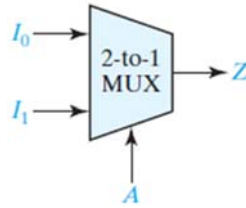


- (b) Gated D latch 에 대한 특성 방정식을 쓰시오.
  - (c) D flip-flop 에 대한 특성 방정식을 쓰시오.
  - (d) 2 개의 Gated D latch 에 1 개의 NOT 게이트를 추가하면 1 개의 D flip-flop 을 구성할 수 있음을 논리도로 보이시오.
3. (14 점) 연속해서 주어지는 입력에서 sequence '1011'을 탐지하려고 한다. 마지막 1 이 입력되면 바로 1 을 출력하고, 그렇지 않으면 0 을 출력한다.
  - (a) 상태 그래프를 보이시오.
  - (b) 필요한 플립플롭의 최소 개수를 결정하시오.
  - (c) 제시된 사례를 인용하여 '상태 배정'의 의미를 설명하시오.
4. (20 점) 전이표가 다음과 같이 주어진다.

A	B	I	A <sup>+</sup>	B <sup>+</sup>	Y	Z
0	0	0	1	0	1	0
0	0	1	1	1	1	0
1	0	0	0	0	1	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	1	1	0	0	1

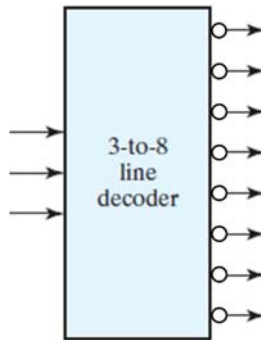
- (a) 상태 그래프로 바뀌서 표현하시오.
  - (b) D 플립플롭으로 구현하려고 한다. 플립플롭 입력방정식을 유도하시오.
  - (c) 출력방정식을 유도하시오.
  - (d) 논리도를 보이시오.

5. (14 점) 다음 multiplexer 에 대하여 물음에 답하시오.



(a) 기능을 설명하되, 입력과 출력을 포함하시오.

(b) 아래 3-to-8 decoder 에 NAND 게이트만 추가하여 동일한 기능을 구현하시오. Decoder 의 출력이 complement 형태임에 주의하시오.



(c) 제시된 multiplexer 와 동일한 기능을 ROM 으로 구현하려고 한다. 최소 크기를 쓰시오.

6. (18 점) 다음은 ‘serial incrementer-by-2’의 설계에 대한 문제이다. 3 비트 unsigned integer 가 주어지면 ‘serial incrementer-by-2’는 2 만큼 증가된 unsigned integer 를 출력하는데, 입력이 한 비트씩 주어지고 그에 대응되는 비트를 바로 출력하여야 한다. 즉, 100 이 한 비트씩 주어지면 2 만큼 더한 110 을 한 비트씩 출력해야 한다

(a) 입력의 수와 출력의 수를 결정하시오.

(b) 아래 입력에 대하여 출력을 쓰시오.

0 0 0 0 1 0 1 0 0 1 1 1

(c) 상태도를 보이시오. 단, 상태의 수를 최소화하여야 한다.

(d) 논리도를 보이시오.

7. (보너스 5 점) 플립플롭에 내장된 비동기 입력의 용도에 대하여 사례를 들어 설명하시오.

100 점 만점