

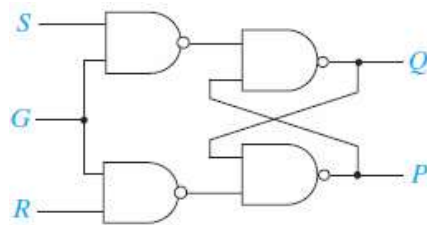
## 실습 4: 래치와 플립플롭

### ■ 실습목표

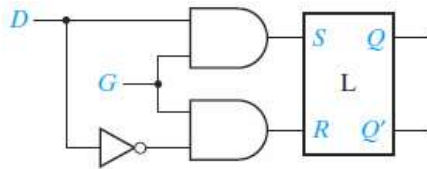
- 래치와 플립플롭의 동작 원리를 이해한다.
- 클럭의 필요성을 이해하고 플립플롭에서의 역할을 이해한다.

### ■ 사전지식

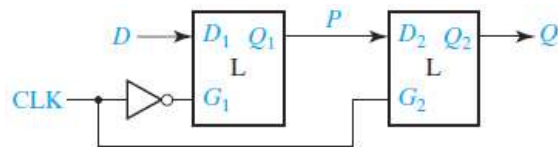
- Gated S-R Latch



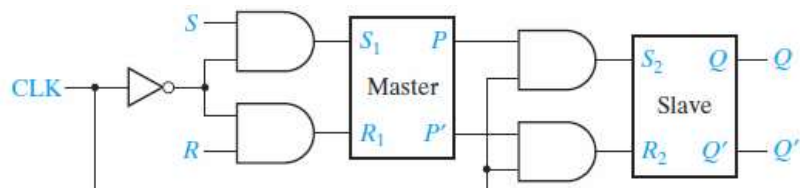
- Gated D Latch (D Latch with Enable)



- Positive Edge-Triggered D Flip-Flop

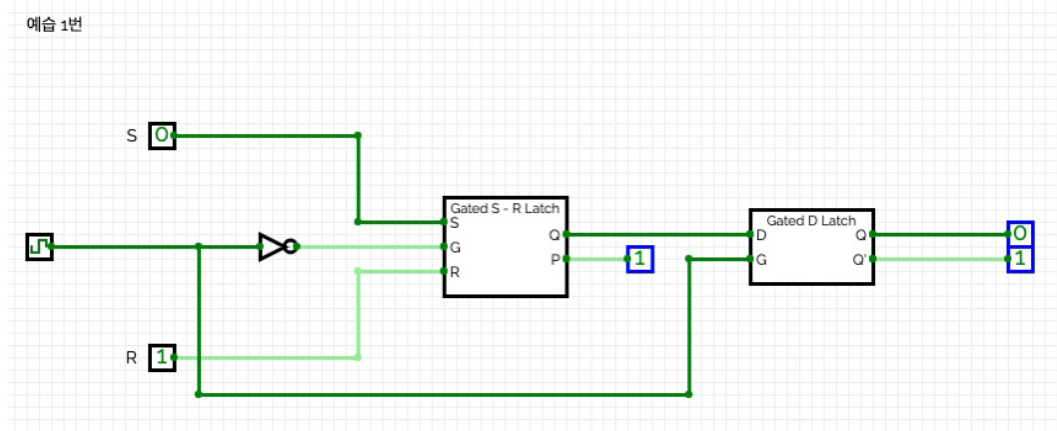


- Master-Slave S-R Flip-Flop



## ■ 예습문제

1. 1개의 Gated S-R 래치와 1개의 Gated D 래치를 사용하여 S-R 플립플롭을 구현하려고 한다. 사전지식에서의 논리도를 결합하여 새로운 논리도를 그리시오. 단, Master-Slave S-R Flip-Flop처럼 CLK의 상승 모서리에서 출력이 변화하여야 한다.



2. 앞에서의 S-R 플립플롭에 대하여 답하시오.

① 입력이 인가되는 시간을 설명하시오.

CLK가 0인 경우, S-R 래치가 활성화되는 시간입니다.

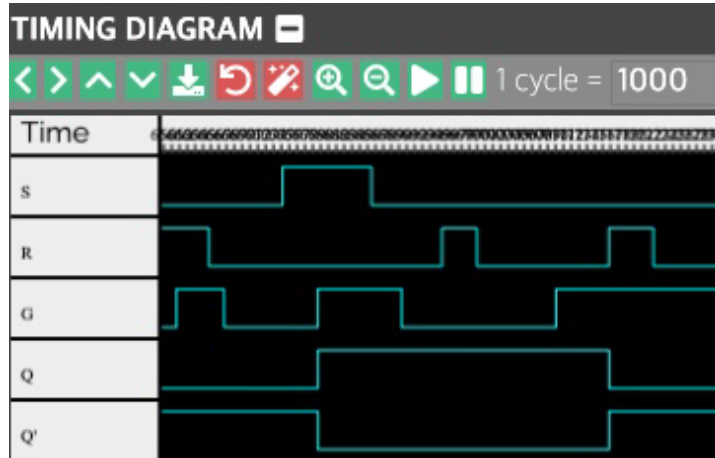
② 출력이 변경되는 시간을 설명하시오.

CLK가 1이 되고, 마지막 래치의 입력이  
변화가 발생하면, 출력이 변경됩니다.

## ■ 실습과정

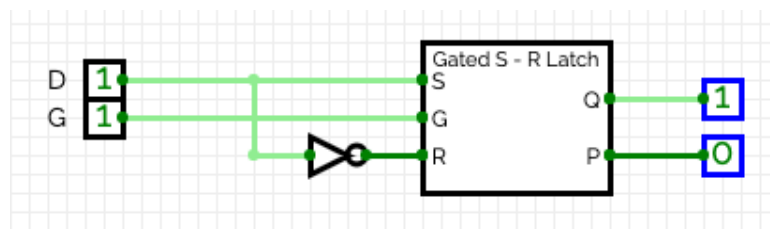
### 1. Gated S-R Latch 구현

- ① Gated S-R Latch 를 구현하고 모듈로 정의하시오.
- ② Gated S-R Latch 를 CircuitVerse 로 구현하고, 아래와 같이 입력을 변화시키면서 시험한 결과를 캡처에서 보고서에 포함하시오.



- ③ 앞에서의 Gated S-R Latch 를 활용하여 사전지식에 주어진 것과 같은 방식으로 Gated D Latch 를 구현하고 모듈로 정의하시오. CircuitVerse 에서 제대로 동작하는지 스스로 확인하시오.
- ④ 1 을 저장했다가 0 으로 바뀌서 계속 유지하기 위해서 입력 S 와 R 을 어떻게 조작해야 하는지 설명하시오. 단, G 의 값이 일정한 간격으로 0 과 1 을 반복한다고 가정한다.

### 실습 1-3

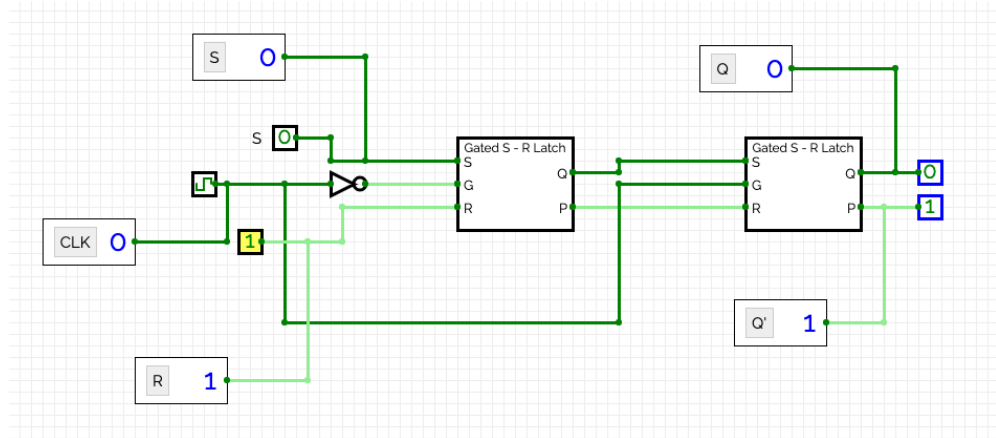


### 실습 1-4.

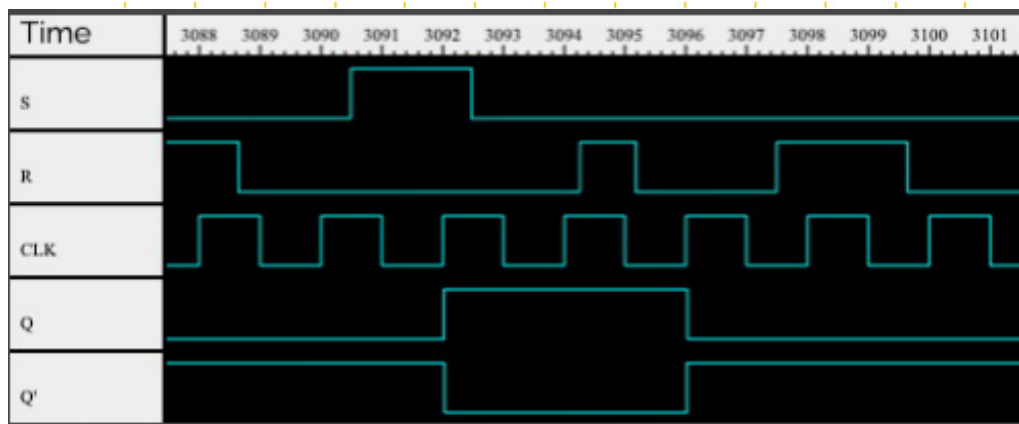
G가 1일 때만 출력이 변화가 생김다.  
 1을 저장하려면, G가 1일때 S는 1, R은 0 이어야 함이다.  
 0을 저장하려면, G가 1일때 S는 0, R은 1 이어야 함이다.  
 그리고 계속 유지하기 위해 S와 R은 0으로 둬야.

## 2. S-R 플립플롭 구현

- ① 예습문제 1 에서의 S-R 플립플롭을 구현하려고 한다. 실습문제 1 에서의 Gated S-R 래치를 이용하여 S-R 플립플롭을 도시하시오. Clock 신호가 명확하게 드러나야 한다. 사전지식에서의 S-R 플립플롭에 사용된 래치는 Gated 버전이 아님에 주의하시오.



- ② S-R 플립플롭을 CircuitVerse 로 구현하고, 아래와 같이 입력을 변화시키면서 시험한 결과를 캡처에서 보고서에 포함하시오.

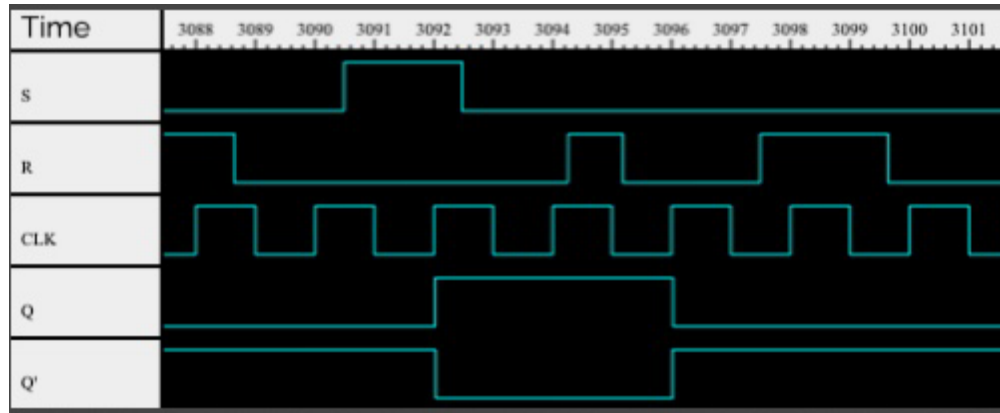


- ③ S-R 플립플롭에 임의로 0 과 1 을 저장할 수 있음을 CircuitVerse 로 데모하고 캡처해서 보고서에 포함하시오. 다음 쪽에 첨부합니다.

- ④ 1 을 저장했다가 0 으로 바뀌서 계속 유지하기 위해서 입력 S 와 R 을 어떻게 조작해야 하는지 설명하시오. 단, CLK 이 일정한 간격으로 0 과 1 을 반복함에

주의하시오. CLK이 0일때 S에 1을 넣으면, CLK이 1이 되면 1이 저장됩니다. 그 후 다시 CLK이 0일때 S에 0, R에 1을 넣으면 CLK이 1이되면 0이 저장됩니다.  
상승모서리 일 때마다, S가 0이면 됩니다.

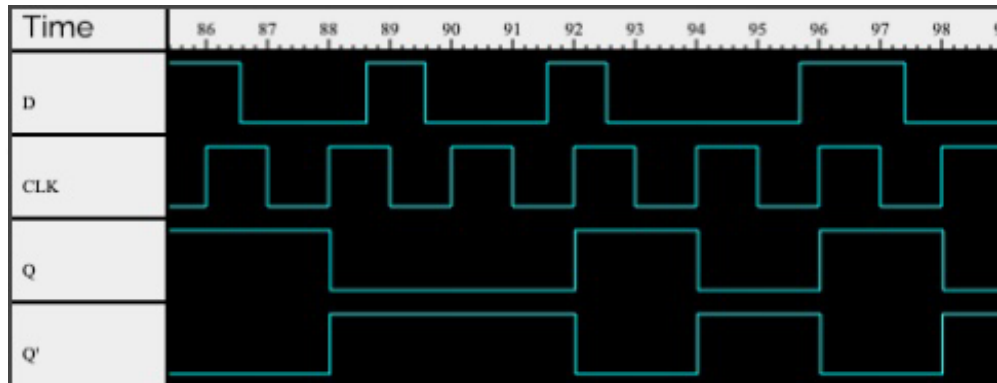
실습 2-3 캡처



위의 캡처를 통해 알 수 있습니다.

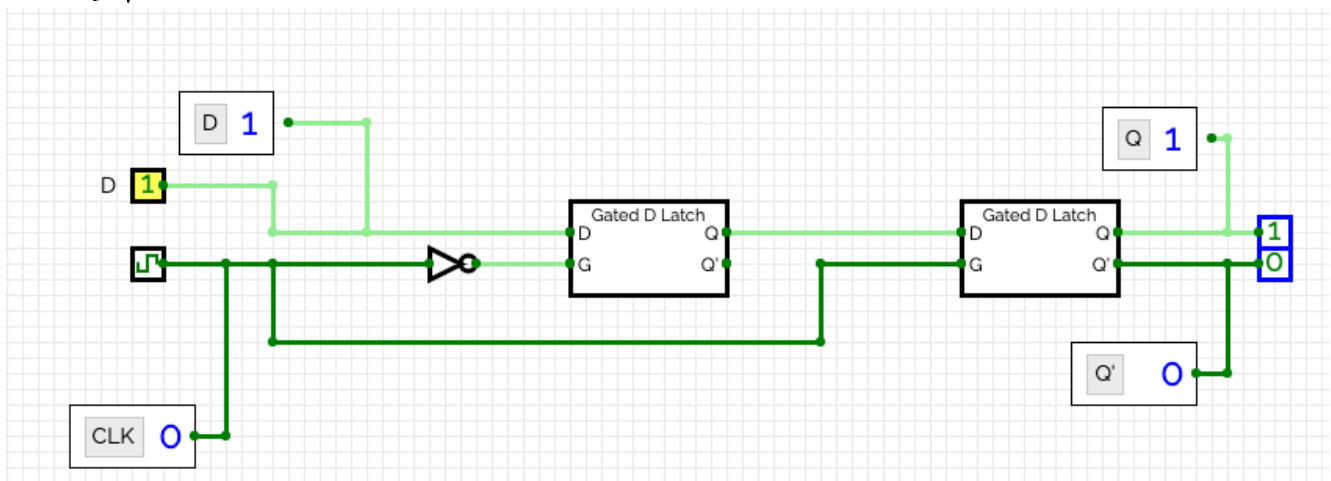
### 3. D 플립플롭 구현

- ① 사전지식을 참조하여 CircuitVerse 로 D 플립플롭을 구현하고, 아래와 같이 입력을 변화시키면서 시험한 결과를 캡처에서 보고서에 포함하시오.



- ② D 플립플롭에 임의로 0 과 1 을 저장할 수 있음을 CircuitVerse 로 데모하고 캡처해서 보고서에 포함하시오. *5) 왜냐하면, 0과 1을 저장할 수 있을 수 있다.*
- ③ 1 을 저장했다가 0 으로 바뀌서 계속 유지하기 위해서 입력 D 를 어떻게 조작해야 하는지 설명하시오. 단, CLK 이 일정한 간격으로 0 과 1 을 반복함에 주의하시오
- CLK이 0 일때 D에 1을 넣고, CLK이 1이되면 1이 저장됩니다. CLK이 0이 되었을 때, D에 0을 넣습니다. CLK이 1이 되면 D이 저장됩니다.*
- 상승모서리일때만 D가 0이면 됩니다.*

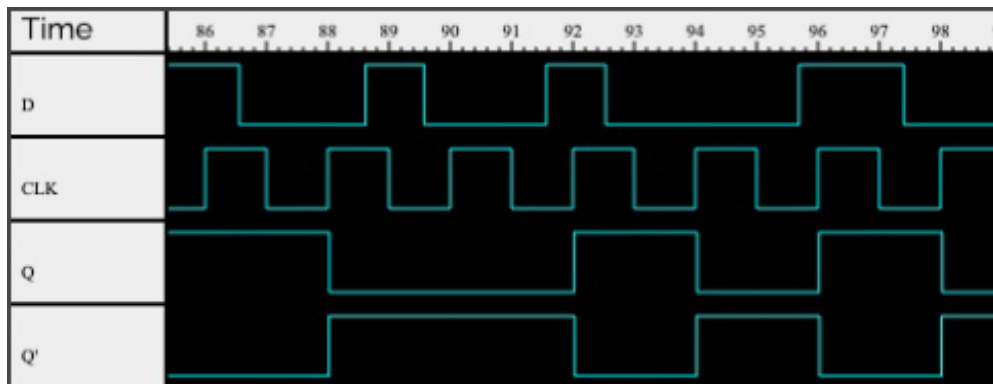
### 실습 2. D 플립플롭



## 4. 동기 입력과 비동기 입력

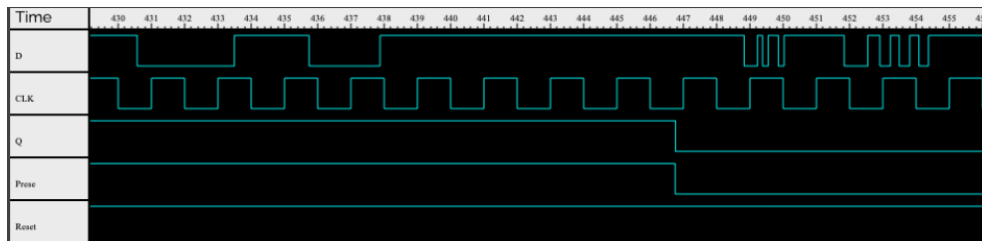
- ① ClrcuitVerse 에서 주어진 D 플립플롭의 D 신호를 변화시키면서 동기 입력에 해당되는지 판단하고 설명하시오. 캡처한 타이밍도를 포함하시오.
- ② ClrcuitVerse 에서 주어진 D 플립플롭에는 추가적으로 Preset 신호와 Reset 신호가 제공된다. 적당한 방법으로 Preset 신호와 Reset 신호를 변화시키면서 동기 입력에 해당되는지 판단하고 설명하시오. 캡처한 타이밍도를 포함하시오.

4-①



클럭의 변화에 따라 저장값이 변하므로, 동기 입력입니다.

4-②



preset이 1, Reset도 1인 경우 D의 값과 CLK 값이 관계없이

Q가 1이 됩니다.

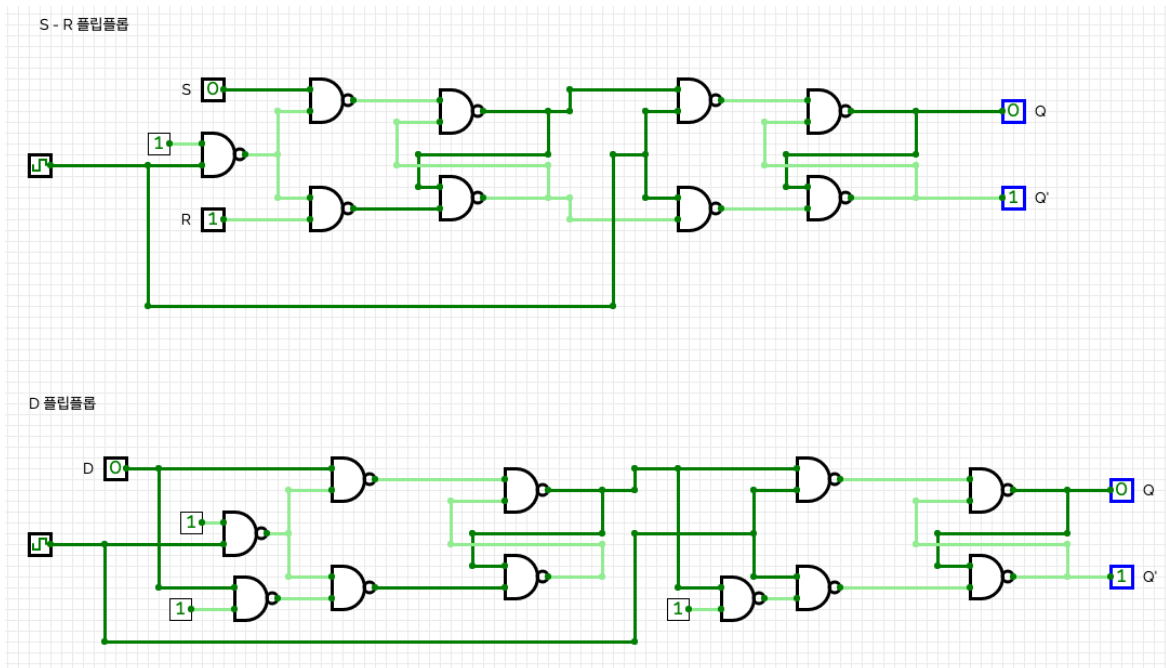
preset이 0, Reset이 1인 경우 D의 값과 CLK 값이 관계없이

Q가 0이 됩니다.

그러므로 비동기 입력입니다.

## 정리

1. NAND 게이트만 주어진다. 실습과정 2와 3에서의 S-R 플립플롭과 D 플립플롭을 논리도로 각각 도시하시오.



2. 실습과정 2와 3에서의 S-R 플립플롭과 D 플립플롭을 비교하려고 한다. 현재 저장된 값을 다음 클럭에도 계속 유지할 수 있도록 두 플립플롭의 입력을 각각 결정하고 설명하시오.

S-R 플립플롭은  $S=0, R=0$ 을 입력합니다.

D 플립플롭은 현재 상태와 똑같은 값을 D에 입력합니다.



3. Latch, edge-triggered flip-flop, master-slave flip-flop을 아래 기준에 따라 비교하십시오.

① 클럭의 유무

latch의 경우 클럭이 존재하지 않습니다.  
edge-triggered flip-flop과  
master-slave flip flop은 클럭이 존재합니다.

② 심벌의 형태

다음 그림이 증명하였습니다.

③ 입력을 취하는 시점 (데이터가 저장되는 시점)

latch:  
입력을 바로 취합니다.

edge triggered flip-flop:  
clk에 연결되어 있는 not gate의 출력에 따라, 상승 모서리 혹은 하강 모서리에서 입력을 취합니다.

master slave flip-flop:  
clk값이 0이나 1로 유지되는 동안, 값을 취합니다.

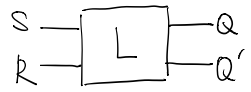
④ 출력이 변경되는 시점

latch는 입력과 동시에 출력이 바뀝니다. edge triggered flip-flop과 master slave flip-flop은 edge에서 출력이 변경됩니다.

정답

3-2.

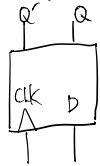
S-R Latch



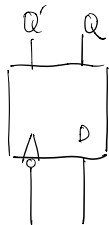
D-Latch



Rising edge-triggered flip-flop



Falling edge-triggered flip-flop



Master slave flip-flop

