

1. 4 비트 accumulator를 구현하려고 한다. 슬라이드 4-15, 12-3과 12-4를 참조해서 물음에 답하시오.
 - (a) 슬라이드 12-3의 오른쪽 레지스터와 슬라이드 4-15의 Adder를 이용하여 논리도를 보이시오. 슬라이드 12-10처럼 4 비트 이진수 2개가 주어지고, ClrN, Ad 신호가 정의되어야 한다.
 - (b) 설계한 accumulator로 1부터 4까지의 합을 계산하는 방법을 설명하시오. 이때 시간 변수가 드러나야 한다.
2. 00 → 01 → 11의 순서를 반복하는 counter를 설계하려고 한다. 물음에 답하시오. 물음에 답하시오.
 - (a) 슬라이드 12-14를 참조하여 next state table을 보이시오.
 - (b) 슬라이드 12-15를 참조하여 Karnaugh map과 flip-flop input equation을 보이시오.
 - (c) 슬라이드 12-16을 참조하여 논리도를 보이시오.
3. 슬라이드 12-19, 12-20의 counter에 대한 문제이다. 물음에 답하시오.
 - (a) 제시된 counter가 self-starting counter에 해당되는지 판단하고 이유를 쓰시오.
 - (b) 만약 counter에 저장된 값이 001이라면 000에 도달하기 위하여 소요되는 사이클의 수를 구하시오.
4. 슬라이드 13-2의 sequential parity checker에 대하여 다음 물음에 답하시오.
 - (a) D flip-flop으로 바뀌서 설계하려고 한다. 슬라이드 13-5에서의 state table을 참고하여 flip-flop input equation을 유도하시오.
 - (b) 슬라이드 13-6에 제시된 방법으로 논리도를 보이시오.
 - (c) 슬라이드 13-3에 제시된 state graph는 even parity를 생성하도록 작성되었다. Odd parity를 생성하려면 바뀌어야 할 부분을 설명하시오.
5. Sequential parity checker와 serial adder의 비교에 대한 문제이다. 물음에 답하시오.
 - (a) Sequential parity checker의 출력 Z에 대한 output equation을 보이시오. Flip-flop의 종류와 관계없이 출력을 결정할 수 있다.
 - (b) Serial adder의 출력 s_i 에 대한 output equation을 보이시오.
 - (c) Output equation에서 input variable의 포함 여부를 기준으로 비교하시오.
 - (d) 입력이 주어질 때 출력이 결정되는 시점을 비교하시오.
6. 슬라이드 13-13부터 13-16에 제시된 논리회로에 대한 문제이다. 각 flip-flop의 초기값은 0이고, Input sequence "1 0 0 1 1 0 0 1"가 주어진다. 물음에 답하시오.
 - (a) Output sequence를 결정하시오. 최초의 상승모서리 이후의 출력을 제시하는 것으로 보이는 것으로 충분하다.
 - (b) 최종 상태를 쓰시오.

- (c) 슬라이드 13-14에 상태 배정 방식이 제시되어 있다. 상태 배정 방식을 바꾸면 앞서의 문제 (a)와 (b)에 대한 답이 달라지는지 판단하고 이유를 쓰시오.
7. 슬라이드 13-17부터 13-20에 제시된 논리회로에 대한 문제이다. D flip-flop을 사용하되, 슬라이드 13-18에 제시된 상태 배정 방법을 그대로 채택한다. 물음에 답하시오.
- (a) 슬라이드 13-18에 제시된 transition table로부터 flip-flop input equation을 유도하시오.
- (b) Output equation을 다시 구할 필요가 있는지 판단하고 이유를 쓰시오.
- (c) 슬라이드 13-17에 제시된 방법으로 논리도로 보이시오.
8. 문제 7에서의 논리회로에 대한 문제이다. 각 flip-flop의 초기값은 0이고, Input sequence "1 0 0 1 1 0 0 1"가 주어진다. 물음에 답하시오.
- (a) Output sequence를 결정하시오. 최초의 하강모서리 이전에도 출력이 정의될 수 있음에 주의하되, false output(슬라이드 13-20 참조)은 제외하시오.
- (b) 최종 상태를 쓰시오.
- (c) 슬라이드 13-18에 상태 배정 방식이 제시되어 있다. 상태 배정 방식을 바꾸면 앞서의 문제 (a)와 (b)에 대한 답이 달라지는지 판단하고 이유를 쓰시오.
9. 실습 6번 과제에서 다뤘던 '111'을 탐지하는 문제이다. 다음 조건에 따라 상태도를 보이시오.
- (a) Moore model을 사용하되, 이전의 3개 입력을 플립플롭에 모두 기억하고 이를 활용하여 '111'을 탐지한다. (힌트: 상태의 수는 8개이다.)
- (b) Moore model을 사용하되, 지금까지 입력된 1의 수를 기억하고 이를 활용하여 '111'을 탐지한다. (힌트: 상태의 수는 4개이다.)
- (c) Mealy model을 사용하되, 이전의 2개 입력을 플립플롭에 모두 기억하고 현재의 입력과 결합하여 '111'을 탐지한다. (힌트: 상태의 수는 4개이다.)
- (d) Mealy model을 사용하되, 지금까지 입력된 1의 수를 기억하고 현재의 입력과 결합하여 '111'을 탐지한다. (힌트: 상태의 수는 3개이다.)
10. Sequence detector에 대한 문제이다. 다음에 제시된 sequence를 탐지할 수 있도록 Moore machine에 의한 상태도와 Mealy machine에 의한 상태도를 각각 보이시오.
- (a) 111
- (b) 1101
11. 슬라이드 14-8과 14-9에 대한 문제이다.
- (a) 생략된 next-state and output maps을 보이시오.
- (b) 생략된 flip-flop input equations and output equations를 보이시오.
- (c) 생략된 logic diagram을 보이시오.

12. 슬라이드 14-12부터 14-14에 제시된 상태도에 대한 문제이다.
- (a) 다음에 주어진 입력에 대하여 출력을 보이시오.
0 1 0 1 0 0 1 1 0 0 0 1 1 1
 - (b) X를 통해서 입력된 1의 수가 홀수일 때 출력 Z가 1이고 그렇지 않으면 0이라고 가정하자. Moore machine을 전제로 상태도를 보이시오.
 - (c) X를 통해서 연속된 두 개 이상의 0이 입력되면 출력 Z가 1이고 그렇지 않으면 0이라고 가정하자. Moore machine을 전제로 상태도를 보이시오.
 - (d) 슬라이드 14-14에 제시된 상태도를 Mealy machine으로 바꿔서 다시 보이시오.
13. 슬라이드 16-2부터 16-7에 대한 문제이다. 이번에는 Excess-3 code를 BCD 로 변환하는 회로를 설계하려고 한다.
- (a) 슬라이드 16-2를 변형하여 specification을 다시 작성하시오.
 - (b) 슬라이드 16-3과 유사한 상태도를 그리시오.
 - (c) (b)에서의 상태도에서 동일한 상태를 제거한 후에 슬라이드 16-4와 같은 reduced state table을 보이시오.
 - (d) 슬라이드 16-5를 참조하여 임의로 상태를 배정하고 assignment map과 transition table을 작성하시오.
 - (e) 슬라이드 16-6과 같이 next state and output maps를 작성하시오.
 - (f) Flip-flop input equations과 output equation을 작성하시오.