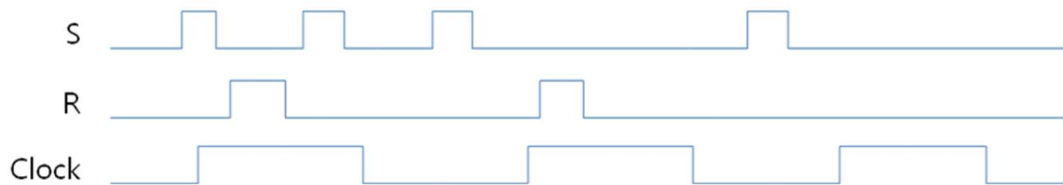
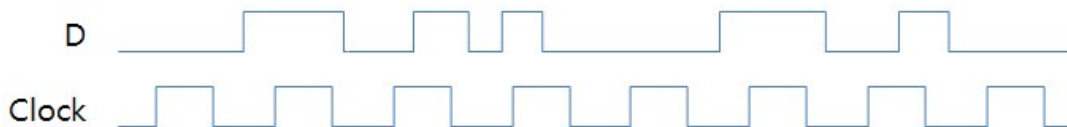


1. SR latch 자체가 순차회로임을 증명하시오. 입력이 S, R이고 출력이 Q, \overline{Q} 라고 가정한다.
2. 다음을 비교하시오. 입력, 출력, clock이 반드시 포함되어야 한다.
 - (a) Latch vs. flipflop
 - (b) Master-slave flipflop vs. Edge-triggered flipflop
3. 다음 물음에 간단하게 답하시오.
 - (a) Setup time과 hold time이 필요한 이유를 쓰시오.
 - (b) Setup time과 clock period의 관계를 설명하시오.
 - (c) Setup time을 만족하지 못할 경우 예상되는 문제점을 쓰시오.
4. S, R 입력이 있는 저장소자에 대한 timing diagram이 다음과 같이 주어진다. 아래 저장소자에 대하여 Q 값의 변화를 펄스로 각각 표현하시오.



- (a) Gated SR latch (슬라이드 11-13, Clock이 G 입력에 연결된다)
 - (b) SR flip-flop (슬라이드 11-21, Clock이 CLK 입력에 연결된다)
5. D 입력이 있는 저장소자에 대한 timing diagram이 다음과 같이 주어진다. 아래 저장소자에 대하여 Q 값의 변화를 펄스로 각각 표현하시오.



- (a) Gated D latch (슬라이드 11-15, Clock이 G 입력에 연결된다)
 - (b) Rising edge-triggered D flip-flop (슬라이드 11-19, Clock이 CLK 입력에 연결된다)
 - (c) Falling edge-triggered D flip-flop (슬라이드 11-20, Clock이 CLK 입력에 연결된다)
6. 슬라이드 11-19의 timing diagram은 rising edge-triggered D flip-flop에 대한 것이다. 입력 CLK와 D를 falling edge-triggered D flip-flop에 적용하는 것으로 바꿔서 timing diagram을 다시 그리시오.
 7. S-R flip-flop에 대한 문제이다. 다음 물음에 답하시오.
 - (a) 현재 0이 저장되어 있지만 다음 상승 모서리에 1로 변경되길 원한다. S와 R 입력을 결정하되, timing에 대한 조건도 반드시 포함하시오.
 - (b) 현재 0이 저장되어 있고 다음 상승 모서리가 오더라도 계속 0이 유지되길 원한다.

- (a)와 같은 요령으로 S와 R 입력을 결정하되, timing에 대한 조건도 반드시 포함하십시오.
- (c) 슬라이드 11-20을 참조하여 Next-state table을 보이시오.
- (d) (c)에서의 next-state table을 활용하여 next-state equation을 유도하십시오.
- (e) S-R flip-flop에 대한 characteristic equation을 유도하되, (c)에서의 next-state table을 활용하십시오.
8. D flip-flop with Clock Enable에 대한 문제이다. 슬라이드 11-28을 참조해서 물음에 답하십시오.
- (a) 현재 0이 저장되어 있지만 다음 하강 모서리에 1로 변경되길 원한다. D_{in} 과 CE 입력을 결정하되, timing에 대한 조건도 반드시 포함하십시오.
- (b) 현재 0이 저장되어 있고 다음 하강 모서리가 오더라도 계속 0이 유지되길 원한다. (a)와 같은 요령으로 D_{in} 과 CE 입력을 결정하되, timing에 대한 조건도 반드시 포함하십시오.
- (c) 슬라이드 11-20을 참조하여 Next-state table을 보이시오.
- (d) (c)에서의 next-state table을 활용하여 characteristic equation을 유도하십시오.
9. D flip-flop with Clear and Preset에 대한 문제이다. 슬라이드 11-19와 11-29, 11-30을 참조해서 물음에 답하십시오.
- (a) D flip-flop에 저장된 값을 0으로 초기화한 후에 clock의 첫번째 상승모서리에서 1로, 세번째 상승모서리에서 0으로, 다시 네번째 상승모서리에서 1로 저장된 값을 변경하려고 한다. 슬라이드 11-30에서와 같은 방법으로 도시하십시오.
- (b) 슬라이드 11-19에서와 같이 2개의 D latch를 사용하여 D flip-flop을 구현하려고 한다. 슬라이드 11-19에서의 flip-flop에 clear 기능과 preset 기능이 추가되어야 함에 주의하십시오. NOT 게이트 외에 AND 게이트와 NAND 게이트를 추가로 사용할 수 있다.
10. Next-state equation과 characteristic equation이 일치하지 않는 flip-flop을 선택하고 그 이유를 쓰시오.