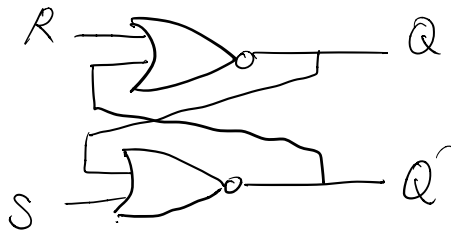


# 논리 회로 #9 과제

00분반  
201802081  
김천수

1. 순차회로는 입력값 뿐만 아니라, 입력받은 과거 입력이 영향을 받습니다. 또한 기억을 하기 위해서는 회로가 (상태) 저장할 수 있어야 합니다.



S-R 레거는 S의 논리 1로 상태를 변경할 수 있습니다.

S	R	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	1	1
1	1	0	}
1	1	1	

왼쪽의 칸들을 통해 다음 상태인 Q<sup>+</sup>가 현재 값인 S와 R, Q에 의해 결정이 됩니다.

} 허용되지 않는 입력.

2.

(a) Latch는 CLK을 입력으로 받지 않고, flip-flop은 CLK을 받습니다.

Latch는 입력이 바뀔 때마다 클럭이 오는 반면, flip-flop은 클럭이 올 때의 입력에서만 변화합니다.

(b) MS-flipflop과 E-T flipflop은 모두 CLK를 받습니다.

게이트는 여러 개의 짧은 시간 동안 입력이 인정되어 있으면 됩니다.

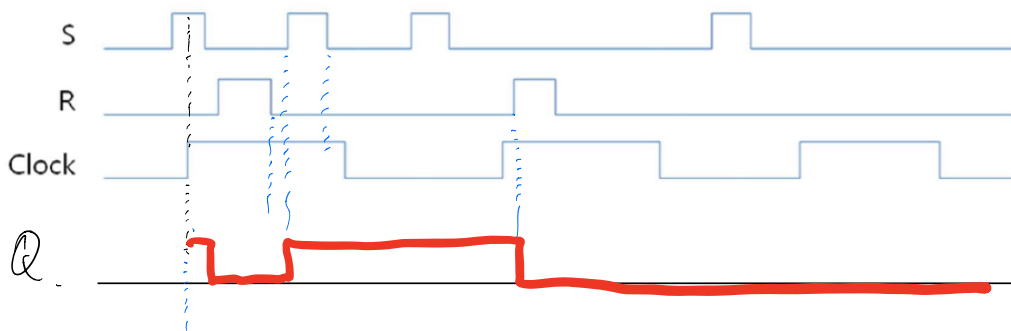
그러나 마스터-슬레이브 클럭의 여러 개만 아니라, 클럭의 구간만 입력이 안정이 되어야 합니다.

두 플립플롭 모두 필요한 논리도 따라 상응하여 혹은 하방 모서리에서 클럭이 변화합니다.

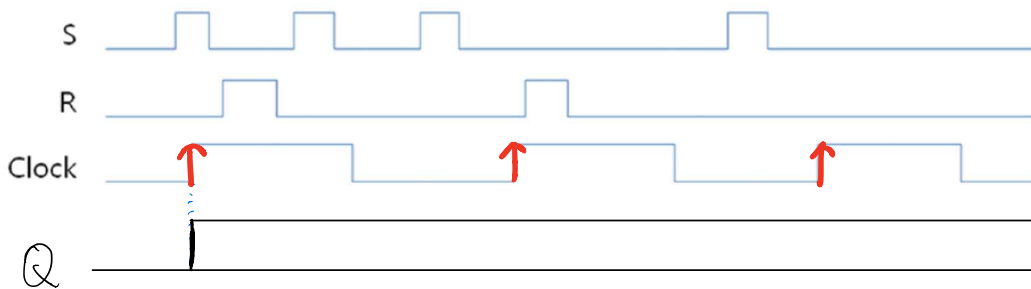
3.

- (a) 플립플롭은 단지 활성이지이서만 상태를 변화시키므로, 플립플롭의 전파지연은 활성이지와 클럭에서의 절과 변화사이의 시간이 됩니다.  
정확적 동작을 위해서는, 플립플롭의 입맛 클럭의 활성지연을 간혹해서  
앞정간 값을 유지해야 합니다. 그러므로 플러업과 셋업타입이 필요합니다.
- (b) 플립플롭의 setup 타임과 파드백 발생 중 생기는 전파지연 시간의  
합 보다 길어야 합니다.
- (c) 플립플롭이 로트는 값을 받아들이지 못합니다.

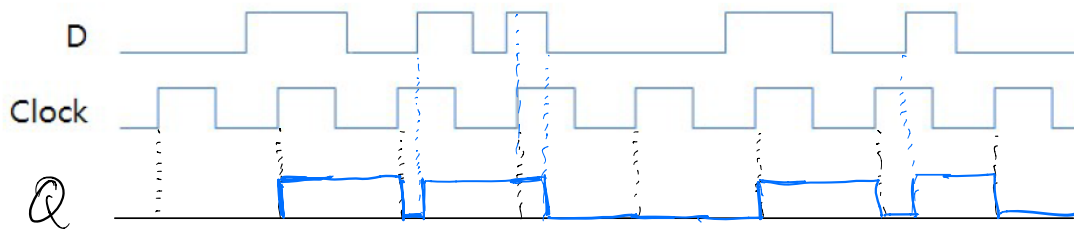
4. (a)



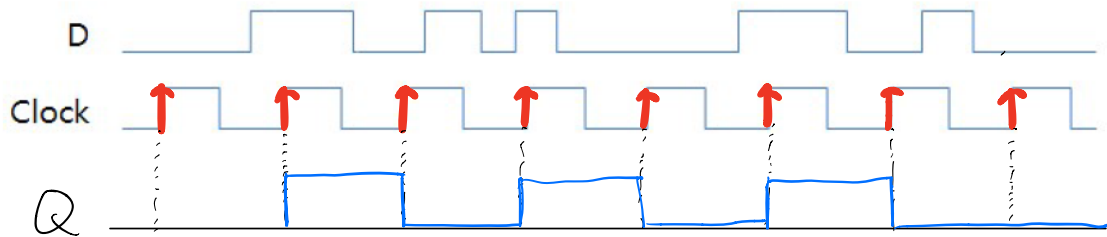
(b)



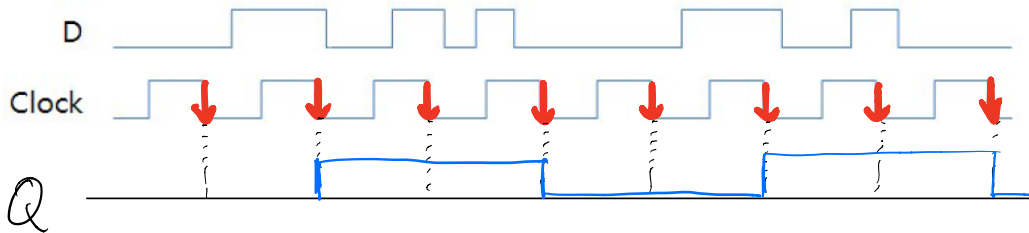
5. (a)



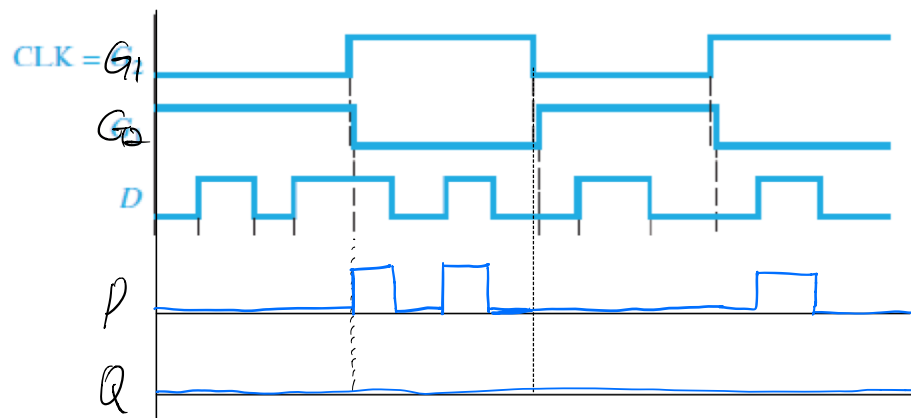
(b)



(c)



6.



7.

(a) setup 타일 중에  $S=1, R=0$ 으로 변형하는, hold time을 끝날 때까지 같은 유지한다.

(b) setup 타일 중에  $S=0, R=0$  혹은  $S=0, R=1$  한 두, hold time을 끝날 때까지 유지한다.

(c)

S	R	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

(d)

RQ \ S	0	1
00	0	1
01	1	1
11	0	-
10	0	-

$$Q^+ = R'S + R'Q$$

(e)

RQ \ S	0	1
00	0	1
01	1	1
11	0	X
10	0	X

$$Q^+ = R'Q + S$$

8

(a) CE가 1이고, setup time과 hold time 동안  $d_{in}$ 은 1로 유지한다.

(b) setup time과 hold time 동안 CE가 0이면, 1일 경우  $d_{in}$ 은 0으로 유지한다.

(c)

D	Q	CE	$Q^+$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

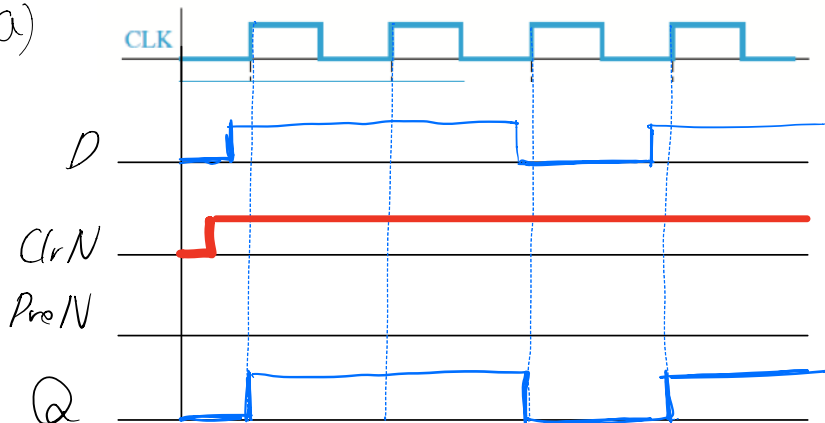
$Q \backslash D$	0	1
0	0	0
1	0	1
1	1	1

(d)

$$Q^+ = DCE + QCE'$$

9

(a)

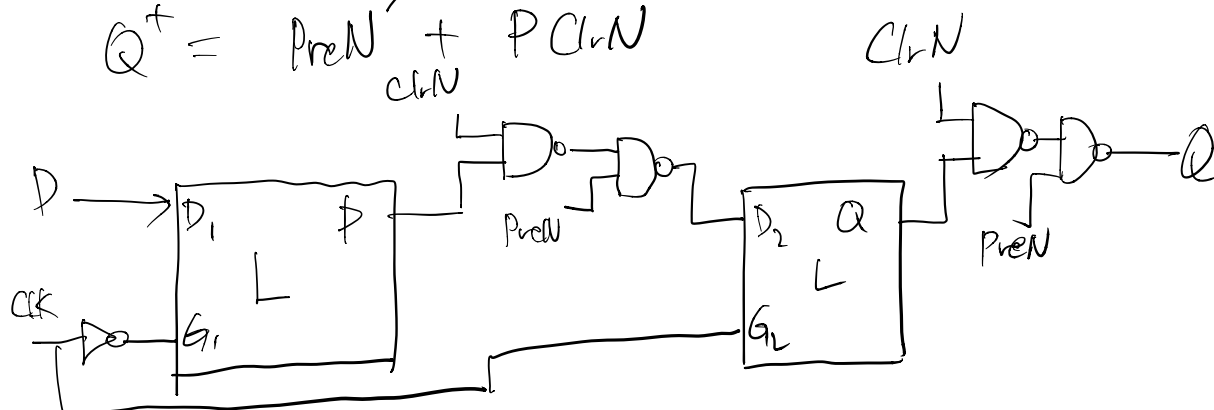


(b)

P	PreN	ClrN	$Q^+$
0	0	0	X
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	X
1	0	1	1
1	1	0	0
1	1	1	1

PreN \ ClrN \ P	0	1
00	X	X
01	1	1
11	0	1
10	0	0

$$Q^+ = \text{PreN}'_{\text{ClrN}} + P \text{ClrN}$$



10. S-R flip flop 있다. S와 R이 모두 1이 되면,  
don't care 항이 발생(되)게 된다.