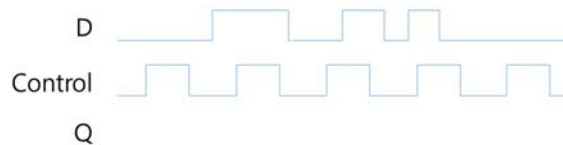
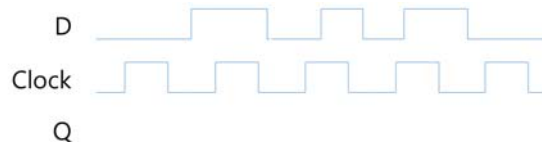


2016 학년도 1 학기
논 리 회 로 기 말 고 사
2016 년 6 월 16 일

1. (22 점, (a)는 4 점, 나머지는 각 6 점) 다음 물음에 답하시오.
 - (a) 주어진 상태도에서 상태의 개수가 6 이다. 순차회로로 구현하기 위하여 필요한 최소 플립플롭의 개수를 결정하시오.
 - (b) Positive edge-triggered flipflop 과 negative edge-triggered flipflop 에 대하여 입력이 출력에 영향을 미치는 시점을 비교하시오.
 - (c) Mealy model 과 Moore model 에 대하여 입력이 출력에 영향을 미치는 시점을 비교하시오.
 - (d) 순차회로에서 reset 신호가 필요한 이유를 설명하시오.
2. (30 점, 각 6 점) 다음은 D latch 와 D flipflop 에 대한 문제이다. 물음에 답하시오.
 - (a) D latch 와 D flipflop 의 차이점에 대하여 간단하게 설명하시오.
 - (b) D latch 와 D flipflop 을 표준 그래픽 기호로 보이시오.
 - (c) D latch 와 NOT gate 를 이용하여 Positive edge-triggered D flipflop 을 설계하시오.
 - (d) D latch 에 대하여 아래와 같이 D 입력과 Control 입력이 주어진다. 출력 Q 를 도하시오. 단, Control 입력이 1 일 때 투명하게 동작한다고 가정한다.

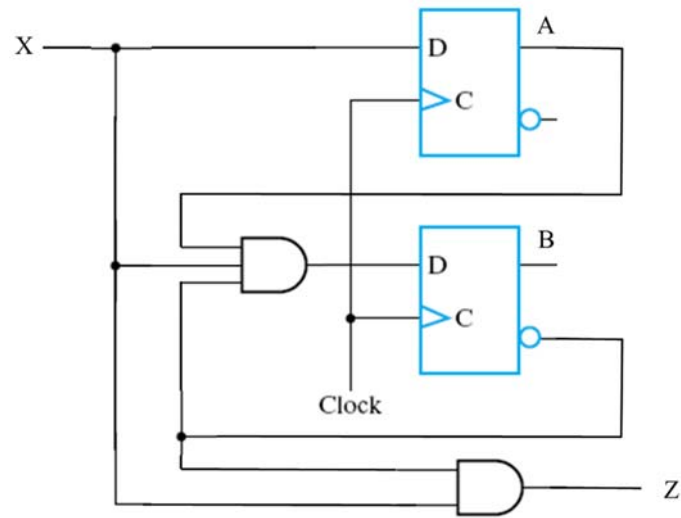


- (e) Positive edge-triggered D flipflop 에 대하여 (d)와 같은 요령으로 출력 Q 를 도하시오.



3. (16 점, (a)는 4 점, 나머지는 각 6 점) 클럭의 상승 모서리를 기준으로 직전에 입력된 값과 현재 입력된 값이 일치하면 1 을, 그렇지 않으면 0 을 출력하는 회로를 설계하려고 한다. 편의상 입력은 X, 출력은 Z 라고 부르기로 하며, 초기 상태에 대하여 고려할 필요가 없다. 물음에 답하시오.
 - (a) 조합회로로 설계할 수 없는 이유를 쓰시오.
 - (b) 상태도를 보이시오.
 - (c) 논리도를 보이시오. 단, XOR 게이트를 활용하여 되도록 간단하게 표현하시오.
4. (10 점) 3 번 문제의 연속이다. 앞의 회로에 리셋 신호 R 을 추가하려고 한다. 상태도를 다시 그리시오. 두 개의 입력 R 과 X 가 주어짐에 주의하시오. (힌트) 상태의 수가 증가한다.

5. (22 점, (a), (d)는 각 4 점, (b)는 2 점, (c), (e)는 각 6 점) 다음 논리도에 대하여 물음에 답하십시오. 단, 두 플립플롭은 0 으로 초기화된다고 가정한다.



- Flipflop input equation 을 쓰시오.
- Output equation 을 쓰시오.
- 상태도를 보이시오. 단, 이미 상태가 배정되어 있으므로 상태를 이진수로 표시하십시오.
- 클럭의 하강모서리에서 X 에 대한 입력이 “1 1 1 1 0 0 1 1”의 순서로 주어진다. 각 입력에 대응되는 출력들을 순서대로 쓰시오.
- (c)에서의 상태도에는 등가적 상태(equivalent state)가 포함되어 있다. 등가적 상태를 병합하여 상태도를 다시 보이시오.

100 점 만점