

1. 슬라이드 7-11 하단에는 NAND 게이트만으로 NOT, AND, OR 게이트를 대체하는 방법이 제시되어 있다. 다음 물음에 답하시오.
  - (a) 슬라이드 7-14 하단에 제시된 회로에 대하여 AND, OR 게이트를 슬라이드 7-11에서의 방법으로 대체하고 불필요한 게이트를 제거함으로써 슬라이드 7-14 상단에 제시된 회로를 얻을 수 있음을 보이시오.
  - (b) 슬라이드 7-16 상단에 제시된 회로에 대하여 (a)와 같은 요령으로 슬라이드 7-16 하단에 제시된 회로를 유도하시오.
2. NAND와 NOR 게이트만 주어진다. 물음에 답하시오.
  - (a) 슬라이드 7-3에서의 회로를 NAND 게이트만으로 변환하시오.
  - (b) NOR 게이트만으로 (a)를 반복하시오.
  - (c) 슬라이드 7-20 상단에서의 회로를 NOR 게이트만으로 변환하시오.
3. Multi-level gate circuits에 대한 문제이다. 물음에 답하시오.
  - (a) 슬라이드 7-4에서 제시된 회로를 2 단계 회로로 변환하여 도시하시오.
  - (b) 슬라이드 7-5부터 7-8에 제시된 gate input 비용 모델을 활용하여 슬라이드 7-3과 7-4, 그리고 (a)에서의 회로의 비용을 추정하시오.
  - (c) Gate input 비용이 감소하도록 슬라이드 7-8에서 3 단계 회로를 4 단계 회로로 변환하고 감소 정도를 계산하시오.
4. 다음에 제시된 논리소자들에 대하여 입력의 개수와 출력의 개수를 쓰시오. 제어 입력도 입력에 포함됨에 주의하시오.
  - (a) 3-to-8 decoder
  - (b) 8-to-3 priority encoder
  - (c) 8-to-1 multiplexer
  - (d) Dual 4-to-1 multiplexer
5. Multiplexer에 대한 문제이다. 슬라이드 9-5를 참조해서 물음에 답하시오.
  - (a) 2-to-1 MUX만 사용해서 8-to-1 MUX를 설계하시오. 슬라이드의 원편과 같이 도시하는 것으로 충분하다.
  - (b) 4-to-1 MUX만 사용해서 (a)를 반복하시오.
6. Multiplexer에 대한 문제이다. 슬라이드 9-7을 참조해서 물음에 답하시오.
  - (a) 4-to-1 MUX with enable를 2개 사용하고 OR 게이트를 추가하여 8-to-1 MUX를 설계하시오.
  - (b) 4-to-1 MUX with enable를 4개 사용하고 적당한 크기의 decoder 1개, OR 게이트 1개를 사용하여 16-to-1 MUX를 설계하시오.
  - (c) (a)를 확장하여 8-to-1 MUX with enable를 설계하시오. AND 게이트를 추가해야 한다.

7. 슬라이드 9-8에서의 회로를 참조해서 물음에 답하십시오.
  - (a) Multiplexer의 제어 입력의 순서를 D와 C로 바꿔서 다시 도시하십시오.
  - (b) Multiplexer의 제어 입력을 A와 B로 바꿔서 다시 설계하되, 간소화하십시오.
8. Multiplexer using three-state buffers에 대한 문제이다. 슬라이드 9-11을 참조해서 물음에 답하십시오.
  - (a) Three-state buffer만 사용해서 4-to-1 MUX를 설계하십시오. 슬라이드 원편과 같이 도시하는 것으로 충분하다.
  - (b) Three-state buffer 4개, 적당한 크기의 decoder 1개, OR 게이트 1개를 사용하여 4-to-1 MUX를 설계하십시오.
9. Decoder에 대한 문제이다. 물음에 답하십시오.
  - (a) 2-to-4 line decoder with enable를 활용하여 3-to-8 line decoder를 설계하십시오. 단, 추가되는 논리소자를 최소화하십시오.
  - (b) 2-to-4 line decoder with enable을 5개 사용하여 4-to-16 line decoder를 설계하십시오.
10. "특별한" 3-to-6 line decoder를 설계하려고 한다. 입력으로 000부터 101까지 6개의 조합이 주어진다. 입력 코드들에 대하여 대응되는 출력만 1이 되고 나머지는 0이 되어야 한다. 한 개의 2-to-4 line decoder와 다른 한 개의 1-to-2 line decoder, 그리고 6개의 AND 게이트를 이용하여 3-to-6 line decoder를 설계하십시오.
11. 슬라이드 9-16에서의 encoder를 설계하려고 한다. 4-input OR gate를 3개 사용하여 논리도를 보이시오. 슬라이드에서와 같이 입력은  $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$ 이고 출력은  $a, b, c$ 이다.
12. 다음 부울 함수를 제시된 방법으로 각각 설계하십시오.
 
$$F(A, B, C, D) = AB + BC + CD'$$
  - (a) 8-to-1 multiplexer와 1개의 NOT gate
  - (b) 4-to-1 multiplexer와 약간의 AND, OR, NOT gate
  - (c) 4-to-16 decoder와 1개의 OR gate
  - (d)  $2^4 \times 4$  ROM