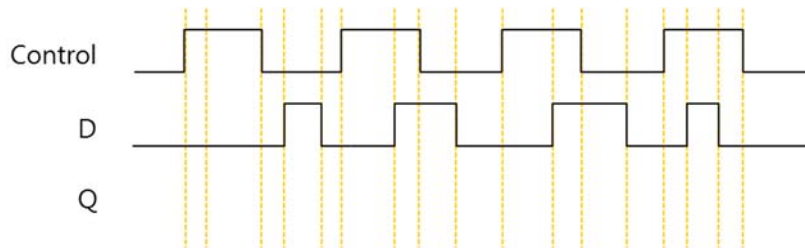
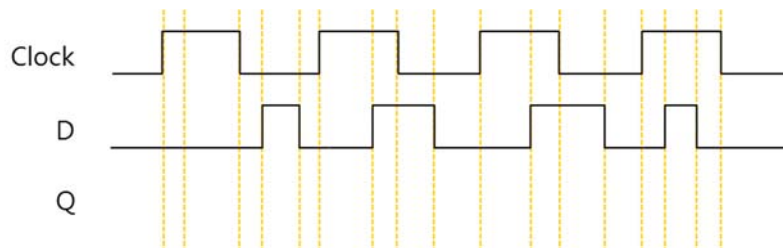


2014 학년도 1 학기  
논 리 회 로 기 말 고 사  
2014 년 6 월 13 일

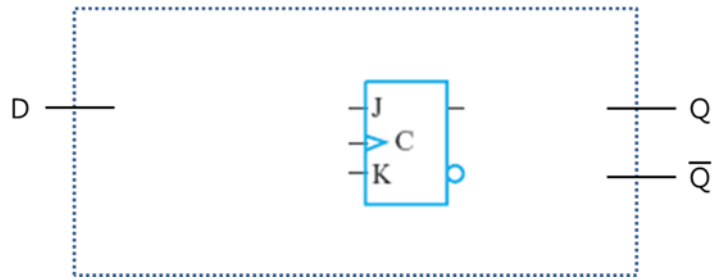
1. (12 점, 각 6 점) 다음 물음에 간단하게 답하시오.
  - (a) 10 개의 상태로 구성된 상태도를 논리회로로 구현하려고 한다. 더 이상 상태를 줄이는 것이 불가능하다고 가정하고, 플립플롭의 최소 개수를 결정하시오. 그리고 one-hot code 를 사용하여 상태를 배정할 때 플립플롭의 개수를 결정하시오.
  - (b) 순차회로를 구현할 때 latch 가 부적합한 이유를 설명하시오.
2. (18 점, (a)는 8 점, (b)는 4 점, (c)는 6 점) 다음은 Control 신호를 갖는 D latch 에 대한 문제이다. Control 신호가 1 일 때 D 신호의 값이 입력되고, 저장된 값은  $\overline{Q}$  신호와 Q 신호를 통하여 출력된다.
  - (a) NAND gate 만을 사용하여 설계하시오. 다른 gate 들은 사용할 수 없음에 주의하시오.
  - (b) D latch 를 graphic symbol 로 표현하시오. D latch 의 내부가 드러나는 대신 전체가 block 으로 표시되어야 하고 입출력 신호들이 명확하게 나타나야 한다.
  - (c) 아래 주어진 D 신호와 Control 신호에 대하여 D latch 의 Q 신호를 도시하시오. 단, 지연은 없다고 가정한다.



3. (18 점, 각 6 점) 다음은 JK 플립플롭을 이용한 (Positive Edge-triggered) D 플립플롭의 구현에 대한 문제이다. D 플립플롭의 입력 신호는  $\overline{D}$  이고 출력 신호는 Q 와  $\overline{Q}$  이다. JK 플립플롭을 사용한다는 점에 주의하여 물음에 답하시오.
  - (a) 아래 주어진 D 신호와 Clock 신호에 대하여 D 플립플롭의 Q 신호를 도시하시오. 단, 지연은 없다고 가정한다.

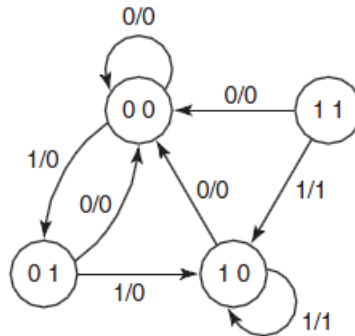


(b) D 플립플롭과 JK 플립플롭의 특성을 이용하여 아래 논리회로를 완성하십시오.



(c) (b)에서의 논리회로에 동기 리셋 신호를 추가하려고 한다. (b)의 논리회로는 그대로 두고 아래에 다시 그리시오. (힌트)  $J = 0, K = 1$  이면 JK 플립플롭에 저장된 값을 0으로 바꿀 수 있다.

4. (12 점) 한 개의 입력 신호와 한 개의 출력 신호를 갖는 논리회로를 설계하려고 한다. 두 개의 연속된 직전 입력이 모두 0 이거나 1 일 때만 1 을 출력하고, 그렇지 않을 때는 0 을 출력하여야 한다. 상태를 보이시오.
5. (12 점, 각 6 점) 다음 상태도에 대하여 물음에 답하십시오.



- (a) Mealy model 과 Moore model 중에 선택하고, 이유를 설명하십시오.
- (b) Equivalent state 들을 찾고, 이유를 설명하십시오.
6. (28 점, (a), (d)는 8 점, (b), (c)는 6 점) 다음은 순차회로의 설계에 대한 문제이다. 주어진 상태도를 이용하여 물음에 답하십시오.

