

1. 다음에 제시된 논리소자들에 대하여 입력의 개수와 출력의 개수를 쓰시오. 단, 논리소자를 만들 수 없으면 '해당사항 없음'이라고 쓰면 된다.
 - (a) 2×4 decoder
 - (b) 10×4 encoder
 - (c) 4×1 dual multiplexer
 - (d) 1×8 demultiplexer
 - (e) 4 bit adder
 - (f) 4 bit comparator
2. 슬라이드 3-48부터 3-52에 주어진 BCD-to-Seven-Segment Decoder를 decoder와 OR 게이트만으로 구현하려고 한다. 최소 크기의 decoder와 최소 크기의 OR 게이트를 쓴다고 가정한다.
 - (a) Decoder의 크기와 개수를 결정하시오.
 - (b) OR 게이트의 크기와 개수를 결정하시오.
 - (c) OR 게이트외에 NOR 게이트도 활용할 수 있다고 바꾸면, OR/NOR 게이트의 크기를 줄일 수 있다. OR/NOR 게이트의 크기와 개수를 결정하시오.
3. 슬라이드 3-56에서의 full adder로 1비트 덧셈을 수행하려고 한다. 다음에 제시된 조합에 대하여 각 HA의 출력과 FA의 출력을 각각 쓰시오.
 - (a) $X = 1, Y = 0, Z = 0$
 - (b) $X = 1, Y = 1, Z = 0$
 - (c) $X = 0, Y = 1, Z = 1$
 - (d) $X = 1, Y = 1, Z = 1$
4. 다음에 주어진 수에 대하여 2의 보수, 1의 보수, 그리고 부호-크기 방법으로 표현하시오. 단, 8 비트로 표현하기로 한다.
 - (a) -1
 - (b) 8
 - (c) -10
5. 2의 보수를 사용하여 다음 연산을 이진수로 보이되, 그 과정을 포함하시오. overflow 여부도 보이시오. 단, 모든 이진수를 4 비트로 표현하기로 한다.
 - (a) $4 + (-6)$
 - (b) $(-4) + (-6)$
 - (c) $(-4) - 6$
 - (d) $(-4) - (-6)$
6. 슬라이드 3-62을 참조하여 물음에 답하시오.

- (a) 4 bit 뺄셈기를 설계하되, 가능한 단순화하시오. 특히 S 입력이 불필요함에 주의하시오.
- (b) 4 bit negator는 주어진 4 bit 수와 부호만 다른 4 bit 수를 출력하는 논리회로이다. 4 bit negator를 설계하되, FA(Full Adder) 대신 HA(Half Adder)를 사용하시오.
7. 주어진 4 비트 이진수에 대하여 보수를 출력하는 조합회로를 설계하려고 한다. 물음에 답하시오.
- (a) 1의 보수를 출력하도록 조합회로를 설계하시오.
- (b) 2의 보수를 출력하도록 조합회로를 설계하시오. 출력이 정의되지 않는 경우는 임의 값이 출력되어도 무방하며, (a)에서의 회로와 HA를 사용할 수 있다.
- (c) (b)를 계층적 방법으로 다음과 같이 설계하시오. 각 비트를 연산하는 블록을 정의하고 네 개의 블록을 연결하여 전체 회로를 구성한다. 각 블록의 입력과 출력은 각각 2개이고, 캐리와 유사한 정보를 전달하기 위하여 서로 직렬로 연결된다.
8. 가감산 연산에 의한 overflow를 탐지하는 회로를 설계하려고 한다.
- (a) 피연산자 A와 B의 연산 과정에서 발생하는 최상위 캐리와 차상위 캐리를 각각 C_n 과 C_{n-1} 이라고 하자. 피연산자의 최상위 비트가 각각 A_{n-1} 과 B_{n-1} 이다. V를 overflow 여부를 표시하는 변수라고 할 때, 다음 진리표를 채우시오.
- | A_{n-1} | B_{n-1} | C_{n-1} | C_n | V |
|-----------|-----------|-----------|-------|---|
| 0 | 0 | 0 | 0 | |
| 0 | 0 | 0 | 1 | |
| ... | ... | ... | ... | |
| 1 | 1 | 1 | 1 | |
- (b) V에 대한 논리식을 유도하시오.
- (c) (b)에서의 논리식을 슬라이드 3-67에서의 회로와 비교하시오.
9. 3 bit incrementer를 설계하려고 한다. 슬라이드 3-68을 참조하여 물음에 답하시오. 단, 111 다음의 출력은 000으로 정의한다.
- (a) 세 개의 HA(Half Adder)를 이용하여 설계하고 논리도를 보이시오.
- (b) 슬라이드 3-68의 incrementer와 비교하시오.
10. 슬라이드 3-71을 참조해서 $A_3A_2A_1A_0$ 와 $B_3B_2B_1B_0$ 에 대한 곱셈기를 보이시오.