

Laboratório 3 - Organização e arquitetura de computadores

Gabriel Rodrigues Diógenes, Higor Gabriel,
Marina Carvalho Soares de Queiroz, Luis Filipe Campos Cardoso

11 de fevereiro de 2020

Universidade de Brasília - Instituto de Ciências Exatas
Departamento de Ciência da Computação - CIC 116394 - Organização e Arquitetura de Computadores
2019.1 - Turma A - Professor Marcus Vinicius Lamar
Prédio CIC/EST - Campus Universitário Darcy Ribeiro
Asa Norte 70919-970 Brasília, DF

1 Introdução

O laboratório 3 teve como objetivo treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog, desenvolvendo a capacidade de análise e síntese de sistemas digitais usando uma HDL. Além de buscar familiarizar o aluno com a plataforma de desenvolvimento FPGA DE1-SoC da Intel e o software QUARTUS Prime e implementar uma CPU Uniciclo compatível com a ISA RV32IMF com chamadas às rotinas do sistema.

2 PARTE A: Apresentação do ambiente de desenvolvimento, ferramentas e interface do processador

2.1 Item 1.2

Depois de executar o arquivo focafafa.s no Rars (vide figura 1), foi gerado dois arquivos com extensão .mif para serem carregados na DE1-SoC. De-

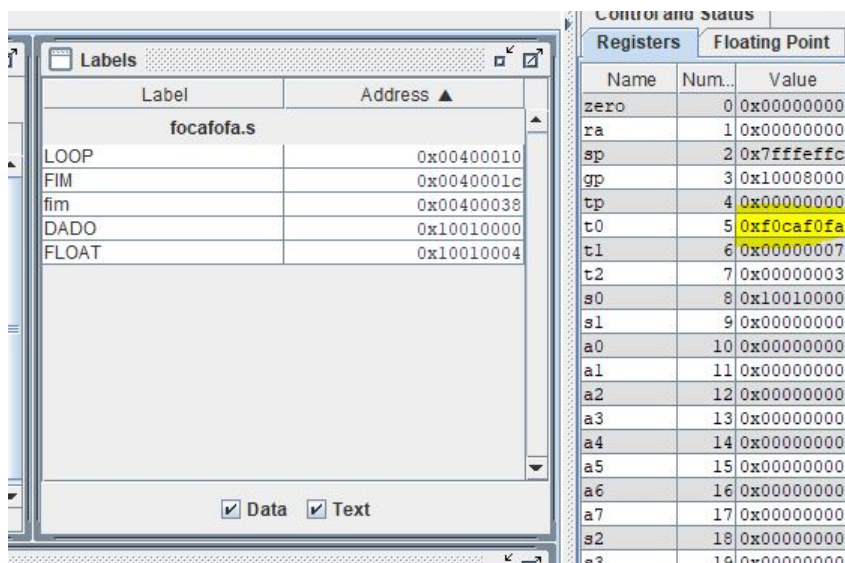


Figura 1: Execução do programa focafofa.s

pois disso, foi filmada a execução do programa em uma baixa frequência e passo-a-passo, a fim de visualizar os registradores. Segue o link do vídeo: <https://www.youtube.com/watch?v=Jl52MskCjSgfeature=youtu.be>

2.2 Item 1.3

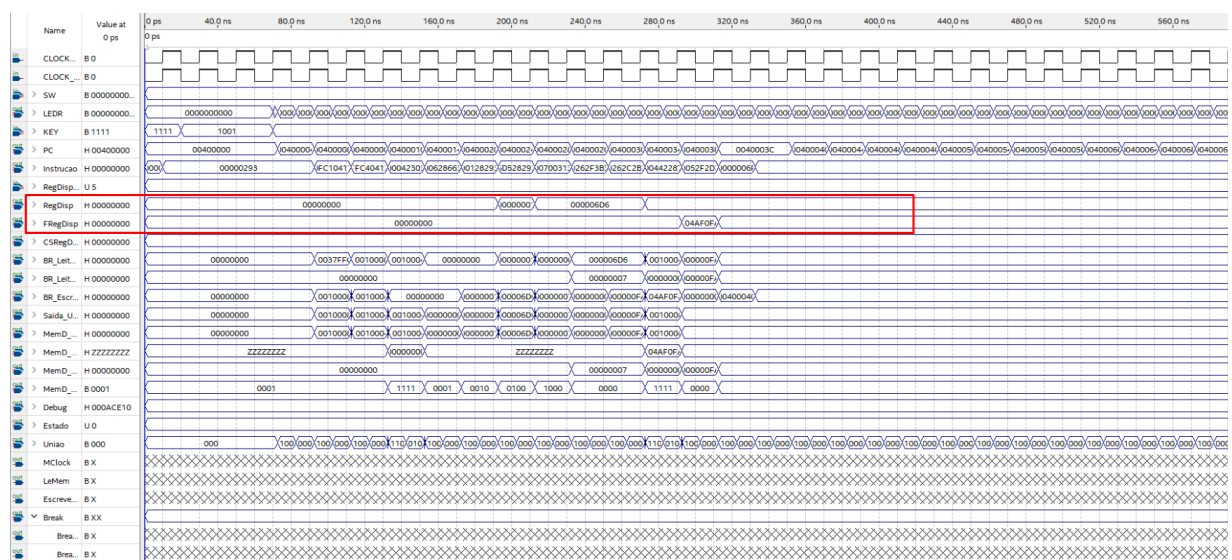


Figura 2: Simulação dos sinais do processador ao rodar o programa focafofa.s com divisão 1 na frequência

Conforme figuras 2 e 3, foi feita uma simulação dos sinais do processador e percebeu-

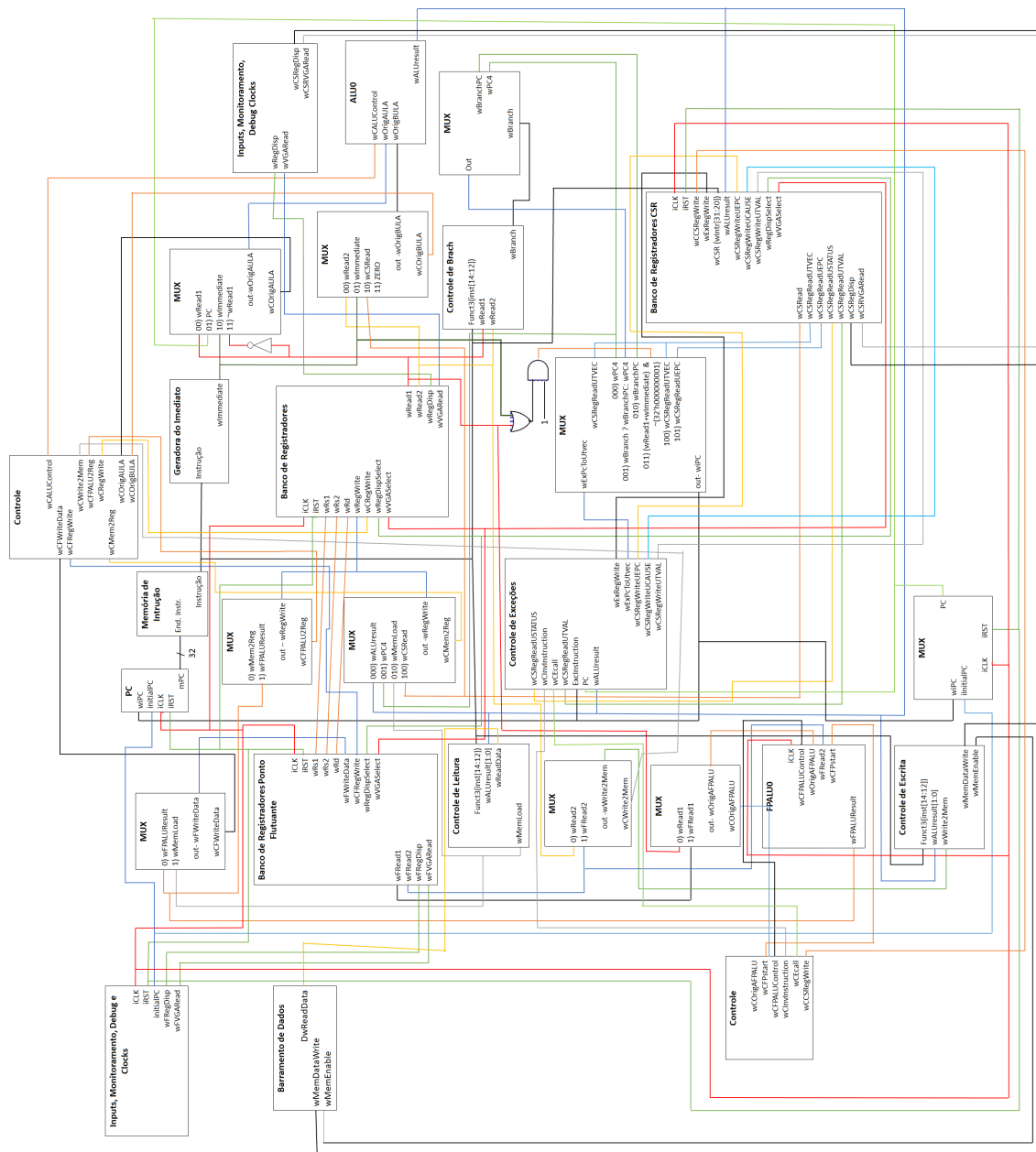


Figura 4: Caminho de dados da RV32IMF Unício

3.2 Item 2.2

A tabela verdade do bloco de controle foi calculada e se encontra em anexo no arquivo [tabela-verdade.pdf](#) junto à este documento.

3.3 Item 2.3

ISA	Nº de ALUIS	Nº de Registradores	Bits de memória	DSP
RV32I	2675	1376	0	0
RV2IM	7532	1376	0	12
RV2IMF	10763	3886	47616	18

Quadro 1: Tabela Verdade do Bloco de Controle do processador UNICICLO RISC-V v2.2b ISA RV32IMF

ISA	Maior atraso (tpd)	tco, th, tsu	Clock (máxima)	Slacks
RV32I	35403	43,270 rise, 6,322 rise, -2,002 rise	53.42 MHz	1,282
RV2IM	28771 FF	118,487 rise, 7,190 rise, -3,184 rise	10.77MHz	1,282
RV2IMF	28773 RR	132,225 fall, 7,649 rise, -0,268 rise	10,59 MHz	-74.445

Quadro 2: Tabela Verdade do Bloco de Controle do processador UNICICLO RISC-V v2.2b ISA RV32IMF

Pelo quadro 1, pode-se perceber que conforme a ISA vai sendo agregada, mais componentes ela tem, por isso o número de ALUIS cresceu. Os ISAs RV32I e o RV2IM têm o mesmo número de registradores, já que só tem um banco de registradores. O ISA RV2IMF tem o banco de registradores de ponto flutuante.

Percebeu-se que o maior atraso (tpd) foi verificado ao rodar a ISA RV32I. Não conseguimos explicar esse comportamento, já que na teoria, pelo fato do RV32I não ter multiplicação e divisão, há menos lógicas computacionais no circuito. No entanto, essa ISA teve o menor atraso de propagação de saída de clock e tempo de hold.

O clock máximo do RV32I foi alto, se comparado aos outros dois, pois o circuito é mais simples. Notou-se que o slack foi positivo para o RV32I e para o RV32IM e negativo para o RV32IMF. Com isso, conclui-se que o processo funcionou corretamente para esses

dois primeiros com o valor de slack positivo e não funcionou corretamente para o último (RV32IMF). Sendo assim, sugere-se que seja reduzido o clock ao utilizar o ISA RV32IMF para resolver essa questão.

3.4 Item 3.1

Segue o link do vídeo que contém a execução do processador uniciclo com o programa do polígono com os tamanhos indo de 3 a 20: <https://youtu.be/XhJpiPOdbvg>.

3.5 Item 3.2

Utilizando o Simulation Waveform2, e alterando os valores de SW, ou seja, do divisor de tensão, constatamos que o erro se inicia na frequência 50:5 (vide figura 5), fazendo com que a frequência máxima do programa no UNICICLO seja 50:6 (vide figura 6), logo por volta de 8.33GHz.

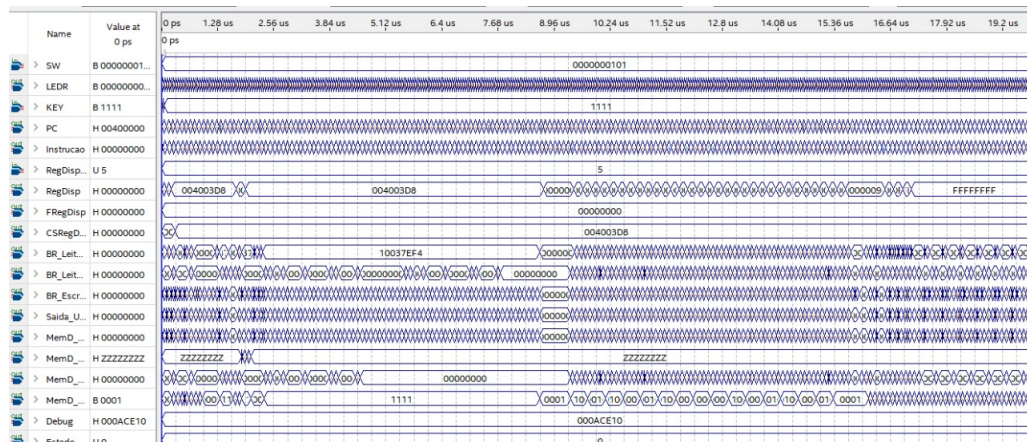


Figura 5: Simulação do programa Polígono no Quartus utilizando o Processador Uniciclo com divisão de frequência igual a 5

3.6 Item 3.3

As funções mencionadas no enunciado possuem 4075 instruções ao rodar um loop. Considerando a frequência da questão anterior (8.34 MHz).

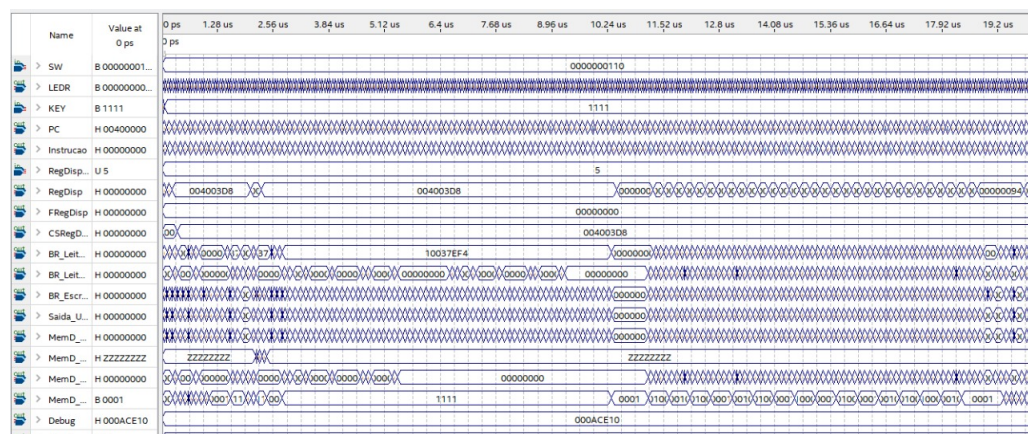


Figura 6: Simulação do programa Polígono no Quartus utilizando o Processador Uniciclo com divisão de frequência igual a 6