

Laboratório 4 - Organização e arquitetura de computadores

Gabriel Rodrigues Diógenes, Higor Gabriel,
Marina Carvalho Soares de Queiroz, Luis Filipe Campos Cardoso

11 de fevereiro de 2020

Universidade de Brasília - Instituto de Ciências Exatas
Departamento de Ciência da Computação - CIC 116394 - Organização e Arquitetura de Computadores
2019.1 - Turma A - Professor Marcus Vinicius Lamar
Prédio CIC/EST - Campus Universitário Darcy Ribeiro
Asa Norte 70919-970 Brasília, DF

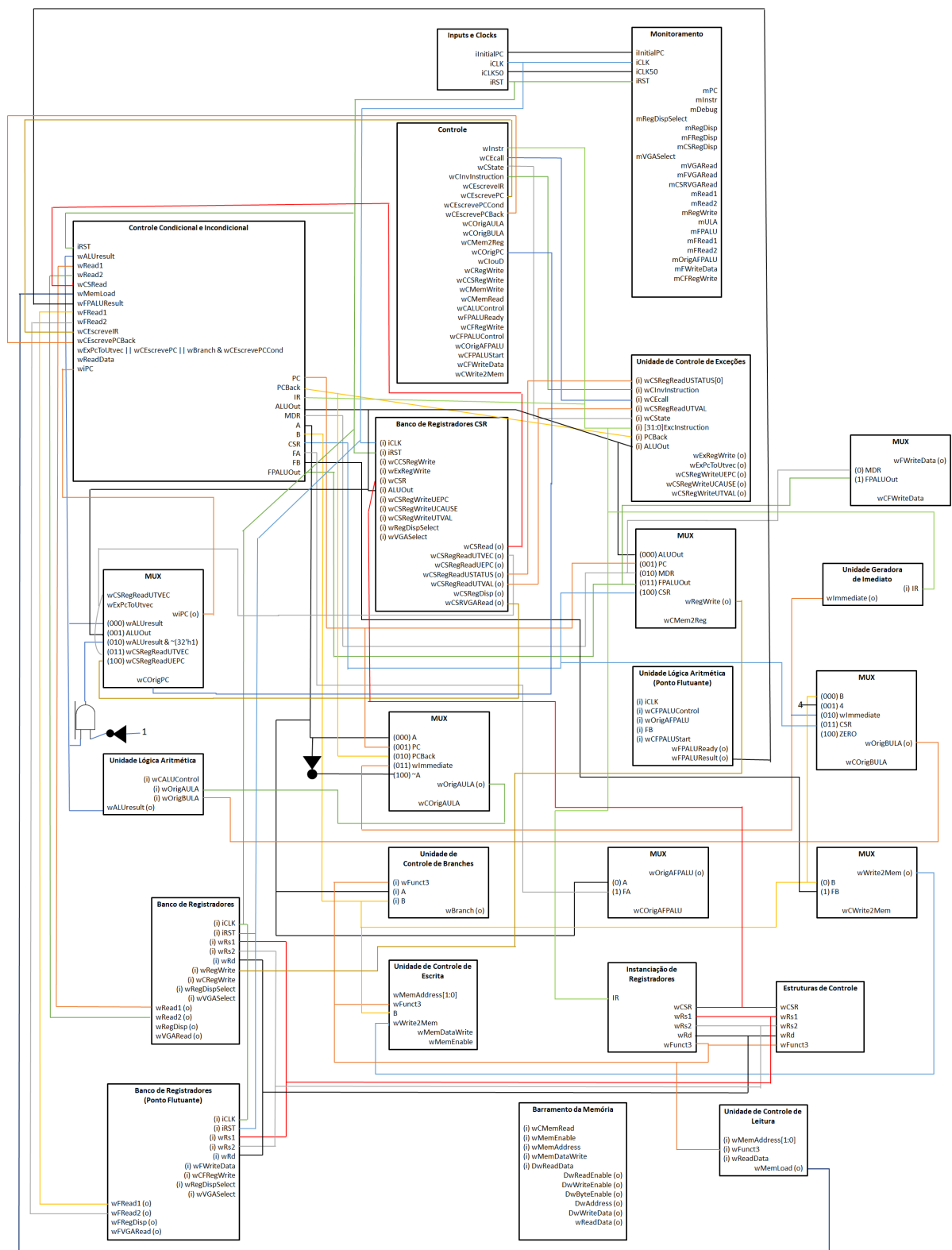
1 Introdução

O laboratório 4 teve como objetivo treinar o aluno com a Linguagem de Descrição de Hardware (HDL) Verilog, desenvolvendo a capacidade de análise e síntese de sistemas digitais usando uma HDL. Além de buscar familiarizar o aluno com a plataforma de desenvolvimento FPGA DE1-SoC da Intel e o software QUARTUS Prime e implementar uma CPU Multiciclo compatível com a ISA RV32IMF com chamadas às rotinas do sistema.

1.1 Item 1.1

O caminho de dados está disposto na figura 1.

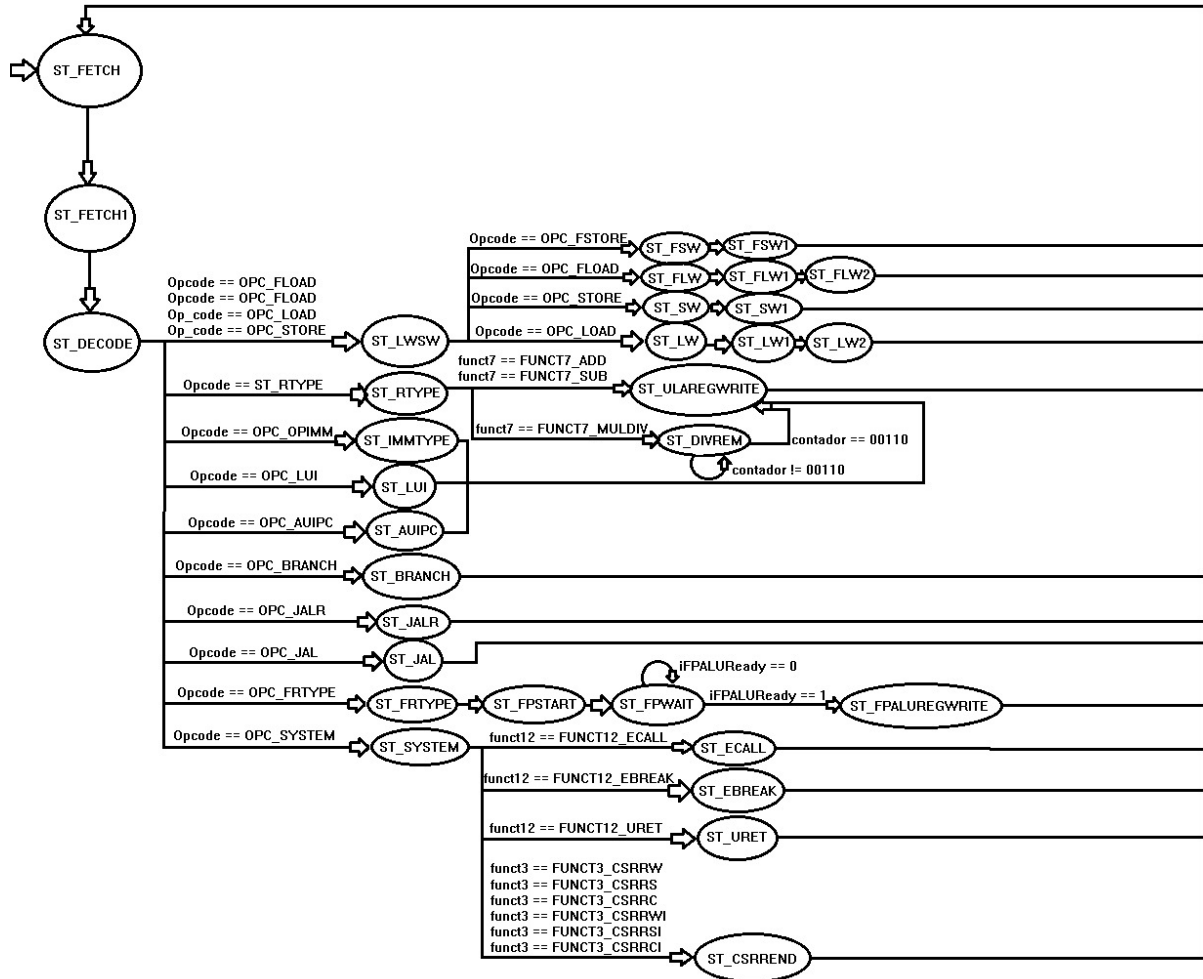
Figura 1



1.2 Item 1.2

Abaixo temos a Máquina de Estados para Multiciclo na figura 2:

Figura 2



1.3 Item 1.3

ISA	Nº de ALUIS	Nº de Registradores	Bits de memória	DSP
RV32I	2308	1623	0	0
RV2IM	7389	1629	0	12
RV2IMF	10635	4256	47616	18

Quadro 1: Tabela comparativa do processador MULTICICLO RISC-V v2.2b

ISA	Maior atraso (tpd)	tsu, th, tco	Clock (máxima)
RV32I	25.834(FF)	-3.336/6.903/35.138(FALL)	69.1 MHz
RV2IM	26.344(FF)	-3.417/6.945/35.785(FALL)	70.3 MHz
RV2IMF	25.028(FF)	-0.896/6.919/34.708(FALL)	66.5 MHz

Quadro 2: Tabela comparativa do processador MULTICICLO RISC-V v2.2b

1.4 Item 2.1

Segue o link do vídeo que contém a execução do processador multi-ciclo com o programa do polígono com os tamanhos indo de 3 a 20: <https://www.youtube.com/watch?v=Hp0Amy52q1o&feature=youtu.be>.

1.5 Item 2.2

Através de testes feitos utilizando o Simulation Waveform do Quartus e alterando o valor de SW, ou seja, o divisor de tensão, concluímos que a máxima frequência utilizável é de $50/2$, ou seja, 25MHz

1.6 Item 2.3