



نکات مهم:

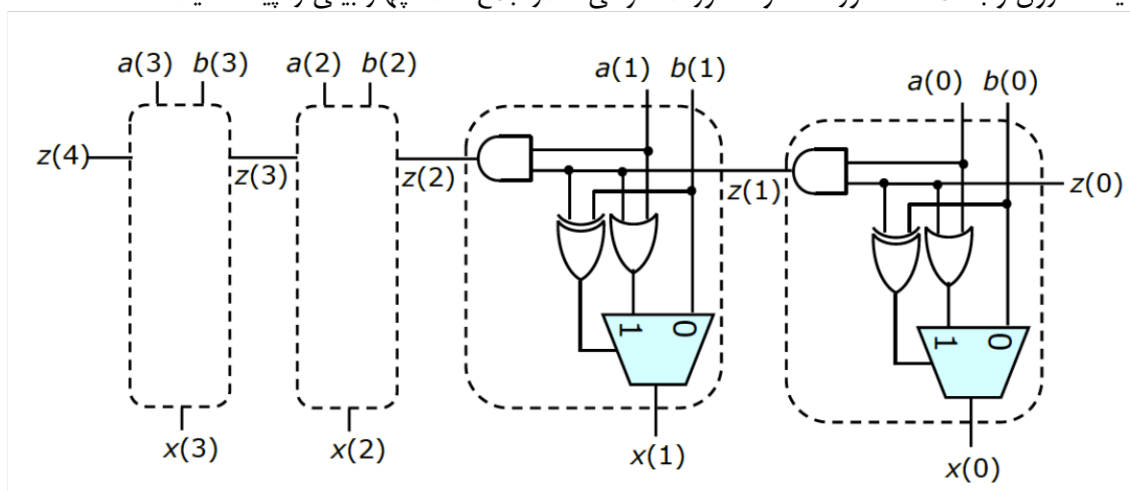
- ۱) تمرین های زیر را با نوشتن کد *VHDL* و *Testbench* مربوط به آن پیاده سازی و **تست** نمایید (با استفاده از *ActiveHDL*).
- ۲) یک فایل **گزارش** ایجاد نموده و **خروجی های شبیه سازی** و **توضیحات** مورد نیاز را در آن قرار دهید.
- ۳) تمام فایل های *VHDL* و تست بنچ و فایل گزارش را در یک پوشه با نام "**CAD_HW02_Name**" قرار دهید و **rar** کنید.
- ۴) فقط یک فایل **rar** شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

۱- به کمک دستورات شرطی، توابع خروجی جدول زیر را توصیف کنید. ورودی **r** چهار بیتی، و خروجی ها **Code** (دو بیتی) و **active** (تک بیتی) هستند. (توصیه: از دستور **if ... elsif ..** برای داخل پروسس، یا دستور **when ... else** خارج پروسس استفاده کنید)

input r	output	
	code	active
1---	11	1
01--	10	1
001-	01	1
0001	00	1
0000	00	0

۲- کد مربوط به تولید بیت توازن یک ورودی **n** بیتی را بنویسید. ورودی یک رشته **n** بیتی (**n** را **generic** تعریف کنید)، و دو خروجی **Parity_Even** و **Parity_Odd** است. خروجی **Parity_Even** برابر با **xor** همه بیت های ورودی است. در تست بنچ مقدار **n** را هفت بگیرید و درستی مدار را در شبیه سازی نشان دهید.

۳- مدار جمع کننده چهار بیتی زیر را به دو صورت پیاده کنید:
الف) ابتدا مدار یک بلوک را بصورت ماژول جداگانه پیاده کنید، سپس با چهار بار نمونه گیری مدار جمع کننده چهار بیتی را پیاده کنید.
ب) صرفا در یک ماژول و با کمک دستور حلقه و دستورات شرطی، مدار جمع کننده چهار بیتی را پیاده کنید.



مهلت تحویل: یکشنبه ۱۵ فروردین ۱۴۰۰، تا ساعت ۲۳:۵۵ (تحويل تا پنجشنبه ۲۸ اسفند: +20% نمره اضافی)

فقط یک فایل **rar** شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.