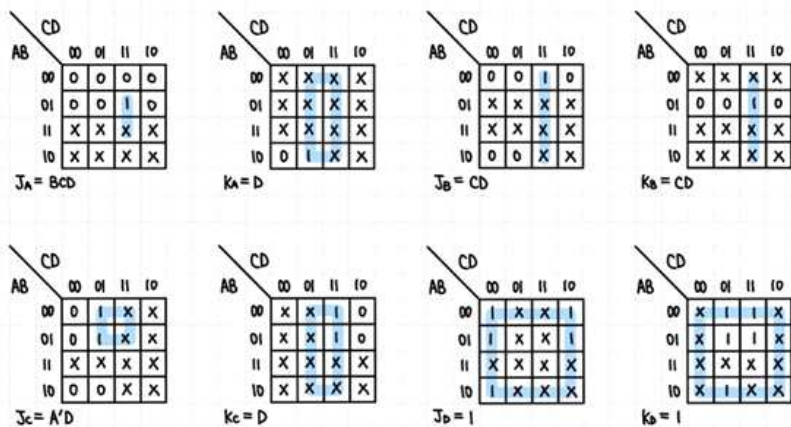
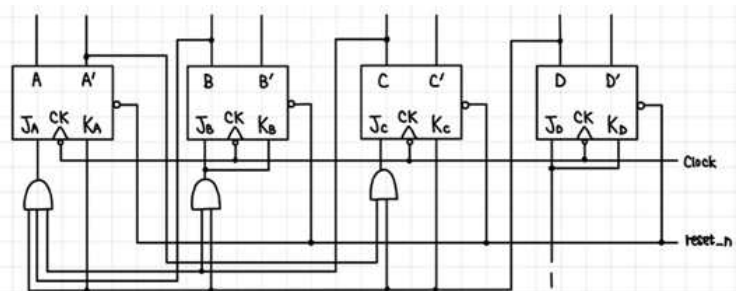


[illegible]

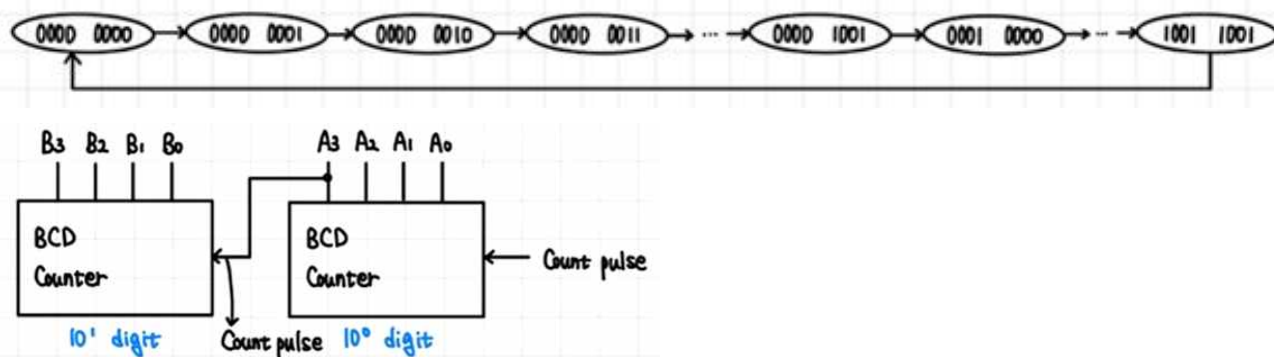


이를 이용해 나타낸 전체 회로도 는 아래와 같다.



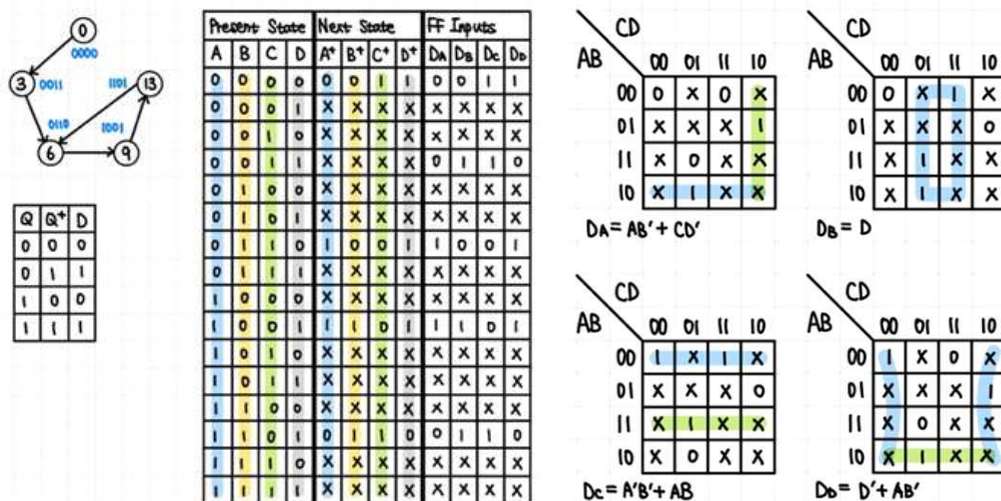
## (2) Lab6\_2

두 자릿수 십진 계수기(two-digit decade bcd counter)의 개략적인 상태 전이도와 회로도 는 아래와 같다.

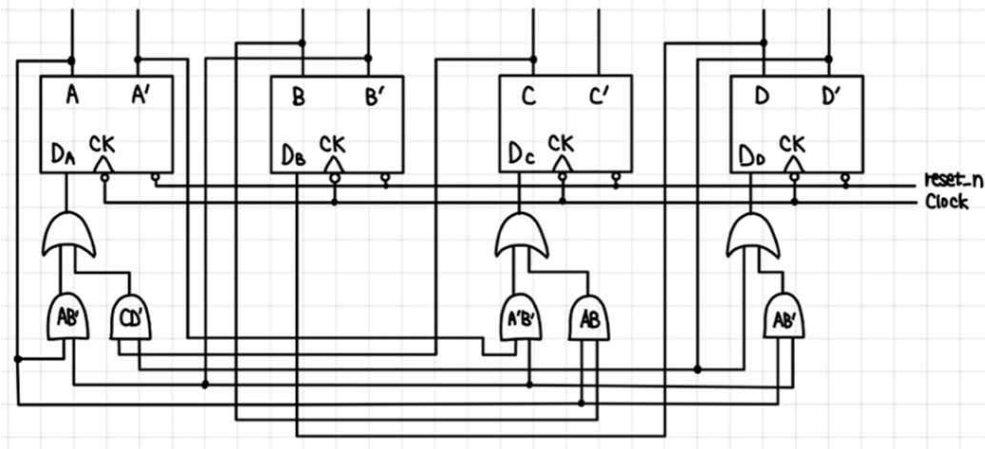


## (3) Lab6\_3

3, 6, 9 계수기의 상태 전이도와 전이표, D FF의 입력은 아래와 같다.

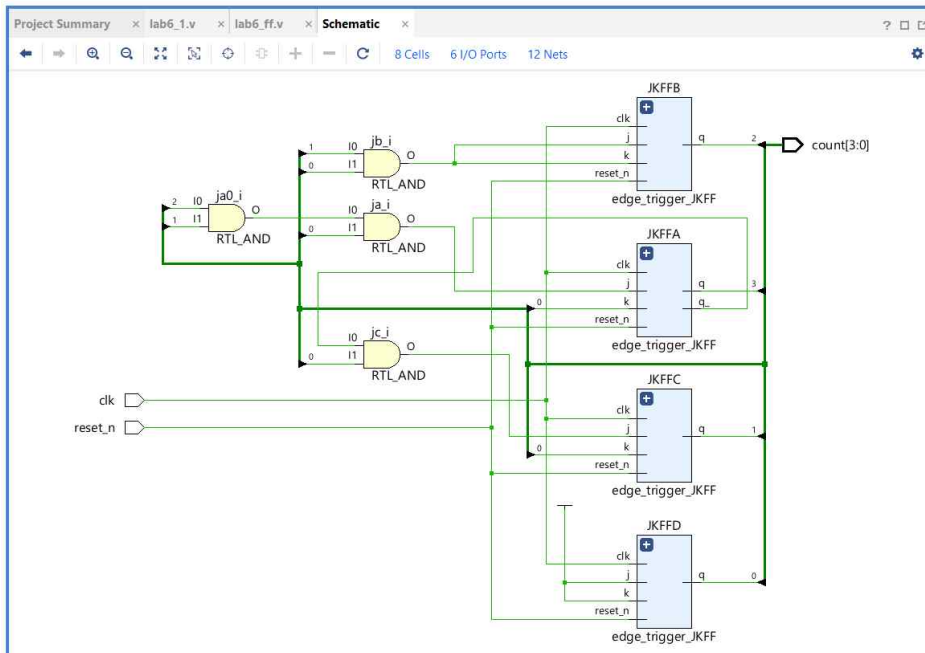


이를 이용해 나타난 전체 회로도에는 아래와 같다.

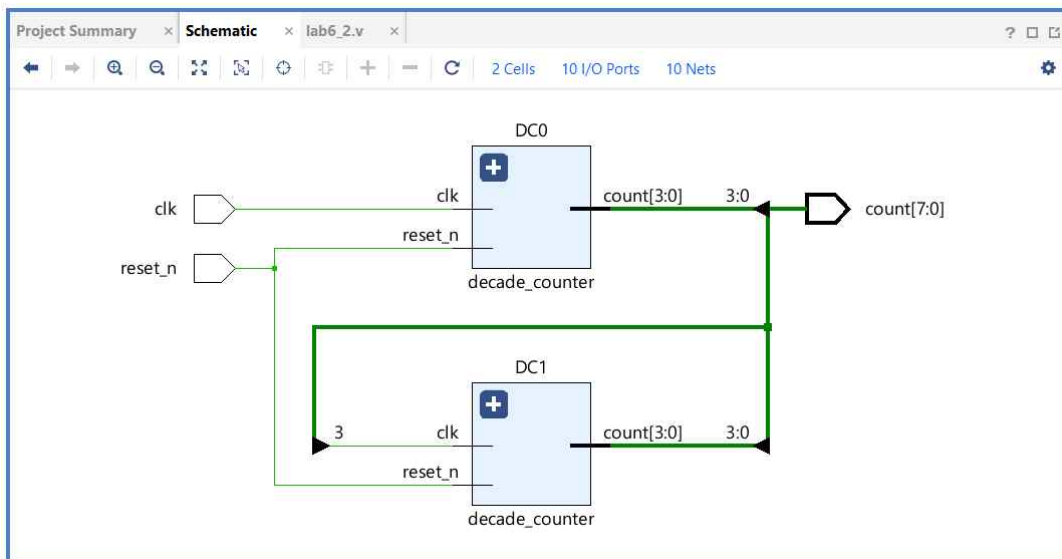


#### 4 결과

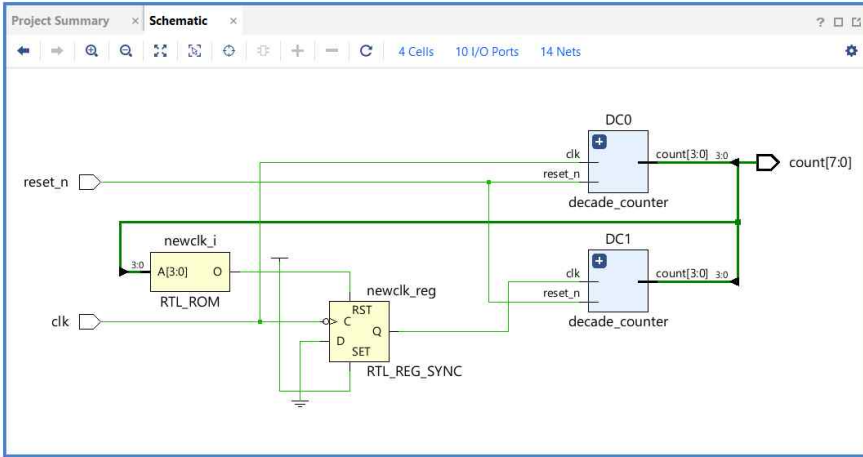
Lab6\_1에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



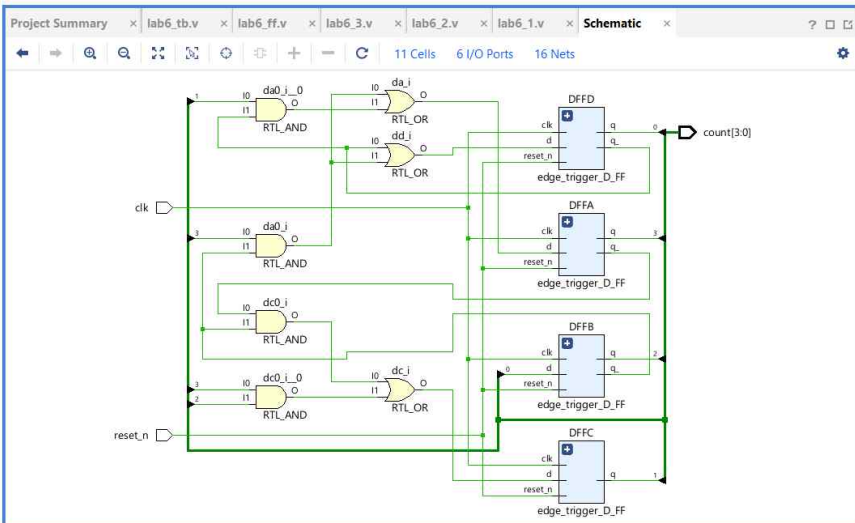
Lab6\_2에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



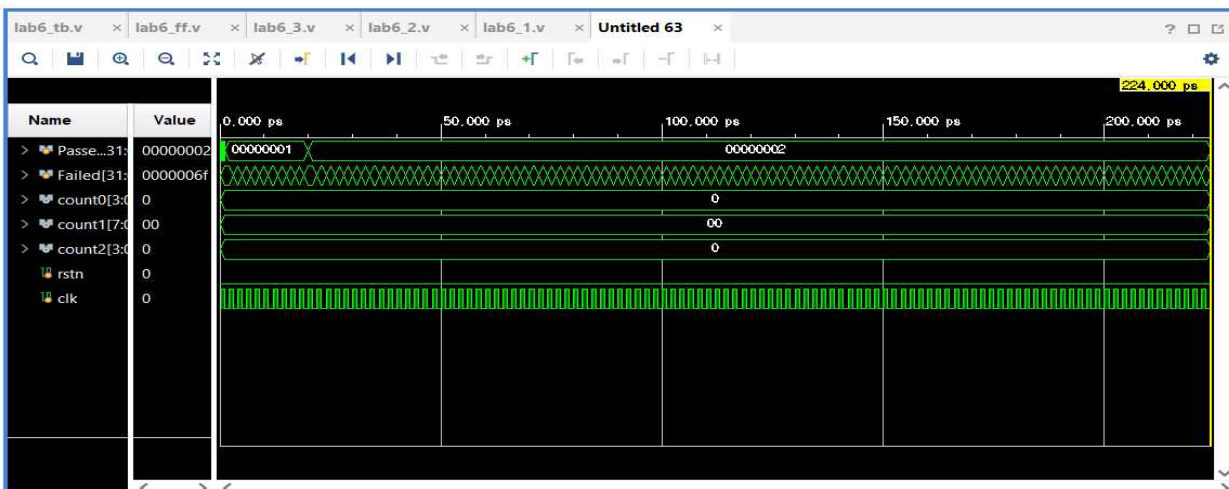
그러나 Lab6\_2의 경우 test bench 작성을 위해 분석하던 중 이론과는 다르게 해당 회로로는 오류가 발생할 수 있음을 깨달았다. wire의 초기값이 0이 아닌데 0의 자릿수의 msb를 그대로 10의 자릿수의 clock으로 활용하니, JK FF 내에서 msb를 0으로 초기화하는 과정에서 이것이 negative edge로 작용해 2-digit bcd counter의 값이 10부터 시작하는 것을 발견하게 되었다. 그래서 reg newclk이라는 새로운 변수를 하나 선언하고 그것을 사용하여 아래와 같이 작동하는 회로를 설계하였다.



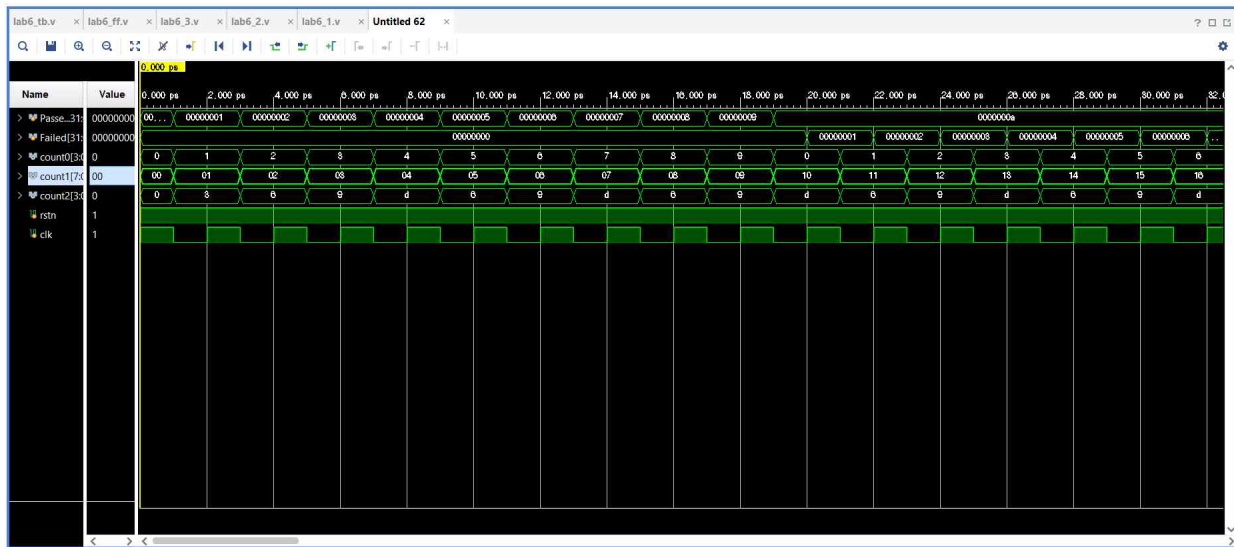
Lab6\_3에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



Lab6\_1, 6\_2, 6\_3에 대한 test bench를 작성하여 시뮬레이션을 돌린 결과는 아래와 같았다. 이를 통해 각 계수기의 구현이 올바르게 이루어졌음을 알 수 있었다.



(reset\_n == 0인 경우)



(reset\_n == 1인 경우)

### 5 논의

테스트벤치를 작성하는 데에 여전히 어려움을 겪었으나, 지난번 랩부터 그래왔듯이 xvlog라는 txt 파일을 참고하여 문제가 되는 부분을 찾아 해결해 나갈 수 있었다. 그리고 이번 랩 실습을 통해 wire와 reg의 차이점에 대해 확실히 알 수 있었다.

다만 시뮬레이션 결과를 보면 각 계수기의 값은 제대로 잘 출력이 되는 것을 확인할 수 있으나, Passed와 Failed가 가끔 오류를 보이는 것을 알 수 있다. 이는 clock의 시간에 따라 out\_expected를 제대로 맞추어 넣지 못했기 때문으로 보인다.