

# Lab 4\_1 보고서

20210479 이주현

## 1 개요

Lab4\_1에서는 이진수 덧셈에 사용하는 Half adder(반가산기)와 Full adder(전가산기)의 기능을 이해하고 회로를 직접 구현해보는 것을 목표로 한다.

## 2 이론적 배경

### (1) Half adder

Half adder란 두 개의 1비트 이진수를 입력받아 둘의 합과 carry out을 출력하는 회로이다.

### (2) Full adder

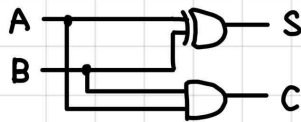
Full adder란 두 개의 1비트 이진수와 carry in을 입력받아 합과 carry out을 출력하는 회로이다. Full adder의 회로는 두 개의 half adder를 이용하여 구현할 수 있다.

## 3 실험 준비

Half adder의 진리표와 식, 회로는 다음과 같다.

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$C = AB, S = A \oplus B = A'B + AB'$$



Full adder의 진리표와 식, 회로는 다음과 같다. 이론적 배경에서 알아보았듯 full adder의 회로는 half adder 두 개를 이용하여 나타내었다. 그림에서 파란색 형광펜으로 표시한 부분들이 각각 하나의 half adder이다.

A	B	C <sub>i</sub>	C <sub>o</sub>	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

		BC <sub>i</sub>			
A		00	01	11	10
0		0	0	1	0
1		0	1	1	1

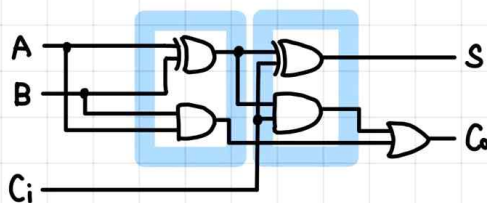
$$C_o = AC_i + AB + BC_i$$

$$= AB + (A \oplus B)C_i$$

		BC <sub>i</sub>			
A		00	01	11	10
0		0	1	0	1
1		1	0	1	0

$$S = (A'B' + AB)C_i + (AB' + A'B)C_i'$$

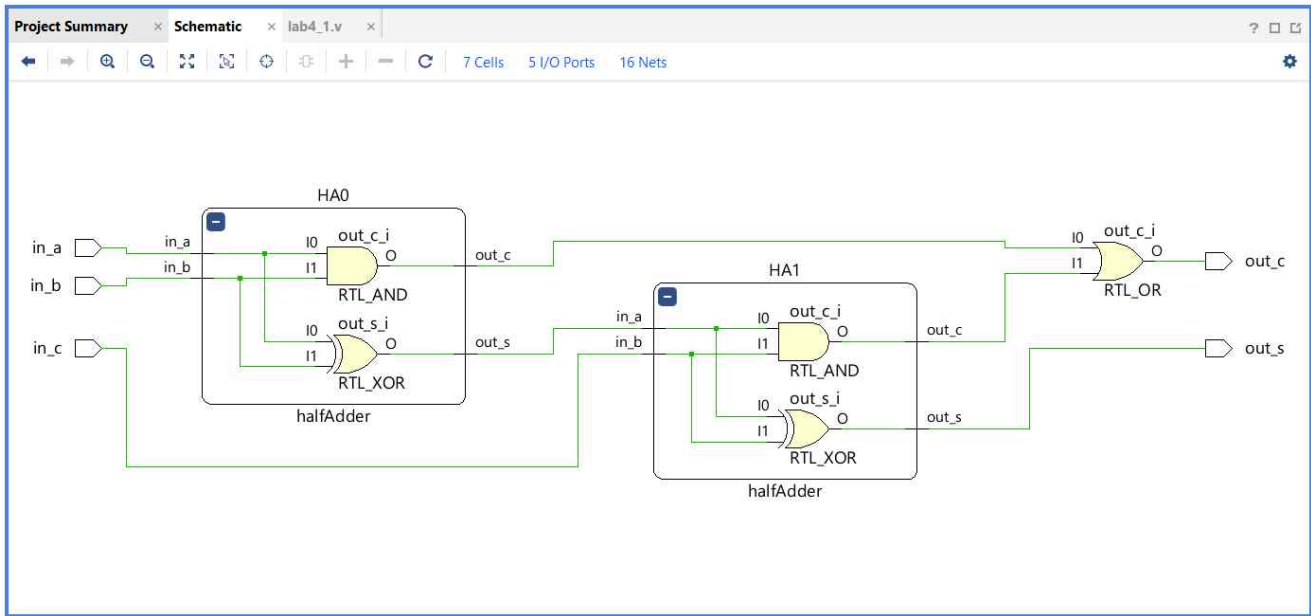
$$= A \oplus B \oplus C_i$$



#### 4 결과

작성한 회로도(RTL analyzer schematic)는 다음과 같았다. 이는 full adder의 회로인데, full adder를 half adder module을 이용하여 만들었으므로 half adder의 회로 또한 포함되어 있다.

사각형 선으로 둘러싸인 XOR gate와 and gate 부분이 각각 하나의 half adder의 회로이다.



#### 5 논의

이번 과제를 통해 half adder와 full adder의 개념을 확실히 알고, 구현하는 방법을 알게 되었다.

# Lab 4\_2 보고서

20210479 이주현

## 1 개요

Lab4\_2에서는  $n$  비트의 이진수의 덧셈에 활용되는 ripple adder의 기능을 이해하고, 앞서 구성해놓은 full adder를 활용하여 ripple adder의 회로를 구현하는 것을 목표로 한다.

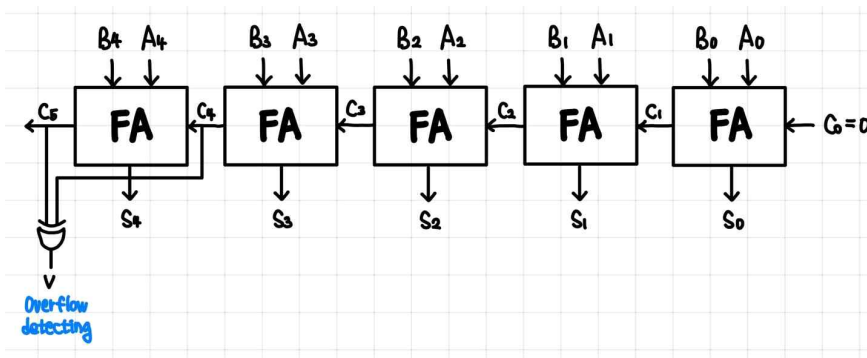
## 2 이론적 배경

### (1) N-bit ripple adder (n 비트 리플 가산기)

N-bit ripple adder는 두 개의  $n$  비트 이진수를 입력받아 그 합과 carry out을 출력하는  $n$ 비트 가산기의 하나이다. 이는  $n$ 개의 full adder를 이어 구현할 수 있다. 각각의 full adder로 1비트씩의 연산을 수행하여 총합  $n$  비트의 연산을 수행하는 것이다, 이때 full adder가 순차적으로 연결되어 있기 때문에 낮은 자릿수의 연산이 끝나 carry out이 높은 자릿수의 carry in으로 입력되어야 높은 자릿수의 연산이 시작될 수 있기 때문에, ripple adder는 연산하고자 하는 자릿수에 비례해 연산에 걸리는 시간이 늘어난다는 특징을 갖는다.

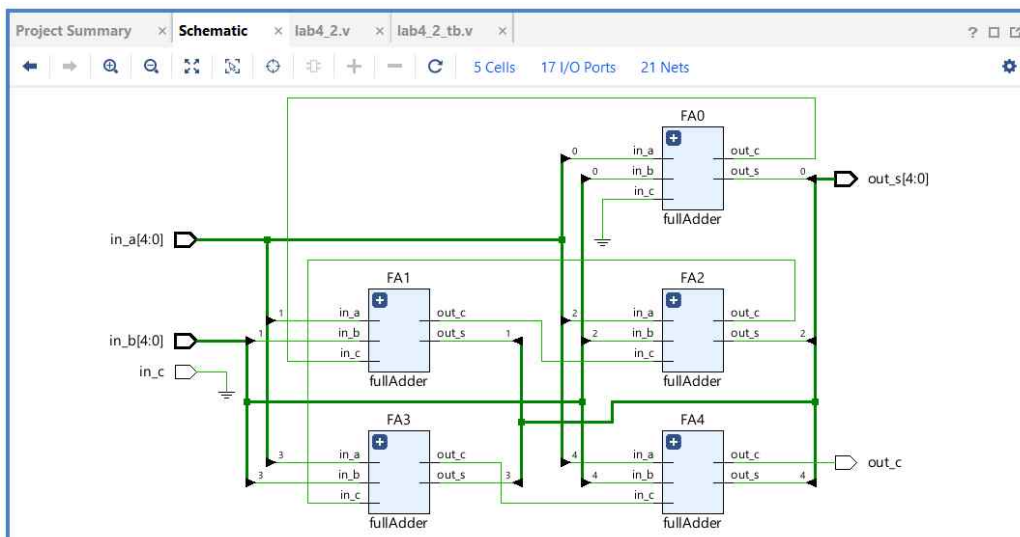
## 3 실험 준비

5비트 ripple adder의 회로를 나타내면 다음과 같다.

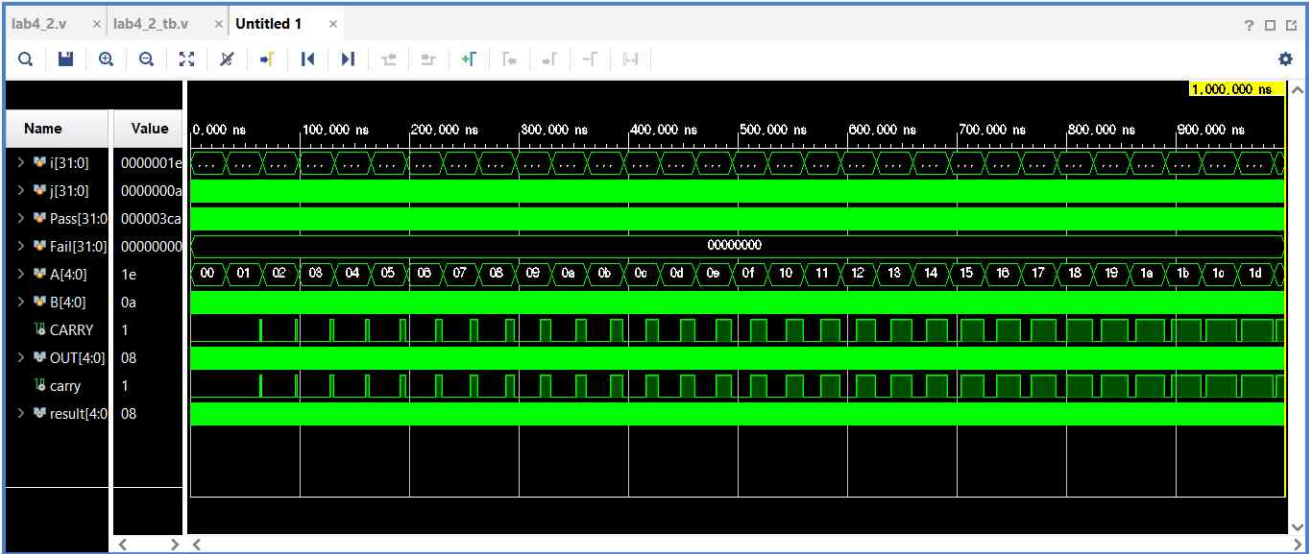


## 4 결과

작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



시뮬레이션 결과는 아래와 같았다. 이로 미루어 보아 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



5 논의

이번 과제를 통해 full adder를 순차적으로 연결해 ripple adder를 만드는 방법을 알 수 있었다.

# Lab 4\_3 보고서

20210479 이주현

## 1 개요

Lab4\_3은 앞서 학습한 full adder와 ripple adder를 이용해 n 비트의 뺄셈을 수행하는 ripple subtractor의 구성을 이해하고, 직접 회로를 구현해보는 것을 목표로 한다.

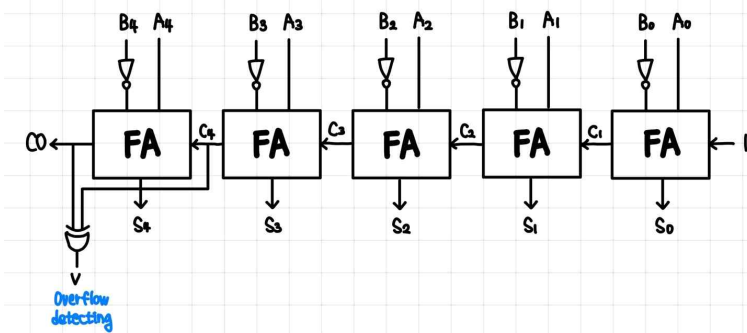
## 2 이론적 배경

### (1) N-bit ripple subtractor (n 비트 리플 감산기)

N-bit ripple subtractor는 n-bit ripple adder를 활용하여 쉽게 구현할 수 있다.  $A-B$ 와 같은 뺄셈은  $A + (-B)$ 로 나타낼 수 있는데, 이때 음수는 2의 보수를 활용하여  $B' + 1$ 과 같이 쉽게 나타낼 수 있으므로 ripple adder를 활용하면 감산기를 쉽게 만들 수 있다.

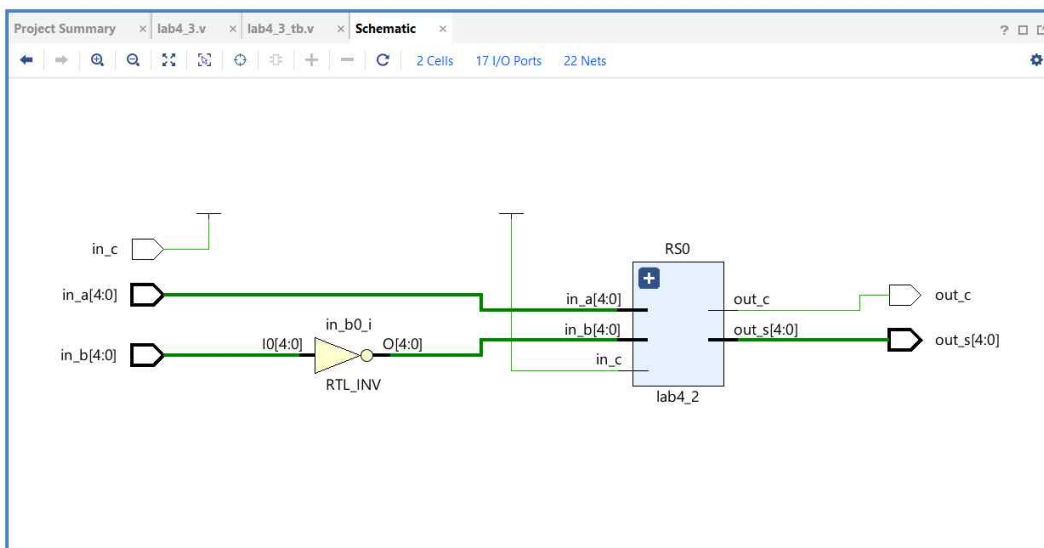
## 3 실험 준비

음수를 2의 보수로 나타내면  $B' + 1$ 로 나타낼 수 있으므로, addend(augend) 입력단에 inverter를 붙이고, carry in으로 1을 입력해 주면 쉽게 2의 보수를 표현할 수 있다. 이 방식을 이용해 5비트 ripple subtractor를 나타내면 다음과 같다.

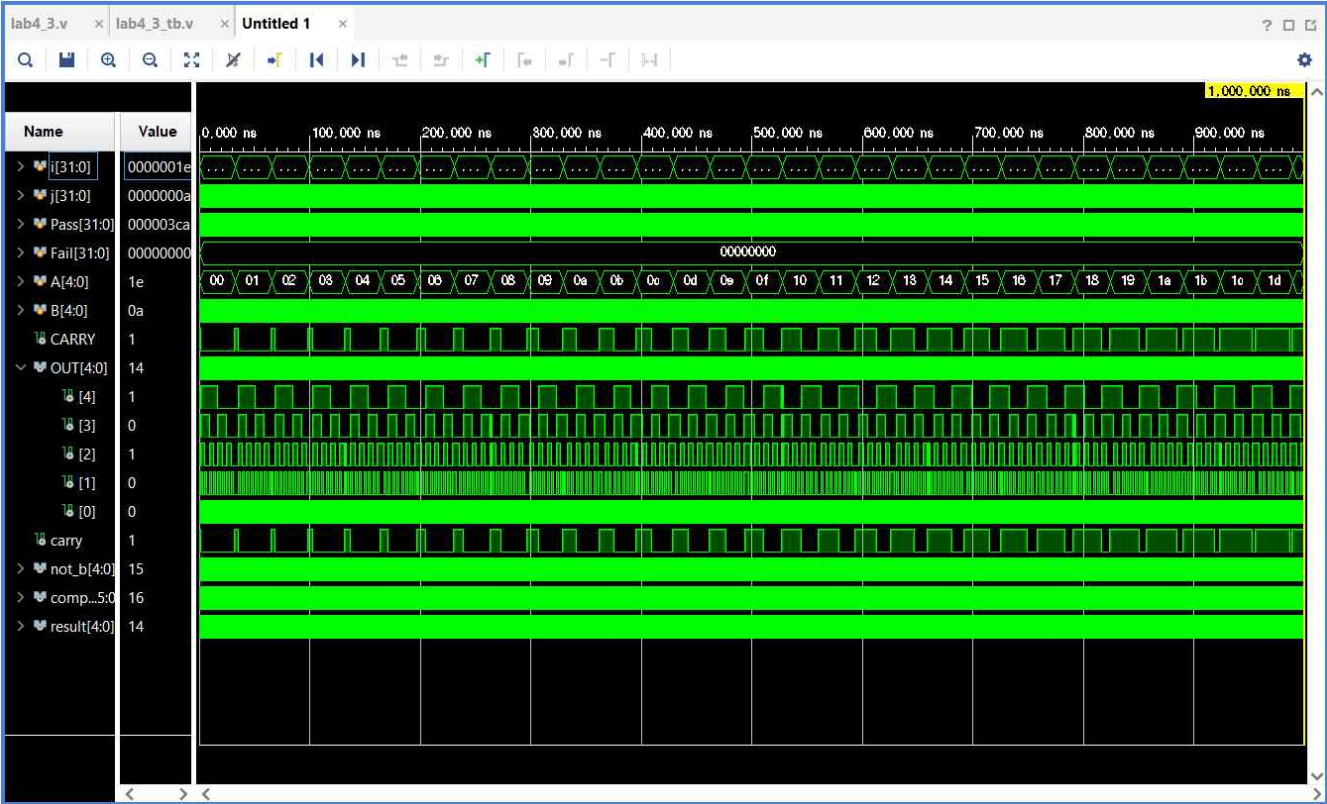


## 4 결과

작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



시뮬레이션 결과는 아래와 같았다. 이로 미루어 보아 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



5 논의

이번 과제를 통해 ripple subtractor를 구현하는 방법을 알 수 있었다. 나아가 음수를 표현하는 방법의 하나인 2의 보수를 복습할 수 있었다.

# Lab 4\_4 보고서

20210479 이주현

## 1 개요

Lab4\_4는 앞서 구현한 ripple adder를 활용하여  $M \times N$  multiplier를 구현하여 보는 것을 목표로 한다.

## 2 이론적 배경

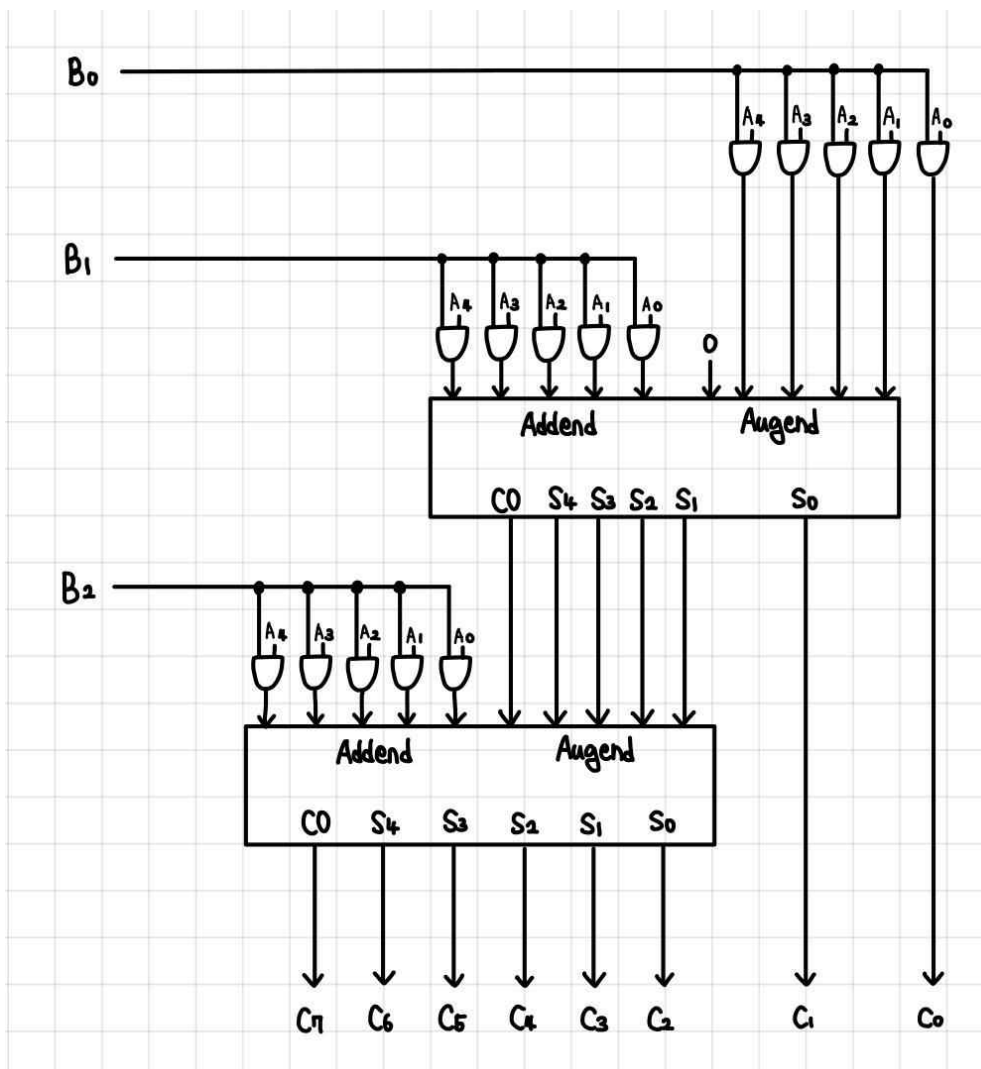
### (1) $M \times N$ binary multiplier ( $M \times N$ 이진 곱셈기)

$M \times N$  binary multiplier는  $M$  비트 이진수와  $N$  비트 이진수를 입력받아 각 자릿수의 부분곱을 계산하고 그것들을 더하여 총합  $M+N$ 비트의 계산값을 출력하는 장치이다.

이때 multiplier 내에서 부분곱은 and gate를 활용하며, 이들을 더하는 과정에서 ripple adder가 사용된다.  $M \times N$  multiplier에서는  $(N-1)$ 개만큼의  $M$ -bit ripple adder가 쓰이며,  $M \times N$ 개만큼의 and gate가 사용된다.

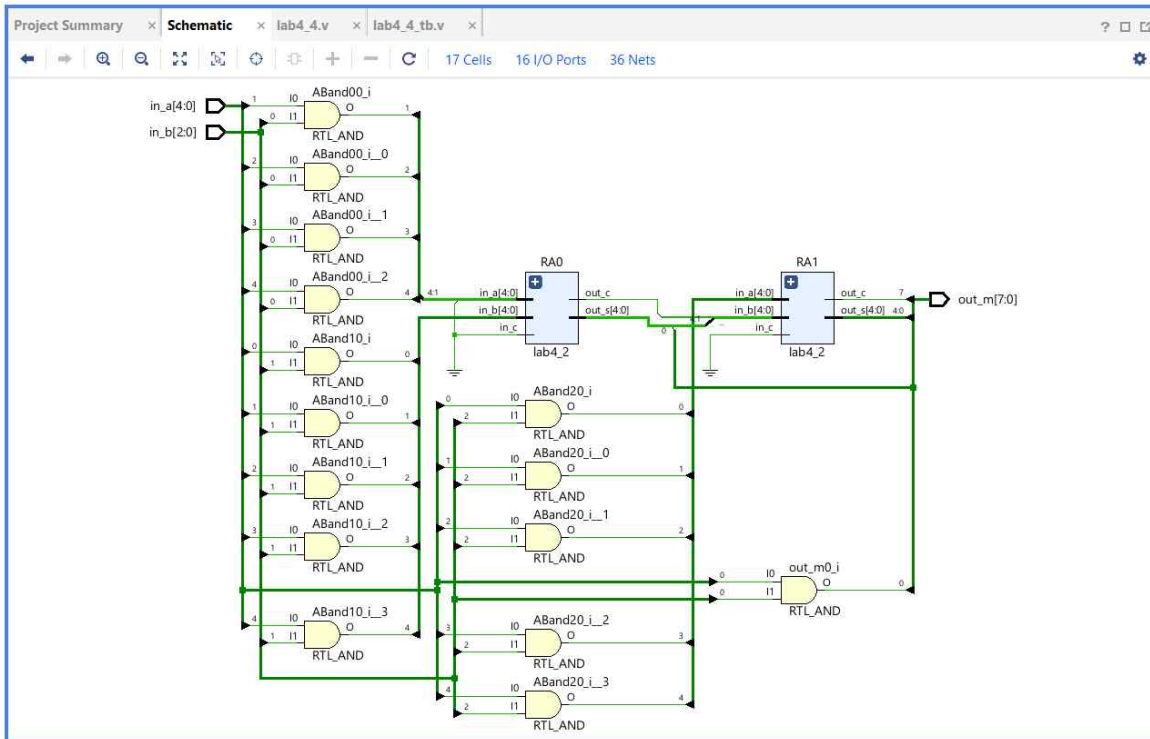
## 3 실험 준비

앞서 구현한 5비트 ripple adder를 활용해  $5 \times 3$  binary multiplier의 회로를 그려보면 다음과 같다.

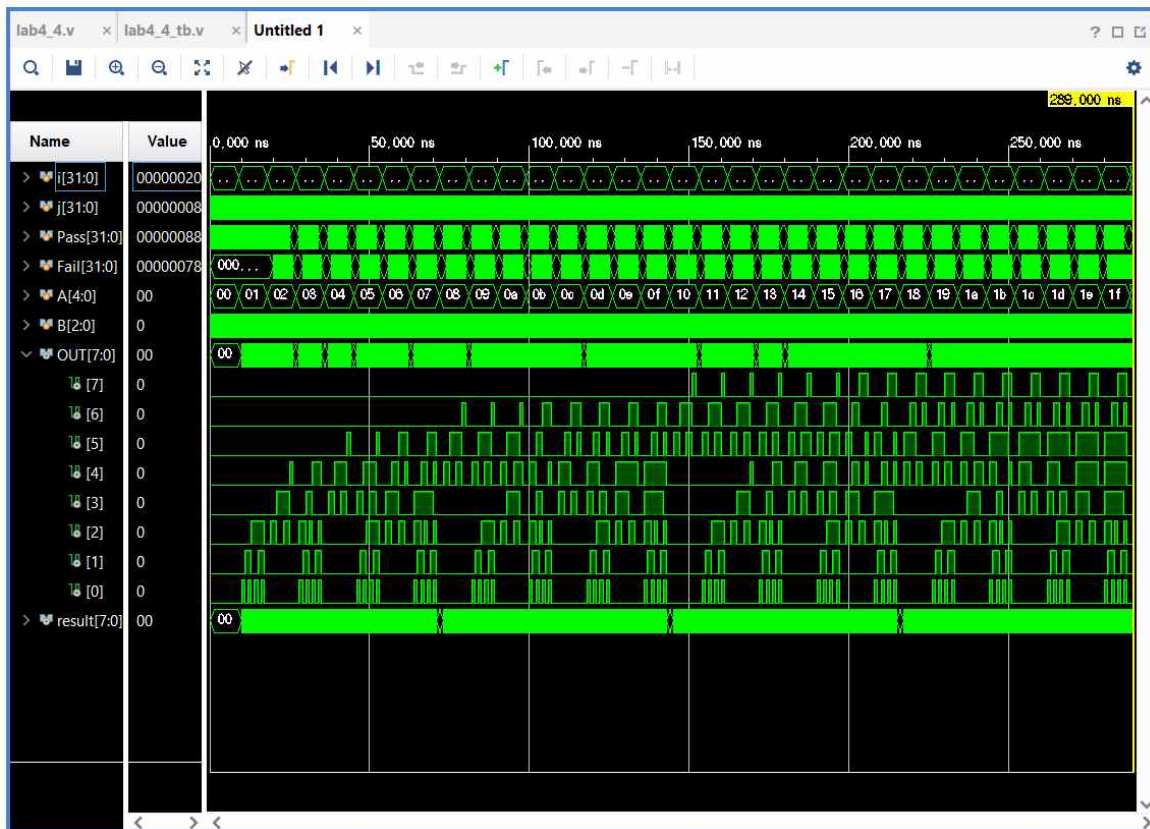


#### 4 결과

작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



시뮬레이션 결과는 아래와 같았다. 이로 미루어 보아 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



#### 5 논의

4\*4 multiplier로 multiplier를 학습해서 그것에 익숙해져 있었는데 5\*3 multiplier를 그리려 하니 처음에는 어려움을 느꼈다. 수업 ppt 자료를 복습하고 multiplier에 대해 학습한 개념을 적용하여 차근차근 회로 구현을 완성할 수 있었다.