20210479 이주현

11 개요

Lab6은 3개의 실험으로 나누어져 있으며, sequential logic의 특별한 종류인 계수기(counter)의 개념을 이해하고 다양한 계수기를 구현해보는 것을 목표로 한다.

② 이론적 배경

(1) 계수기 (Counter)

계수기란 input이 없는 형태의 특별한 sequential logic으로, 클록(clock)의 신호에 맞추어 설계된 순서에 따라 숫자를 저장하고 출력하는 회로를 이르는 말이다. 계수기의 상태(state)는 그 자체로 출력값이 된다. 사용 목적에 따라 출력 패턴을 달리하여 다양한 종류의 계수기를 만들 수 있다.

(2) 동기 계수기 (Synchronous counter)

동기 계수기란 동일한 클록(clock)의 신호를 모든 플립플롭이 공유하는 형태의 계수기이다. 비동기 계수기에 비해 복잡한 회로를 가지지만 지연이 없어 빠르다는 장점을 갖는다.

(3) 십진 계수기 (Decade counter)

십진 계수기란 0~9까지의 십진수를 순차적으로 세는 계수기를 이르는 말이다.

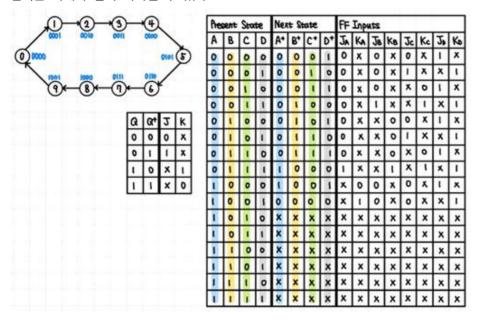
(4) 상태 전이도 및 전이표 (State diagram and state transition table)

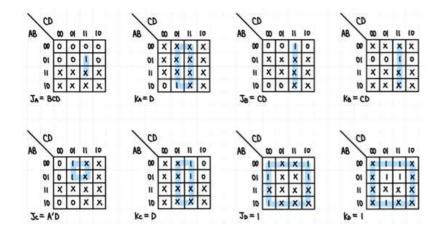
상태 전이도란 sequential logic의 상태 변화를 그림으로 나타낸 것이며, 이것을 표로 나타낸 것을 상태 전이표라 한다. 어떠한 sequential logic을 구현하기 위해서는 상태 전이도와 전이표를 그려 그것을 바탕으로 회로를 설계한다.

③ 실험 준비

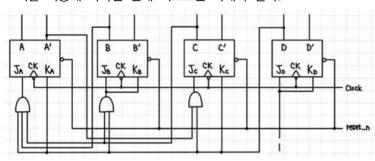
(1) Lab6 1

우선 JK FF를 이용한 동기 십진 계수기(synchronous decade bcd counter)의 상태 전이도와 전이표 및 JK FF의 입력은 아래와 같이 나타낼 수 있다.



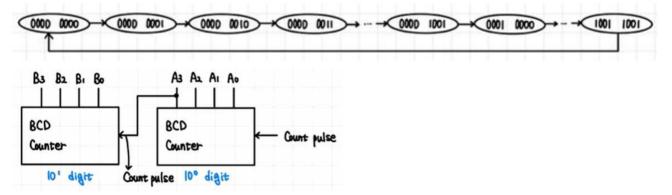


이를 이용해 나타낸 전체 회로도는 아래와 같다.



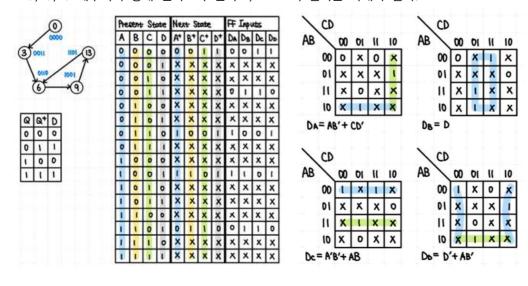
(2) Lab6 2

두 자릿수 십진 계수기(two-digit decade bcd counter)의 개략적인 상태 전이도와 회로도는 아래와 같다.

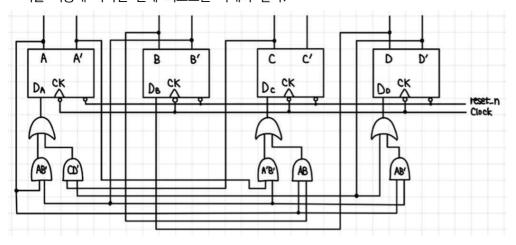


(3) Lab6_3

3, 6, 9 계수기의 상태 전이도와 전이표, D FF의 입력은 아래와 같다.

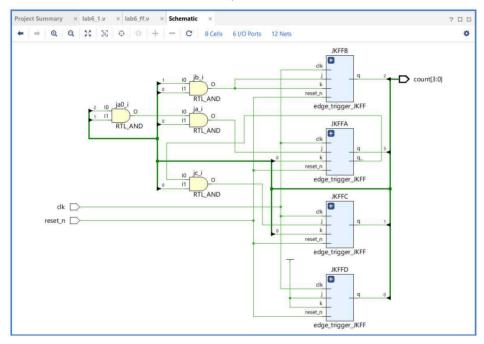


이를 이용해 나타낸 전체 회로도는 아래와 같다.

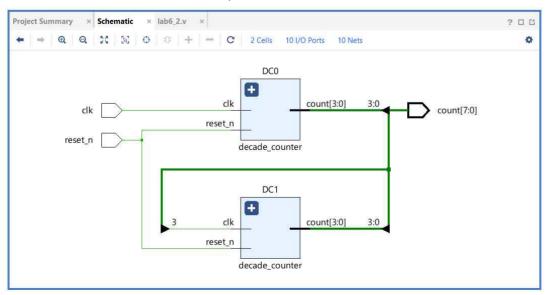


④ 결과

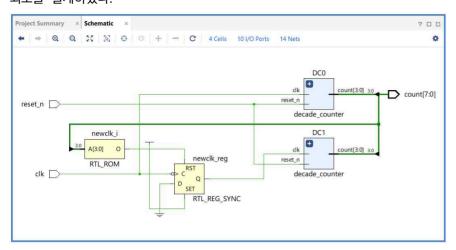
Lab6_1에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



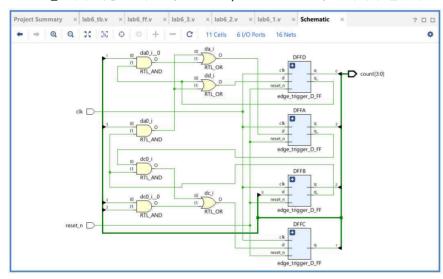
Lab6_2에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



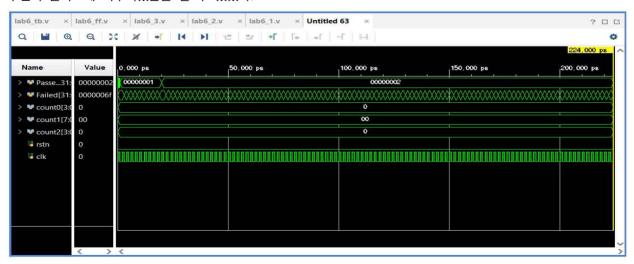
그러나 Lab6_2의 경우 test bench 작성을 위해 분석하던 중 이론과는 다르게 해당 회로로는 오류가 발생할 수 있음을 깨달았다. wire의 초기값이 0이 아닌데 0의 자릿수의 msb를 그대로 10의 자릿수의 clock으로 활용하니, JK FF 내에서 msb를 0으로 초기화하는 과정에서 이것이 negative edge로 작용해 2-digit bcd counter의 값이 10부터 시작하는 것을 발견하게 되었다. 그래서 reg newclk이라는 새로운 변수를 하나 선언하고 그것을 사용하여 아래와 같이 작동하는 회로를 설계하였다.



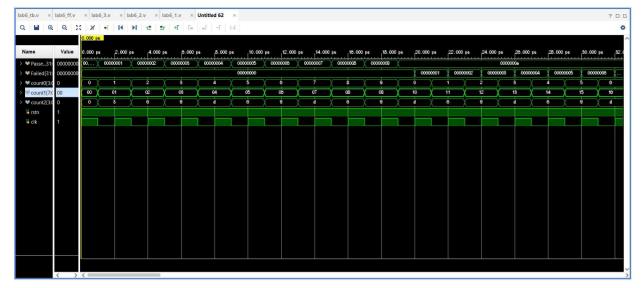
Lab6_3에서 작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



Lab6_1, 6_2, 6_3에 대한 test bench를 작성하여 시뮬레이션을 돌린 결과는 아래와 같았다. 이를 통해 각 계수기의 구현이 올바르게 이루어졌음을 알 수 있었다.



(reset_n == 0인 경우)



(reset_n == 1인 경우)

⑤ 논의

테스트벤치를 작성하는 데에 여전히 어려움을 겪었으나, 지난번 랩부터 그래왔듯이 xvlog라는 txt 파일을 참고하여 문제가 되는 부분을 찾아 해결해 나갈 수 있었다. 그리고 이번 랩 실습을 통해 wire와 reg의 차이점에 대해 확실히 알 수 있었다.

다만 시뮬레이션 결과를 보면 각 계수기의 값은 제대로 잘 출력이 되는 것을 확인할 수 있으나, Passed와 Failed가 가끔 오류를 보이는 것을 알 수 있다. 이는 clock의 시간에 따라 out_expected를 제대로 맞추어 넣지 못했기 때문으로보인다.