

Lab 3_1 보고서

20210479 이주현

1 개요

Lab3_1에서는 Active-low decoder가 어떤 방식으로 구성되는지 이해한 후, 2-to-4 decoder를 이용하여 4-to-16 decoder를 설계해 보는 것을 목표로 한다.

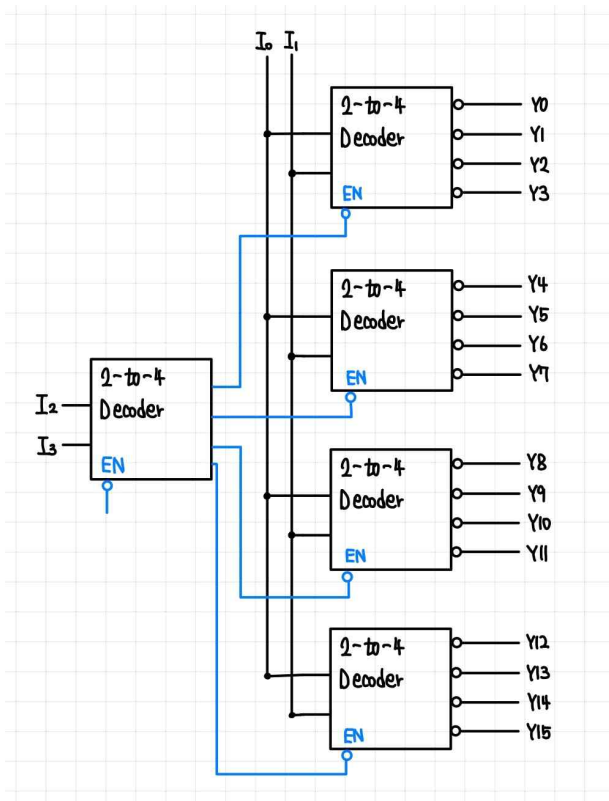
2 이론적 배경

(1) Decoder

Decoder란 n bit의 이진 입력을 받았을 때 최대 2^n 개의 output을 가지는 형태의 회로이다. 여기에 디코더의 출력을 제어하기 위한 EN(enable) 입력이 더해지기도 한다. 이 enable 입력은 decoder expansion 시에도 중요하게 작용한다.

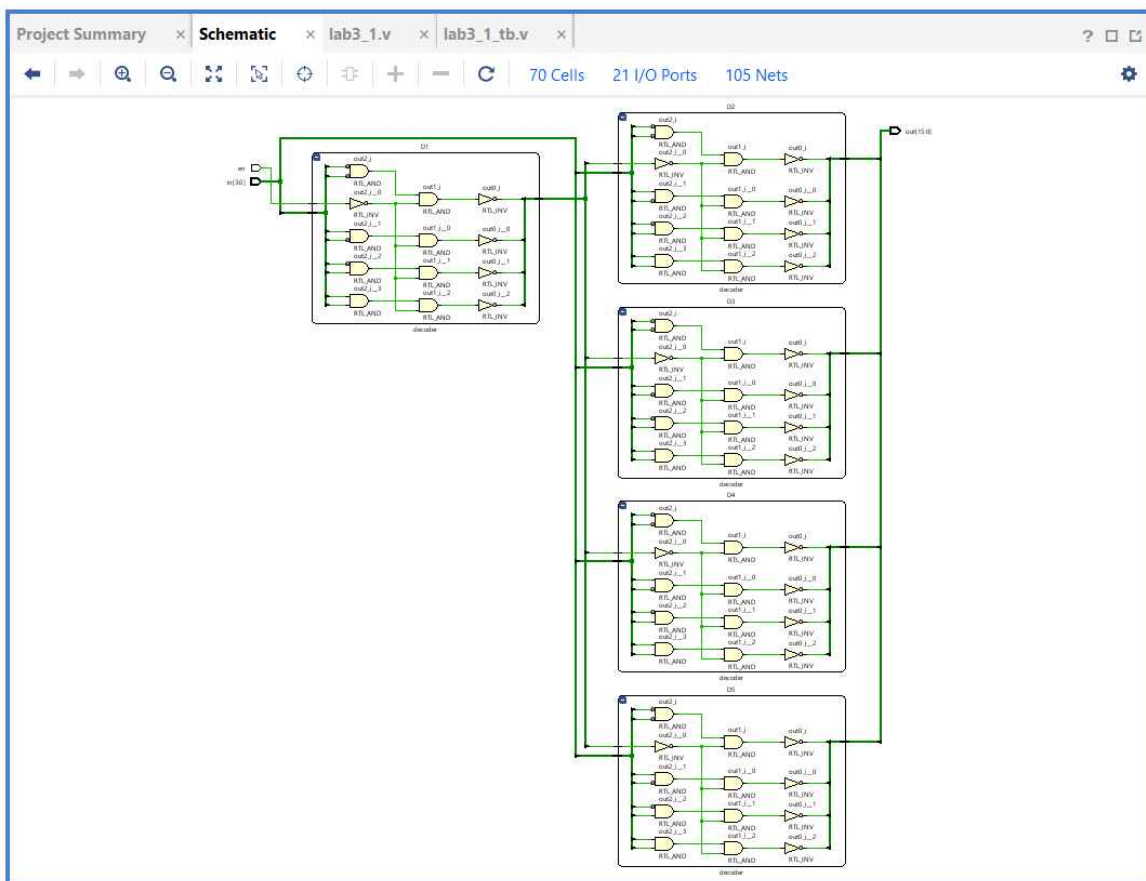
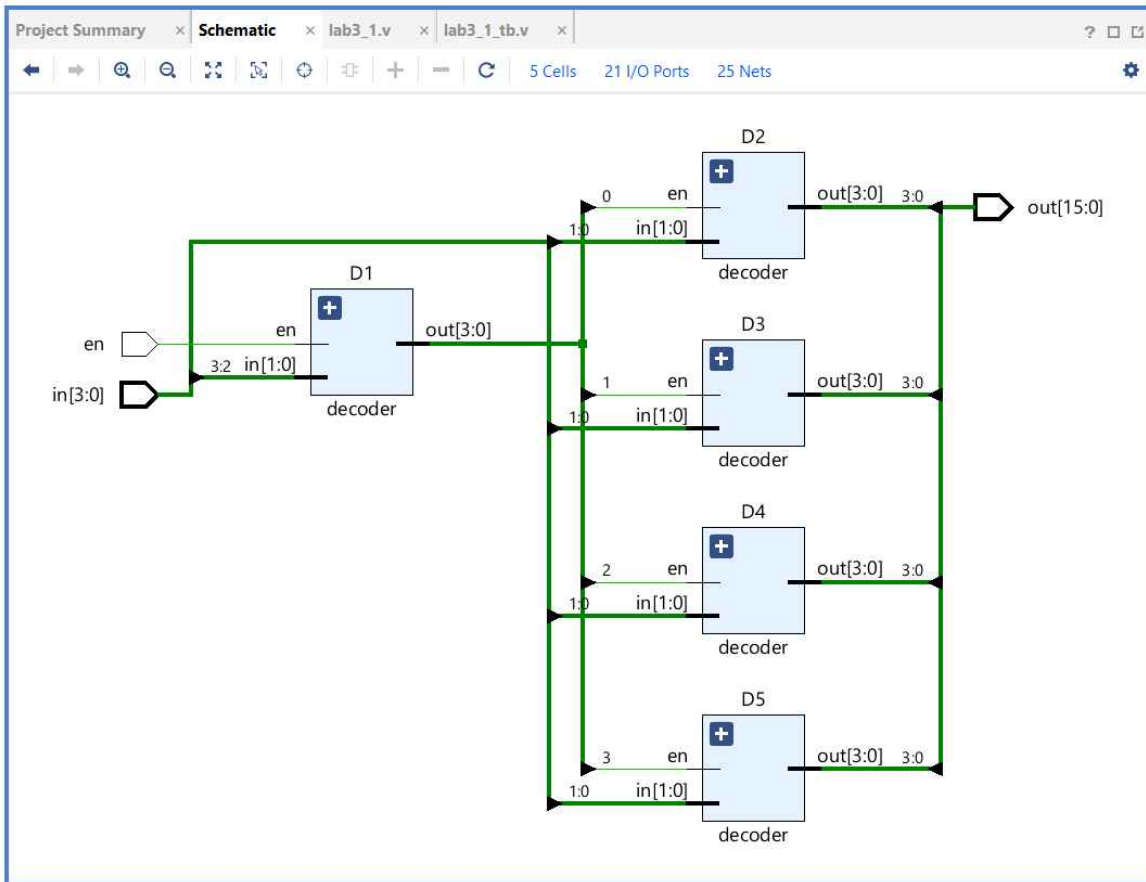
3 실험 준비

2-to-4 decoder로 4-to-16 decoder를 구현한 것을 그림으로 나타내면 다음과 같다. 이를 주어진 모듈 'decoder'를 이용해 구현한다.

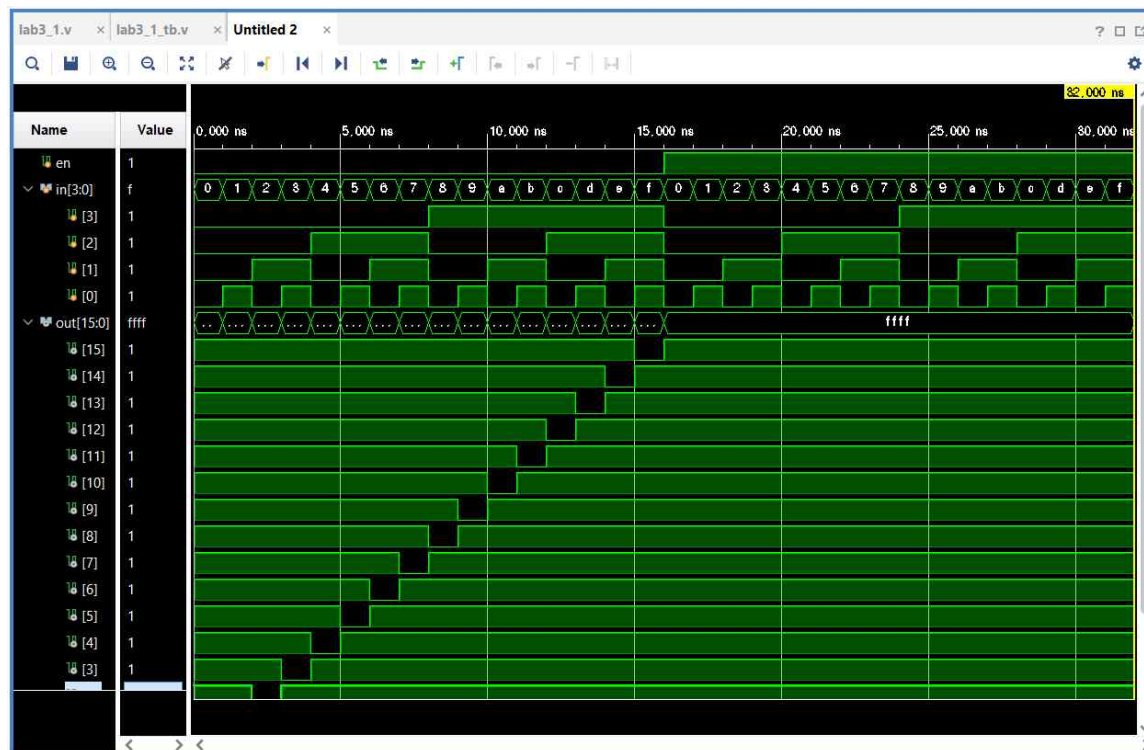


4 결과

작성한 회로도(RTL analyzer schematic)는 다음과 같았다.



시뮬레이션 결과는 다음과 같았다. 이로 미루어 보았을 때 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



5 논의

이번 과제를 통해 decoder expansion과, active-low decoder의 개념을 확실히 하고 적용하는 방법을 알게 되었다.

Lab 3_2 보고서

20210479 이주현

1 개요

Lab3_2에서는 decoder 중에서 특수한 목적을 가지고 설계된 '특수 목적 디코더'에 대해서 알아보고, 특수 목적 디코더 중 하나인 소수 판별기와 배수 검출기를 설계해 보는 것을 목표로 한다.

2 이론적 배경

(1) Decoder

Decoder란 n bit의 이진 입력을 받았을 때 최대 2^n 개의 output을 가지는 형태의 회로이다. 여기에 디코더의 출력을 제어하기 위한 EN(enable) 입력이 더해지기도 한다. 이 enable 입력은 decoder expansion 시에도 중요하게 작용한다.

(2) 특수 목적 디코더

입력받은 숫자가 소수인지, 특정 수의 배수인지 등을 판별하여 알맞는 값을 출력해주는 장치이다. 단순한 출력 외에 입력값으로 받은 숫자의 성질을 나타내어 준다는 특수한 목적성을 띤 decoder의 일종이다.

3 실험 준비

4비트의 소수 판별기, 배수 검출기의 진리표와 그 식을 단순화한 것은 다음과 같다.

$$\text{Prime}(A,B,C,D) = \sum m(2,3,5,7,11,13) = A'B'C + B'CD + A'BD + BC'D$$

$$2_Mul(A,B,C,D) = \sum m(2,4,6,8,10,12,14) = CD' + BD' + AD' = (A+B+C)D'$$

$$3_Mul(A,B,C,D) = \sum m(3,6,9,12,15) = A'B'CD + A'BCD' + AB(CD + C'D) + AB'C'D$$

$$5_Mul(A,B,C,D) = \sum m(5,10,15) = A'BC'D + ABCD + AB'CD'$$

$$7_Mul(A,B,C,D) = \sum m(7,14) = A'BCD + ABCD'$$

$$11_Mul(A,B,C,D) = \sum m(11) = AB'CD$$

A	B	C	D	Prime	2	3	5	7	11
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0
0	0	1	0	1	1	0	0	0	0
0	0	1	1	1	0	1	0	0	0
0	1	0	0	0	1	0	0	0	0
0	1	0	1	1	0	0	1	0	0
0	1	1	0	0	1	1	0	0	0
0	1	1	1	1	0	0	0	1	0
1	0	0	0	0	1	0	0	0	0
1	0	0	1	0	0	1	0	0	0
1	0	1	0	0	1	0	1	0	0
1	0	1	1	1	0	0	0	0	1
1	1	0	0	0	1	1	0	0	0
1	1	0	1	1	0	0	0	0	0
1	1	1	0	0	1	0	0	1	0
1	1	1	1	0	0	1	1	0	0

↑ MSB
소수판별기
배수검출기

AB \ CD	00	01	11	10
00	0	0	1	1
01	0	1	1	0
11	0	1	0	0
10	0	0	1	0

▲ Prime

AB \ CD	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

▲ 2_Mul

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	1	0
10	0	1	0	0

▲ 3_Mul

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	0	0	1	0
10	0	0	0	1

▲ 5_Mul

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	0	0	1
10	0	0	0	0

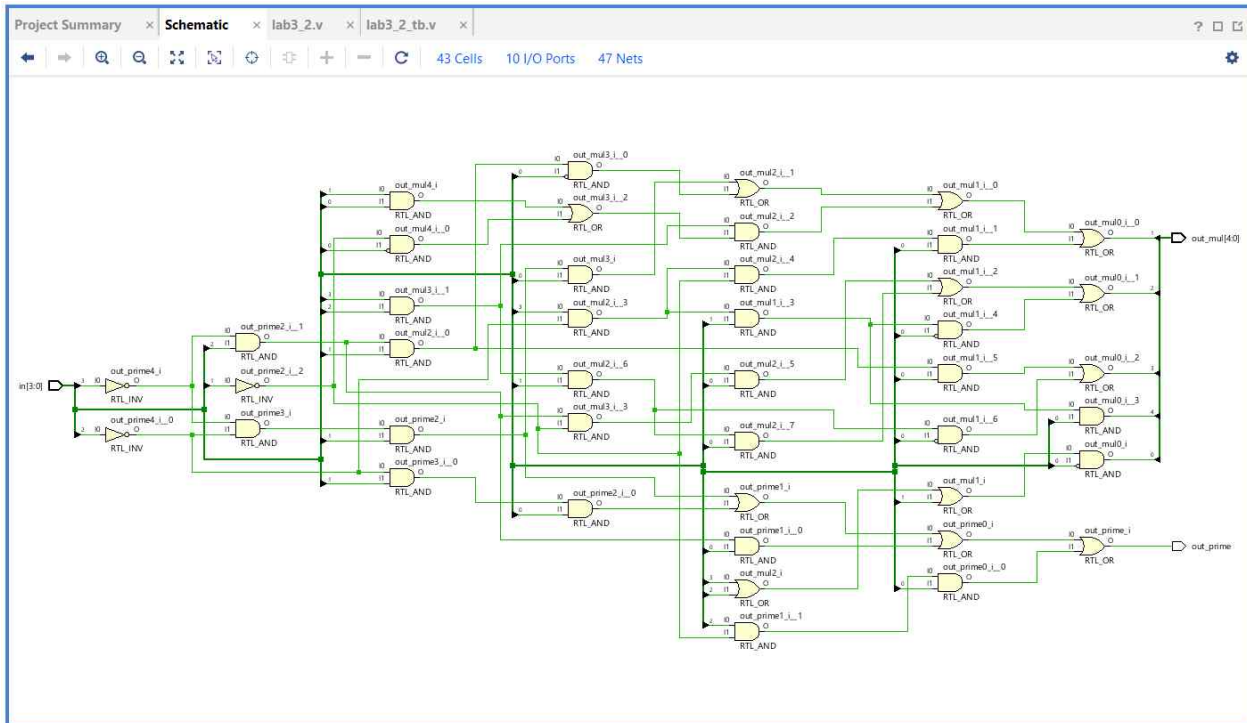
▲ 7_Mul

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	1	0

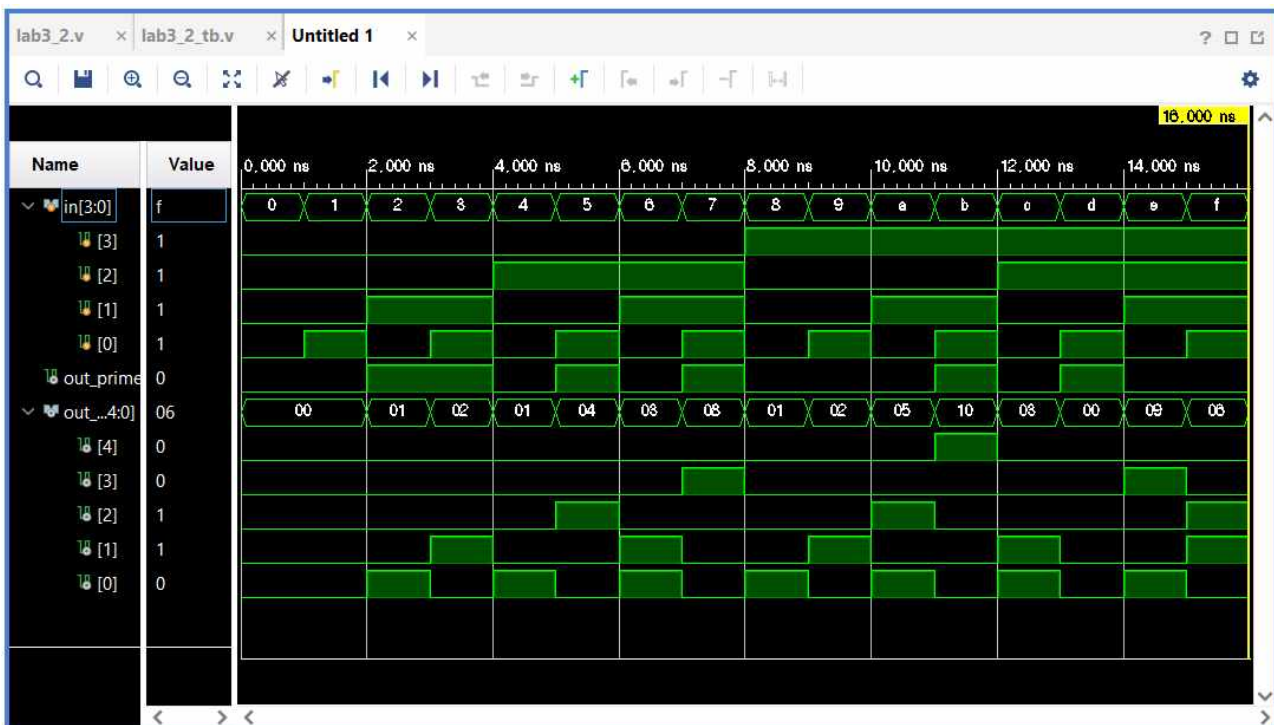
▲ 11_Mul

4 결과

작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



시뮬레이션 결과는 아래와 같았다. 이로 미루어 보았을 때 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



5 논의

이번 과제를 통해 어떤 장치의 진리표를 그리고 그것을 K-map을 이용해 단순화하여 구현하는 방법을 복습할 수 있었다.

Lab 3_3 보고서

20210479 이주현

1 개요

Lab3_3은 multiplexer의 구성을 이해하는 것을 기초로 한다. 그리고 이를 바탕으로 하여 majority function의 개념을 이해하고, 이를 8:1 multiplexer로 구현해 보는 것을 목표로 한다.

2 이론적 배경

(1) Multiplexer

Multiplexer는 selection input에 따라 여러 data input 중 하나만이 출력되는 회로이다. 보통 2^n 개의 input이 있으면 그것을 n개의 selection input으로 선택하고, 하나의 output을 출력하는 형식으로 구성된다.

(2) Majority function

홀수 개의 bit가 입력되었을 때, 어떤 값이 다수를 차지하는지 나타내는 함수이다.

3 실험 준비

5비트 입력을 받는 majority function의 진리표와 SOP 꼴을 나타내면 다음과 같다.

A	B	C	D	E	F
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	1
0	1	1	0	0	0
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	1

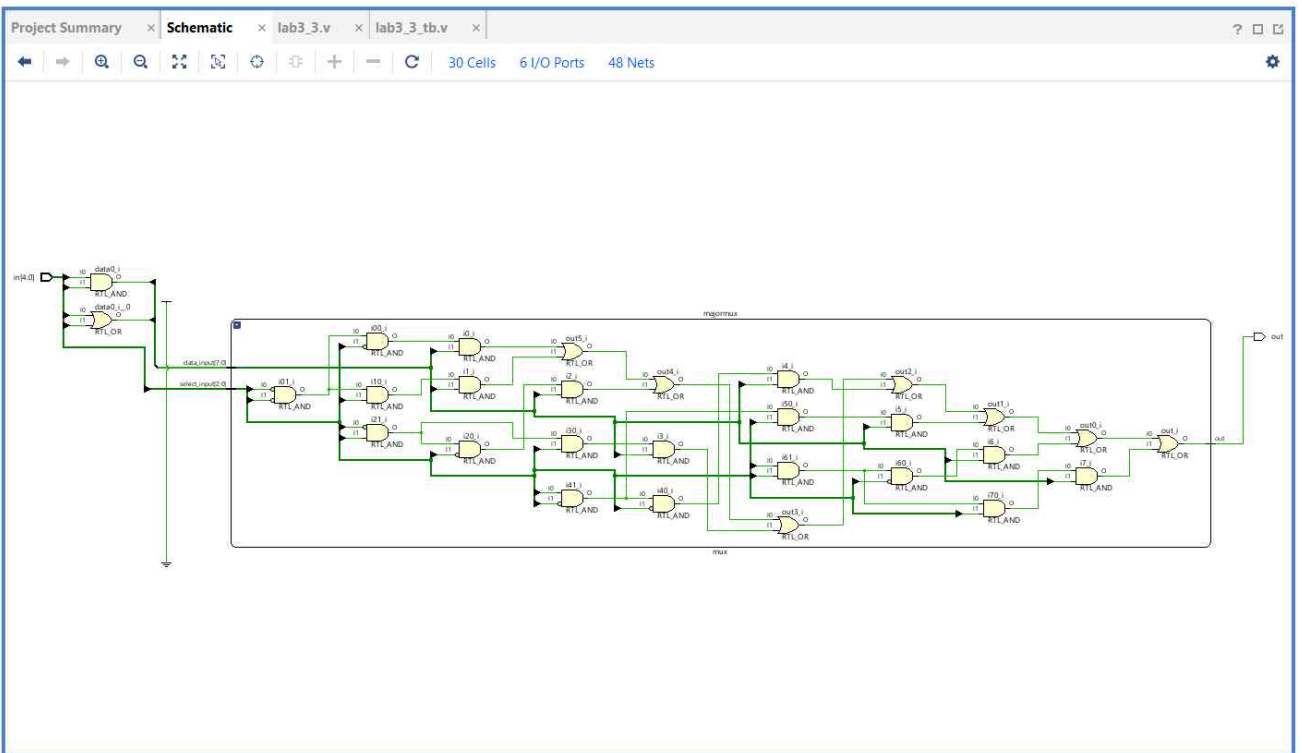
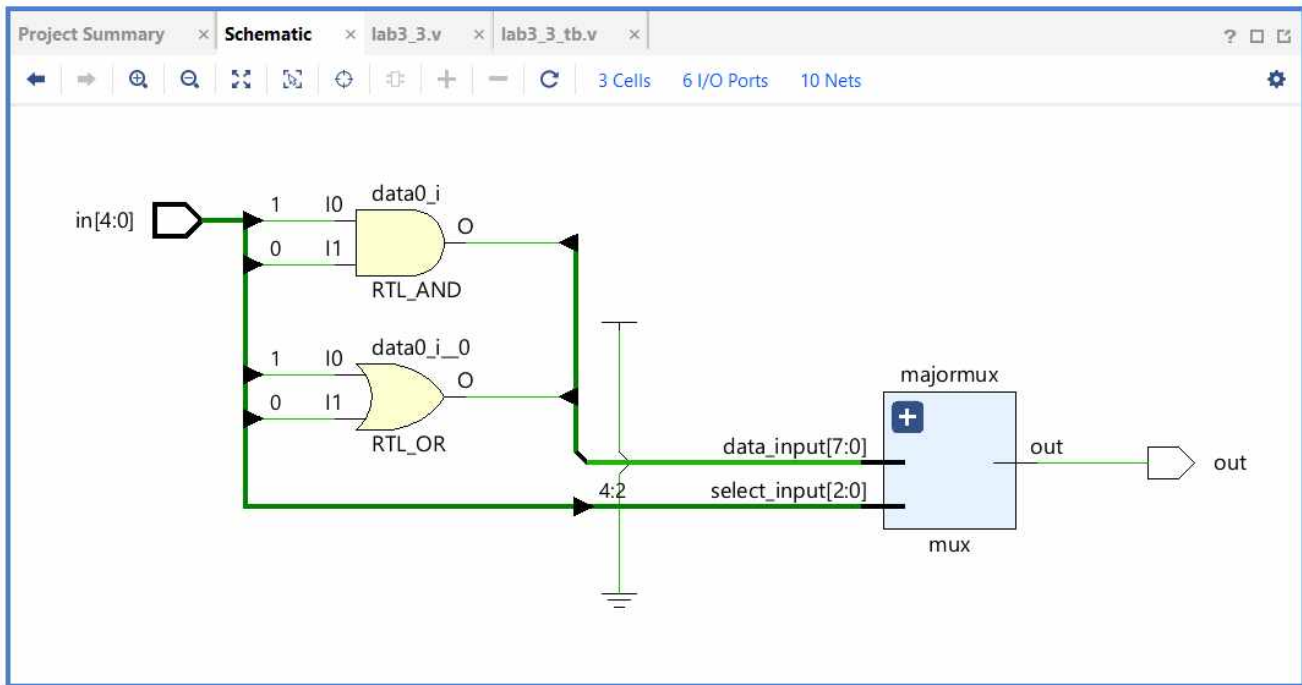
$$F = A'B'C'DE + A'BC'DE + A'BCD'E + A'BCDE' + A'BCDE + AB'C'DE + AB'CD'E + AB'CDE' + ABC'D'E + ABC'DE' + ABC'DE + ABCD'E' + ABCD'E + ABCDE' + ABCDE$$

A	B	C	D	E	F
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	1
0	1	1	0	0	0
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	1

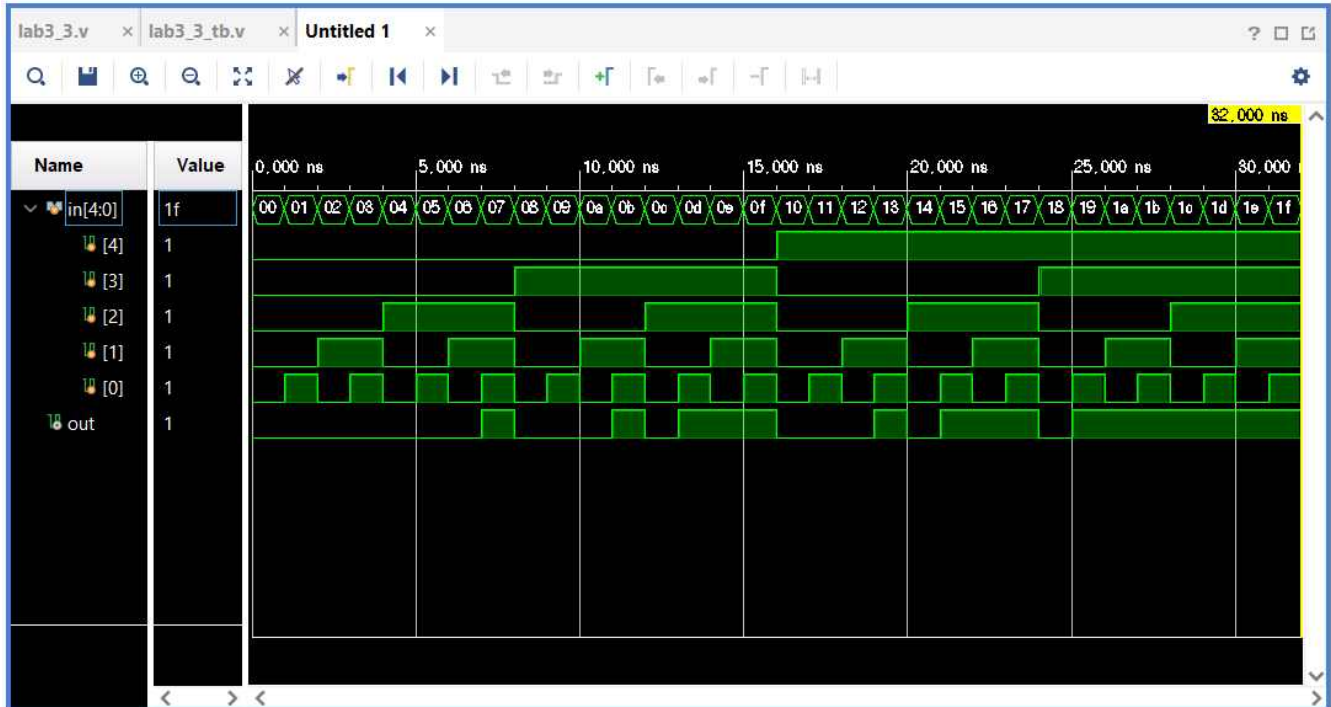
data_input
select_input

4 결과

작성한 회로도(RTL analyzer schematic)는 아래와 같았다.



시뮬레이션 결과는 아래와 같았다. 이로 미루어 보았을 때 실험 준비에서 구상한 것과 동일하게 구현되었음을 알 수 있다.



5 논의

4bit function을 8:1 multiplexer로 나타낸 적은 있었는데 5bit는 처음이라 조금 어려움을 겪었다. 수업 ppt 자료와 교수님의 강의를 참고하여 배운 것을 적용하여 과제를 해결할 수 있었다.