



**Corso di Architetture degli Elaboratori**  
**Prof. Andrea Sterbini**

**Programma delle videolezioni:**

1. Introduzione al corso. Cenni storici. Architettura di Von Neumann a programma memorizzato e struttura della CPU IAS. [1]
2. Le istruzioni, operandi, indirizzamento, confronto tra architettura CISC ed architettura RISC. [2.1-2.6, 2.10, Appendice B]
3. ASM: Strutture di controllo. Esempi. [2.7]
4. ASM: Organizzazione dei vettori e delle matrici in memoria. Esempi. [2.14]
5. ASM: Salvataggio dei dati su stack, definizione e chiamata delle funzioni. Esempi. [2.8]
6. ASM: Funzioni ricorsive. Esempi.
7. ASM: Esercizi.
8. Realizzazione della CPU MIPS ad un colpo di clock. Tempi e performance. [4.1-4.3]
9. Realizzazione della CPU MIPS ad un colpo di clock. Realizzazione di Branch e Jump. [4.4]
10. ES: Esercizi sulla CPU MIPS ad un colpo di clock.
11. Le 5 fasi dell'istruzione MIPS. Pipeline ed hazard sui dati e sul controllo. [4.5]
12. Progetto della pipeline RISC senza forwarding. [4.6]
13. Risoluzione degli hazard sui dati e realizzazione hardware del forwarding. [4.7]
14. Control hazard e branch prediction. Spostamento del branch alla fase ID. [4.8]
15. Gestione delle eccezioni e delle interruzioni. Parallelizzazione statica e dinamica. Esempi. [4.9-4.10]
16. ES: Esercizi su pipeline ed hazard.
17. Memorie cache. Esempi. [5.1-5.2, 5.5]
18. Memorie cache multilivello. Esempi e prestazioni. [5.3]
19. Memoria virtuale e supporto hardware, TLB. [5.4]
20. Parallelismo e gerarchia di memoria. Coerenza delle cache e protocolli di *snooping*. [5.7-5.8]
21. ES: Esercizi sulla cache e sulla memoria virtuale.

NOTA: per ogni videolezione è indicato il capitolo del libro consigliato a cui si riferisce.