

Medição de Nível de Líquido

Furtado, M.^{*,1} Candido, Y.^{*} Gomes, P.^{*}

^{*} Instituto Federal do Maranhão, São Luís-MA
(e-mail: manael.furtado.br@outlook.com; yuri.gcandido@gmail.com;
paulo.gabriel1019@gmail.com).

Abstract: This project presents the design and implementation of an automated liquid level control system based on a finite state machine (FSM). The system monitors two water tanks equipped with discrete level sensors and controls both a hydraulic pump and a solenoid valve to ensure reliable liquid transfer. The pump is activated or deactivated according to the tank conditions, while visual indicators provide real-time operational status. The prototype demonstrates a practical application of sequential digital logic in automation scenarios, emphasizing robustness, modular design, and expandability to future supervisory or sensor integrations. The FSM modeling follows classic principles Harel (1987), and the digital implementation adopts good design practices for hardware description Wakerly (2005); Ciletti (2011).

Resumo: Este projeto apresenta o desenvolvimento e implementação de um sistema automatizado de controle de nível de líquido utilizando máquina de estados finitos (FSM). O sistema monitora dois reservatórios com sensores discretos de nível e controla uma bomba hidráulica e uma válvula solenóide para realizar a transferência de líquido de forma segura e eficiente. A lógica de acionamento é baseada em condições de nível específicas, enquanto indicadores visuais permitem a leitura do status operacional em tempo real. O protótipo demonstra a aplicação prática de lógica digital sequencial em automação, com foco em robustez, modularidade e expansão para funções avançadas, como supervisório ou integração com sensores analógicos. A modelagem segue fundamentos clássicos de FSM Harel (1987) e a implementação de hardware obedece boas práticas de projeto digital Wakerly (2005); Ciletti (2011), com aderência a cenários industriais Bolton (2015).

Keywords: Liquid level measurement; FSM; digital automation; hydraulic pump control; embedded systems; level sensors; solenoid valve; sequential logic

Palavras-chaves: Controle de nível de líquido; FSM; automação digital; controle de bomba hidráulica; sistemas embarcados; sensores de nível; válvula solenóide; lógica sequencial

1. INTRODUÇÃO

O controle de nível de líquidos é um processo central em aplicações industriais, prediais e de saneamento, por garantir abastecimento contínuo, evitar desperdícios e mitigar riscos como transbordamentos e cavitação de bombas. Em cenários reais—de reservatórios de água potável a tanques de processos—soluções baseadas em comandos manuais ou lógicas puramente combinacionais apresentam limitações de confiabilidade e estabilidade, especialmente quando há variações rápidas de nível e ruídos nos sensores. Nesse contexto, controladores digitais sequenciais baseados em Máquina de Estados Finitos (FSM) oferecem modelagem determinística do comportamento, histerese explícita e maior previsibilidade de operação Harel (1987). Este trabalho apresenta um sistema digital para o controle automatizado de bombeamento entre dois reservatórios, instrumentados com sensores discretos de nível em cinco patamares (0 %, 25 %, 50 %, 75 % e 100 %). A atuação envolve uma bomba hidráulica—responsável pela transferência do tanque inferior para o superior—e uma válvula solenóide que regula a entrada de água no tanque inferior. O controlador FSM

monitora continuamente os níveis e executa a lógica de partida e parada conforme regras predefinidas: a bomba deve ser acionada quando o tanque superior indicar 25 % e o inferior estiver em 75 %; o desligamento ocorre se o tanque superior atingir 75 % ou se o inferior reduzir para 25 %. Indicadores visuais (LEDs) exibem o estado de operação, favorecendo a inspeção rápida em bancada e em simulação. Boas práticas de projeto digital e descrição em HDL são seguidas para facilitar síntese e verificação Wakerly (2005); Ciletti (2011).

2. OBJETIVOS

2.1 Objetivo Geral

Desenvolver um sistema automatizado de controle de nível de líquido baseado em FSM, capaz de acionar bomba hidráulica e válvula solenóide de forma segura, eficiente e previsível, evitando condições de risco como transbordamento ou cavitação.

2.2 Objetivos Específicos

- Modelar a lógica de controle utilizando uma FSM com histerese explícita entre ligar/desligar.

¹ Não houve financiamento externo (recursos próprios).

- Implementar a solução em HDL (Verilog 2001) com arquitetura modular e parametrizável.
- Integrar sensores discretos de nível (0–100 % em cinco patamares) e atuadores eletromecânicos.
- Validar o comportamento por simulação e por protótipo em bancada, com sinalização visual (LEDs/displays)
- Avaliar a estabilidade do controle frente a variações rápidas de nível e leituras de fronteira.

3. JUSTIFICATIVA

A automação do controle de nível reduz a intervenção manual, mitiga erros operacionais e aumenta a confiabilidade do abastecimento. Em instalações compactas e de baixo custo, soluções digitais baseadas em FSM oferecem implementação simples, previsível e expansível, mantendo clareza de estados, transições e condições de segurança. Adicionalmente, o estudo possibilita uso didático de conceitos de projeto digital, sincronismo e boas práticas de descrição em HDL, com aplicação direta em cenários industriais simplificados Wakerly (2005); Ciletti (2011); Bolton (2015).

4. FUNDAMENTAÇÃO TEÓRICA

4.1 Sensoriamento de Nível Discreto

Sensores discretos por patamar (como chaves de nível) simplificam a decisão de controle, reduzindo a complexidade de processamento e o custo em comparação com sensores analógicos Dunn (2005). A discretização em 0 %, 25 %, 50 %, 75 % e 100 % fornece resolução suficiente para a lógica de histerese e proteção de fronteira.

4.2 Máquina de Estados Finitos (FSM)

FSMs representam sistemas sequenciais por estados, transições e ações, permitindo especificação determinística e verificável do comportamento Harel (1987). Em controle de bombas, a histerese pode ser embutida nas condições de transição, evitando *chattering* (oscilação rápida) em torno de limiares.

4.3 Boas Práticas em HDL

A arquitetura modular, o particionamento entre lógica sequencial (registro de estado) e combinacional (próximo estado e saídas), e a adoção de *reset* síncrono aumentam a portabilidade e a reprodutibilidade do projeto Wakerly (2005); Ciletti (2011).

5. TRABALHOS RELACIONADOS

A formalização de comportamento por FSMs para sistemas reativos e embarcados é amplamente documentada Harel (1987). Em projetos digitais educacionais e industriais, as obras de Wakerly (2005) e Ciletti (2011) são referências canônicas. Para instrumentação industrial (sensores discretos, condicionamento, ruídos e transitórios), Dunn (2005) oferece uma base sólida. No que tange a controladores industriais e integração prática (relevante quando

se discute I/O industrial, alimentação de cargas e isolamento), Bolton (2015) fornece recomendações úteis. Adicionalmente, utilizamos fundamentos clássicos de controle e instrumentação para balizar as escolhas de projeto e a discussão de histerese e robustez, conforme textos de referência em controle moderno e eletrônica prática Ogata (2010); Horowitz and Hill (2015); Ott (1988).

6. METODOLOGIA

6.1 Natureza do Projeto

Trata-se de pesquisa aplicada com abordagem experimental, envolvendo modelagem, simulação e prototipação.

6.2 Etapas

- Especificação:** definição dos requisitos funcionais (limiares de 25/75 %, condições de segurança e sinalização).
- Modelagem:** elaboração da FSM mínima (estados IDLE e PUMPING) e tabela de transições.
- Implementação HDL:** codificação em Verilog e parametrização (polaridade de sensores, histerese).
- Integração em bancada:** condicionamento de sinais, acionamento de relés, LEDs/displays.
- Validação:** simulações dirigidas por cenários e testes práticos em bancada, onde a lógica da FSM foi validada utilizando LEDs como indicadores visuais dos atuadores (bomba/válvula), com registro fotográfico.

6.3 Técnicas e Ferramentas

Foram utilizados simulador HDL, placa de prototipagem, módulos de relé, bombas/atuadores e fonte DC. A análise de casos de fronteira avaliou robustez a variações rápidas de nível e leituras intermitentes.

7. RESULTADOS ESPERADOS

Espera-se que o sistema proporcione controle automatizado, confiável e eficiente da transferência entre tanques, dispensando intervenção manual. A implementação deverá demonstrar:

- domínio de lógica digital sequencial com FSM, transições claras e comportamento previsível em fronteira;
- organização modular do código em Verilog, permitindo escalabilidade e futuras extensões (sensores analógicos, supervisão, modos manual/teste/automático, registro de eventos);
- fornecimento de sinais de status visuais (LEDs e displays) que favoreçam leitura do estado em bancada e em simulação;
- operação segura sob variações rápidas de nível, incluindo cenários de segurança (ex.: nível inferior crítico).

Em síntese, o projeto deve atender ao comportamento esperado e servir como base didática estruturada para demonstrar o uso de FSM em automação, reforçando conceitos de projeto digital, sincronismo e robustez lógica.

8. DESCRIÇÃO DO SISTEMA

O sistema físico compreende dois reservatórios (inferior e superior) equipados com sensores discretos que codificam os níveis em cinco patamares: 0 %, 25 %, 50 %, 75 % e 100 %. Dois atuadores compõem a planta: (i) uma bomba hidráulica que transfere fluido do reservatório inferior para o superior; e (ii) uma válvula solenoide que controla a reposição de água no reservatório inferior.

8.1 Arquitetura Funcional

A arquitetura do sistema segue um fluxo unidirecional de sinais, composto por três blocos funcionais: (a) aquisição dos sensores, onde os níveis discretos são interpretados; (b) processamento lógico pela FSM, que avalia as condições de acionamento; e (c) atuação sobre a planta, comandando a bomba, a válvula e os indicadores visuais. Essa estrutura modular favorece manutenção e expansão futura do sistema, como integração com supervisão ou substituição por sensores analógicos. Nesta versão simplificada, a lógica funcional obedece às regras a seguir: (a) a bomba é ligada quando o reservatório superior encontra-se em 25 % e o inferior em 75 %; (b) a bomba é desligada quando o reservatório superior atinge 75 % ou quando o reservatório inferior reduz-se a 25 %; (c) a lógica da válvula implementa histerese: ela fecha quando o nível do reservatório inferior atinge 100 % e só reabre quando o nível deste reservatório diminui para menos de 75 %. Os níveis são exibidos em displays de sete segmentos com mapeamento direto (0–4 para 0–100 %). Regras de Controle da Válvula — A válvula inicia seu estado padrão em ABERTO. Ela é fechada somente quando o tanque inferior atinge 100 % da capacidade (nível máximo). Após o fechamento, a válvula permanece bloqueada até que o nível do tanque volte a cair, sendo reaberta automaticamente quando o nível descer abaixo de 75 %, funcionando como histerese de segurança para evitar acionamentos intermitentes.

8.2 Diagrama em Blocos da Arquitetura

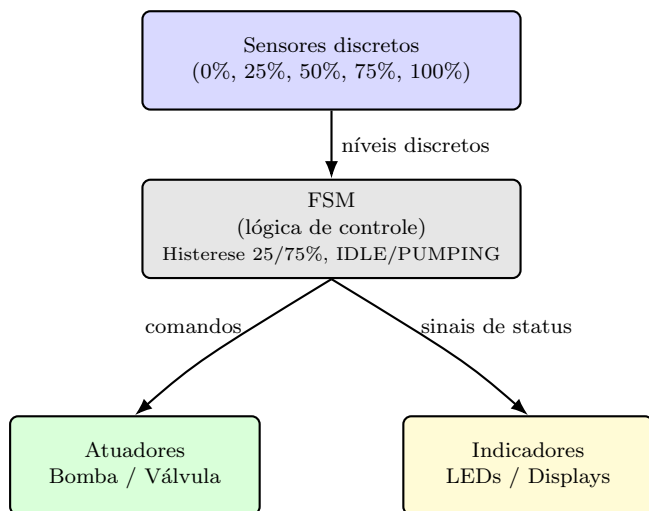


Figura 1. Arquitetura em blocos: sensores discretos → FSM → atuadores (bomba/válvula) e indicadores (LEDs/displays).

9. MODELAGEM DA MÁQUINA DE ESTADOS

A controladora é modelada como uma FSM de dois estados:

- **IDLE**: bomba desligada, aguardando condição de partida.
- **PUMPING**: bomba ligada, até ocorrer condição de parada.

As transições usam limiares com histerese para mitigar chattering. A Tabela 1 resume a lógica.

Tabela 1. Tabela de transição e saídas da FSM mínima

Estado	Condição	Próximo estado	Ações
IDLE	$\text{Sup} \leq 25\% \ \& \ \text{Inf} \geq 75\%$	PUMPING	Bomba = 1; Válvula aberta*
PUMPING	$\text{Sup} \geq 75\% \vee \text{Inf} \leq 25\%$	IDLE	Bomba = 0; Válvula aberta*

* A lógica da válvula implementa histerese: fecha a 100 % e só reabre quando o nível for inferior a 75 %.

O diagrama de estados correspondente é apresentado na Figura 2.

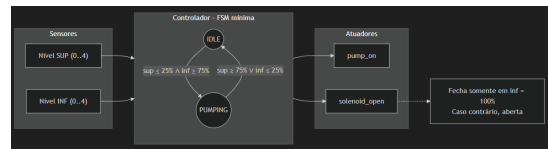


Figura 2. Diagrama da FSM mínima (IDLE e PUMPING) com condições de transição.

10. IMPLEMENTAÇÃO EM HDL

A implementação foi realizada em Verilog (2001), com registrador de estado e lógica de próximo estado/saídas em blocos separados, seguindo boas práticas de projeto síncrono Wakerly (2005); Ciletti (2011). A arquitetura é modular: (i) sensores; (ii) núcleo FSM; (iii) **drivers** de atuadores e displays. O *reset* é síncrono e ativo em nível baixo. Os níveis (0–4) admitem inversão por parâmetro. Os LEDs derivam diretamente das saídas e os dígitos 0–4 mapeiam os níveis nos displays.

10.1 Circuito do Sensor e Condicionamento de Sinal

Os sensores discretos (0–4) alimentam a lógica por meio de rede de condicionamento compatível com a FPGA. A Figura 3 apresenta o *esquemático simplificado* utilizado nesta versão.

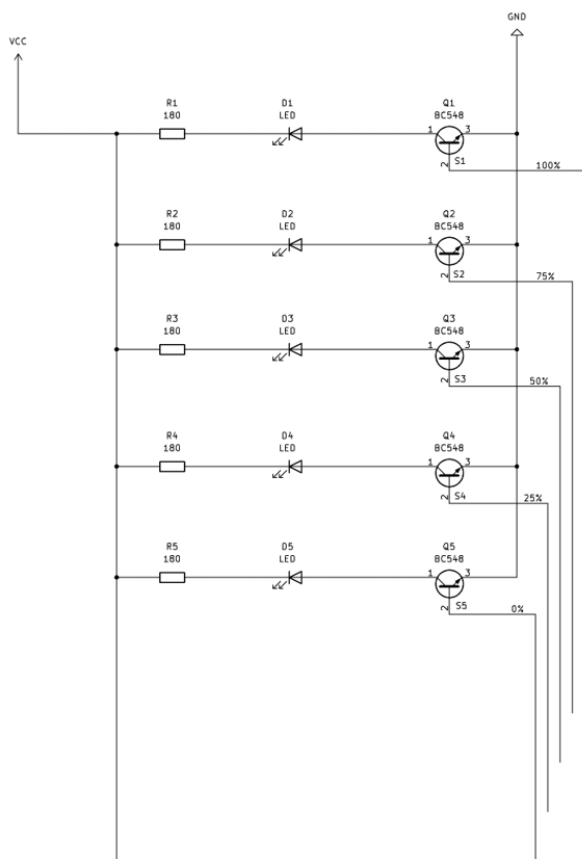


Figura 3. Esquemático simplificado do circuito do sensor de nível e condicionamento de sinal para a FPGA.

10.2 Modularidade e Evolução do Código

O desenvolvimento do controlador digital seguiu uma estratégia incremental e modular, em que cada versão do código introduziu um subconjunto funcional validado de forma isolada antes da integração completa. Essa abordagem possibilitou depuração segmentada, reutilização de blocos HDL e documentação clara da linha evolutiva do projeto, conforme registrado no **Apêndice A (Evolução do Código)**. A **versão v1** consistiu em um protótipo dedicado exclusivamente ao acionamento de transistores e relés, permitindo validar níveis de tensão, polaridades e o comportamento eletromecânico da bomba antes de qualquer lógica sequencial. Na **versão v2**, o foco deslocou-se para o subsistema de sensoramento, com a leitura dos sensores discretos e exibição dos níveis (0–4) nos displays de sete segmentos. Essa etapa consolidou o pipeline de aquisição de dados, estabelecendo o mapeamento entre hardware físico e lógica HDL. A **versão v3** introduziu a FSM mínima (estados *IDLE* e *PUMPING*), já com histerese funcional, caracterizando a primeira iteração funcional completa do sistema. Essa é a versão que foi sintetizada e demonstrada no protótipo físico apresentado nas Figuras 4 e 5 (versão v2). A arquitetura modular, com separação entre sensores, núcleo lógico e atuadores, comprovou a viabilidade da solução direta em FPGA. Por fim, a **versão v4** formaliza a proposta de FSM robusta, contendo elementos de escalabilidade do sistema: detecção de falhas, debounce configurável, estado de *FAULT*, parametrização de histerese, modo manual/automático e temporizações dependentes

do clock. Embora ainda teórica, essa versão representa a transição natural do protótipo para um controlador digital industrializável. Essa trajetória confirma a importância da modularidade no desenvolvimento em HDL: o reuso de blocos, a substituição progressiva de módulos e a rastreabilidade entre versões facilitam auditoria técnica, melhoria contínua e adoção em cenários didáticos ou industriais.

10.3 Lista de Materiais e Custos (BOM)

Tabela 2. Lista de Materiais e Custos do Protótipo

Item	Qtd.	Custo unit. (R\$)
Resistores 180 Ω	10	0,10
Transistores BC548 (DS-3)	10	0,40
LED vermelho	2	0,50
LED amarelo	2	0,50
LED verde	6	0,50
Bomba submersa DC 3–6 V (aquário) ^[1]	1	31,00
Fios CAT5 (8 cores, 2 m)	2	1,15
Solda FOXLUX 1,0 mm (22 g) ^[2]	1	14,00
Display de 7 segmentos ^[3]	2	3,00
Fonte 12 V / 1 A ^[4]	1	30,00
Módulo relé 2 canais 5 V ^[5]	1	12,00
Tubo PVC rígido 2×30 cm ^[6]	2	3,00
Válvula solenoide 110 VAC ^[7]	1	46,00
Abraçadeiras 2,5×200 mm ^[8]	100	0,12
Protoboard 830 furos ^[9]	2	20,00
Módulo fonte 5 V / 3,3 V p/ protoboard ^[10]	1	19,00

10.4 Fotos do Protótipo

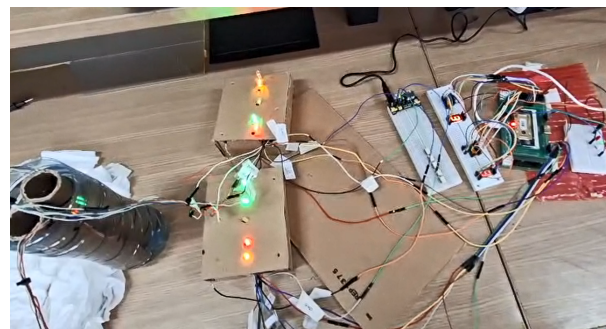


Figura 4. Protótipo em bancada: visão geral da montagem (bomba, válvula, sensores e placa FPGA).

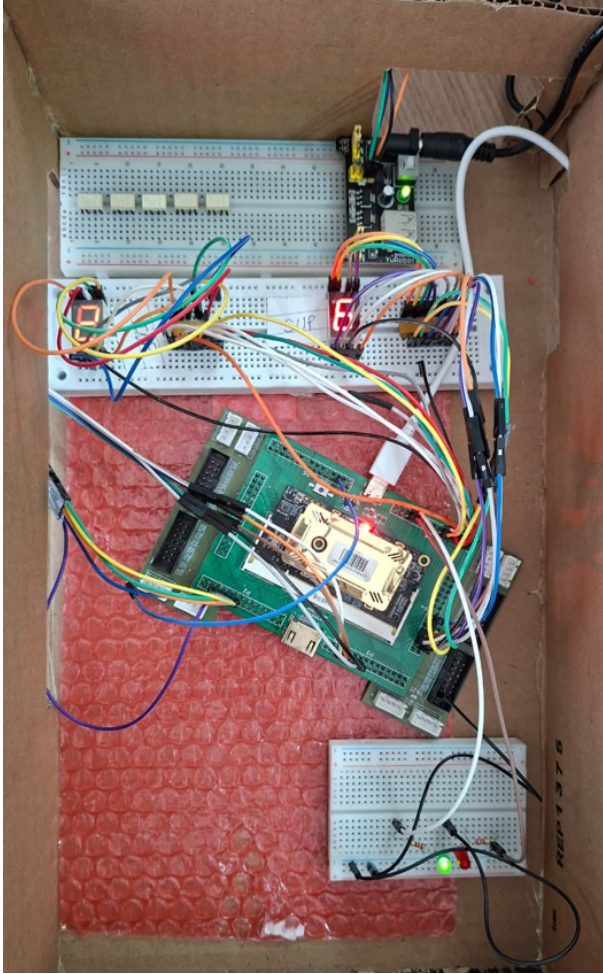


Figura 5. Indicadores visuais: displays de sete segmentos exibindo níveis e LEDs de estado da bomba/válvula.

10.5 Repositório do Projeto (GitHub)

O código-fonte do projeto foi versionado em repositório público, organizado por diretórios que correspondem às etapas evolutivas descritas no Apêndice A. A Tabela 3 apresenta a relação entre as versões e suas funcionalidades principais.

Tabela 3. Versões do código HDL e funcionalidades principais

Versão	Descrição resumida
v01	Teste de transistor e relé
v02	Leitura dos sensores + displays (versão usada no protótipo)
v03	FSM mínima consolidada (IDLE/PUMPING)
v04	FSM robusta (proposta expandida)

O repositório completo encontra-se disponível em: https://github.com/ManoelFelipe/Embarcatech_37_FPGA

Inclui instruções de simulação, síntese e *pinout* para a placa utilizada.

11. RESULTADOS E DISCUSSÃO

Os cenários de simulação contemplaram: (i) partida normal com $Sup = 25\%$ e $Inf = 75\%$; (ii) desligamento por

nível alto no reservatório superior até 75% ; (iii) desligamento por nível baixo no reservatório inferior em 25% . Observou-se comportamento determinístico e livre de oscilações espúrias, com histerese funcional entre ligar e desligar. A sinalização por LEDs acompanhou adequadamente os estados, e o mapeamento dos displays facilitou a depuração em bancada (ver Figuras 4 e 5). Os resultados sustentam a adequação da FSM mínima para o escopo proposto. Durante os testes em bancada, verificou-se que o sistema funcionou de forma estável com os sensores discretos acoplados ao reservatório de pequena capacidade utilizado no protótipo. Entretanto, com base em pesquisa técnica preliminar (ainda não testada experimentalmente), identificou-se que, em reservatórios de maior volume, pode ser necessário aumentar a corrente de alimentação dos sensores para garantir comutação confiável, uma vez que a lâmina de água tende a introduzir atenuação e variações de impedância no circuito de detecção Dunn (2005).

Outro ponto observado refere-se à possibilidade de ruídos elétricos e oscilações gerados pelo contato da água com os sensores, o que pode induzir tensões transitórias nos pinos da FPGA. Para mitigar esse risco, recomenda-se o isolamento entre o estágio de sensoramento e a lógica digital por meio de optoacopladores, como o PC817 (ver DS-01 no Apêndice B) ou o TLP521 (DS-02), evitando a propagação de surtos ou interferências para a placa principal². A Figura 6 ilustra um esquema típico de interface, destacando alimentação separada, referência de terra independente e uso de *pull-up* no lado da FPGA para garantir níveis lógicos estáveis. Além disso, conforme discutido por Bolton (2015), cargas indutivas como relés, bombas e solenóides podem gerar picos de tensão de retorno, reforçando a necessidade de proteção adequada (diodos de roda livre, snubbers RC e isolamento). No protótipo físico, a bomba hidráulica e a válvula solenóide não foram acionadas diretamente via relé. Em substituição, utilizaram-se LEDs como indicadores lógicos do estado dos atuadores, permitindo validar a FSM sem risco de danos à FPGA decorrentes de cargas indutivas. Os testes confirmaram o acionamento coerente da lógica de controle, demonstrando que o comportamento funcional da FSM está correto e apto para uso com os atuadores reais quando devidamente isolados.

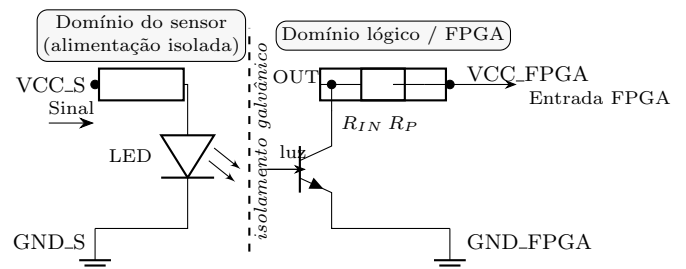


Figura 6. Esquemático de isolamento com optoacoplador entre sensores e FPGA.

² Isolamento galvânico refere-se à separação elétrica completa entre dois circuitos que trocam sinais, mas não corrente direta. Esse método é amplamente empregado em automação industrial para proteger CLPs e FPGAs de cargas indutivas e transientes.

12. CONCLUSÕES E TRABALHOS FUTUROS

Apresentou-se uma controladora de nível baseada em FSM mínima, adequada para cenários educacionais e industriais simplificados. A modelagem em dois estados mostrou-se suficiente para cumprir os requisitos funcionais e facilitar a verificação. Como trabalhos futuros, propõe-se a evolução para a Versão Completa (FSM robusta), incluindo: (i) debounce parametrizável dos sensores; (ii) verificação de leituras inválidas e estado de *FAULT* com recuperação temporizada; (iii) modo automático/manual (*en_auto*) com desligamento forçado; (iv) parâmetros de histerese e temporizações calculadas conforme a frequência de clock; (v) exibição de códigos de erro nos displays; e (vi) documentação expandida com tabela de transições e testbench com *asserts*.

Além disso, está previsto para a próxima etapa a integração prática da bomba hidráulica e da válvula solenóide por meio de relés, de modo a validar o controle completo do fluxo de água entre os reservatórios. Essa etapa permitirá verificar o comportamento do sistema frente à inércia hidráulica, consumo de corrente, ruídos eletromecânicos e eventuais atrasos de resposta dos atuadores, conforme discutido em Bolton (2015). Também está prevista a avaliação experimental do uso de optoacopladores como elemento de isolamento e proteção da FPGA contra transientes oriundos do meio líquido e de cargas indutivas.

AGRADECIMENTOS

Os autores agradecem aos colegas e docentes que contribuíram com sugestões e discussões técnicas durante o desenvolvimento do projeto.

REFERÊNCIAS

- Bolton, W. (2015). *Programmable Logic Controllers*. Newnes/Elsevier, Oxford, 6 edition.
- Ciletti, M.D. (2011). *Advanced digital design with the Verilog HDL*. Prentice Hall, Upper Saddle River, NJ.
- Dunn, W.C. (2005). *Fundamentals of Industrial Instrumentation and Process Control*. McGraw-Hill, New York.
- Harel, D. (1987). Statecharts: a visual formalism for complex systems. *Science of Computer Programming*, 8(3), 231–274.
- Horowitz, P. and Hill, W. (2015). *The Art of Electronics*. Cambridge University Press, Cambridge, 3 edition.
- Ogata, K. (2010). *Modern Control Engineering*. Prentice Hall, Upper Saddle River, NJ, 5 edition.
- Ott, H.W. (1988). *Noise Reduction Techniques in Electronic Systems*. Wiley, New York, 2 edition.
- Wakerly, J.F. (2005). *Digital design: principles and practices*. Pearson, Upper Saddle River, NJ, 4 edition.

APÊNDICE A. EVOLUÇÃO DO CÓDIGO (HISTÓRICO)

- **v1** — Teste de transistor e relé em: https://github.com/ManoelFelipe/Embarcatech_37_FPGA/tree/main/Codigo_V01/

- **v2** — Leitura dos sensores + exibição em displays em: (**versão utilizada no protótipo das Figuras 4 e 5**) https://github.com/ManoelFelipe/Embarcatech_37_FPGA/tree/main/Codigo_V02/
- **v3** — FSM mínima (IDLE/PUMPING) com histerese funcional em: https://github.com/ManoelFelipe/Embarcatech_37_FPGA/tree/main/Codigo_V03/
- **v4** — FSM robusta (teórica): modo manual, temporizações, detecção de falhas em: https://github.com/ManoelFelipe/Embarcatech_37_FPGA/tree/main/Codigo_V04/

APÊNDICE B. REFERÊNCIAS DE CUSTO E MATERIAIS (BOM)

Esta seção detalha as fontes consultadas para a estimativa de custos da Lista de Materiais (Tabela 2). Os valores são aproximados e podem variar.

- [1] <https://www.eletrodex.net/montagem/comandocontrole/motores/mini-bomba-de-agua-submersa-para-aquario-arduino-3-6v>
- [2] <https://www.eletricabichuette.com.br/estanho-solda-tubo-com-4-metros-foxlux-2511/p>
- [3] <https://www.robocore.net/display/display-7-segmentos>
- [4] <https://www.amazon.com.br/Fonte-Chaveada-12V-1A-Arduino/dp/B087C381QZ/>
- [5] <https://www.robocore.net/driver-motor/modulo-rele-5v-2-canal>
- [6] <https://www.mercadolivre.com.br/tubo-rigido-transparente-pvc-para-aquarios-6mm-x-4mm-x-49cm/up/MLBU2882568735>
- [7] <https://www.robocore.net/atuator/valvula-solenoid-110vac>
- [8] <https://www.amazon.com.br/Abra%C3%A7adeira-Nylon-200-Preta-Sfor/dp/B08R52WQBL/>
- [9] <https://www.mercadolivre.com.br/protoboard-830-furos-breadboard-830-pontos/p/MLB37900626>
- [10] <https://www.mercadolivre.com.br/fonte-5v-e-33v-para-protoboard-modulo-prototipagem-arduino/p/MLB33651699>

APÊNDICE C. DATASHEETS E DOCUMENTAÇÃO TÉCNICA

- DS-1 PC817 Optocoupler Datasheet — Renesas (2020). Disponível em: <https://www.renesas.com/us/en/document/dst/pc817-datasheet>
- DS-2 TLP521 Optocoupler Datasheet — Toshiba (2019). Disponível em: <https://toshiba.semicon-storage.com/info/docget.jsp?did=14247>
- DS-3 BC548 Transistor Datasheet — Nexperia. Disponível em: https://assets.nexperia.com/documents/data-sheet/BC547_SER.pdf