



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И
ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ. (ИУ7)

О Т Ч Е Т

по лабораторной работе № 1

Название: Проектирование систем на кристалле на основе ПЛИС

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-56Б

(Группа)

(Подпись, дата)

Мансуров В. М.

(И.О. Фамилия)

Преподаватель

Ибрагимов С.В.

(Подпись, дата)

(И.О. Фамилия)

Москва, 2022

Цель работы: Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Функциональная схема разрабатываемой системы на кристалле.
Текстовые пояснения к схеме.

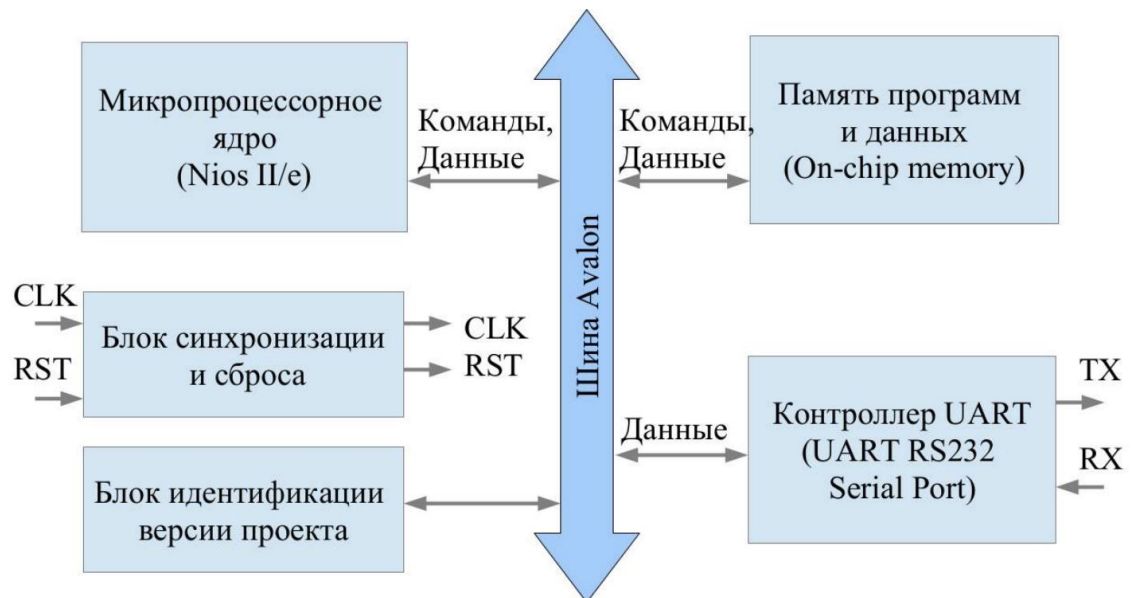


Рисунок 2 — Функциональная схема разрабатываемой системы на кристалле.

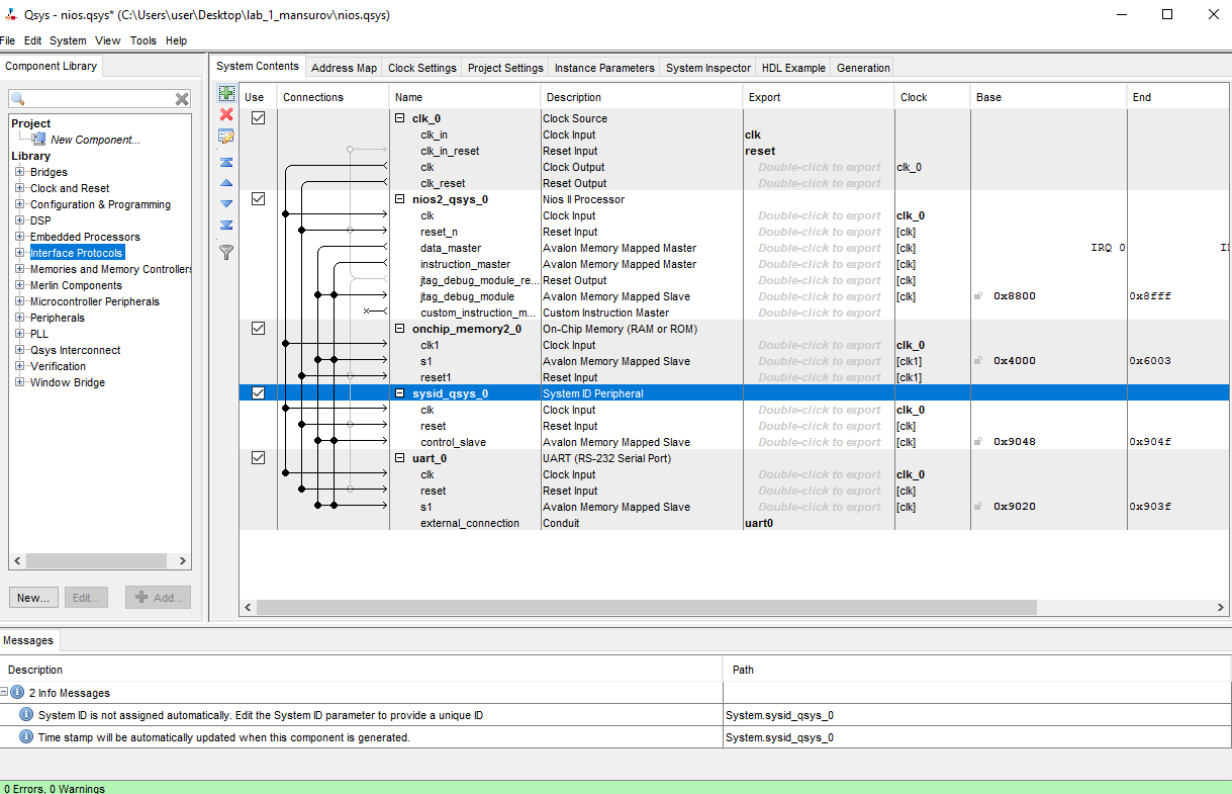
Система на кристалле состоит из следующих блоков:

- Микропроцессорное ядро Nios II/e выполняет функции управления системой.
- Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
- Системная шина Avalon обеспечивает связность всех компонентов системы.
- Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность.
- Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
- Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Модуль в QSYS

- 1. Был создан новый модуль QSYS
- 2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц
- 3. Добавлен в проект модуль синхронизируемого микропроцессорного ядра Nios2
- 4. Добавлен в проект модуль ОЗУ программ и данных
- 5. Добавлены компоненты Avalon System ID, Avalon UART
- 6. Создана сеть синхронизации и сброса системы
- 7. Сигналы TX и RX экспортированы во внешние порты
- 8. Назначены базовые адреса устройств

Итог выполненных действий показан на следующих рисунках.



Модуль QSYS

Qsys - nios.qsys* (C:\Users\user\Desktop\lab_1_mansurov\nios.qsys)

File Edit System View Tools Help

Component Library

Project: New Component...

Library:

- Bridges
- Clock and Reset
- Configuration & Programming
- DSP
- Embedded Processors
- Interface Protocols
- Memories and Memory Controllers
- Merlin Components
- Microcontroller Peripherals
- Peripherals
- PLL
- Qsys Interconnect
- Verification
- Window Bridge

System Contents

Component	Address Map	Clock Settings	Project Settings	Instance Parameters	System Inspector	HDL Example	Generation
nios2_qsys_0_tag_debug_module	0x8800 - 0x8fff						
onchip_memory2_0_s1	0x4000 - 0x6003						
sysid_qsys_0_control_slave	0x9048 - 0x904f						
uart_0_s1	0x9020 - 0x903f						

Messages

Description

2 Info Messages

- System ID is not assigned automatically. Edit the System ID parameter to provide a unique ID
- Time stamp will be automatically updated when this component is generated.

0 Errors, 0 Warnings

Таблица распределения адресов

Pin Planner - C:\Users\user\Desktop\lab_1_mansurov\lab_01 - lab_01

File Edit View Processing Tools Window Help

Report: Report not available

Groups: Report

Tasks:

- Run Analysis and Elaboration
 - Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis
 - Export Pin Assignments...
 - Change View
 - Show I/O Banks
 - Show VREF Groups
 - Show Edges
 - Show DQ/DQS Pins
 - x4 Mode
 - x8 Mode
 - x16 Mode
 - x32 Mode
 - Show Clock Region Input Pins
 - Global Clock Region
 - Quadrant Clock Region

Top View - Wire Bond
Cyclone II - EP2C20F484C7

Named: * Edit: <<>>

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_clk	Input	PIN_L1	2	B2_N1	PIN_L1	3.3-V LV..default		24mA (default)	
reset_reset_n	Input	PIN_R22	6	B6_N0	PIN_R22	3.3-V LV..default		24mA (default)	
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_F14	3.3-V LV..default		24mA (default)	
uart0_txd	Output	PIN_G12	4	B4_N1	PIN_G12	3.3-V LV..default		24mA (default)	

Filter: Pins: all

100% 00:00:58

Pin Planner

Создание проекта Nios2

В файл `hello_world_small.c` был добавлен код эхо-программы приема-передачи по интерфейсу RS232, представленный на следующем листинге.

```
#include "sys/alt_stdio.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    /* Event loop never exits. */
    while (1) {
        ch=alt_getchar();
        alt_putchar(ch);
    }

    return 0;
}
```

Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

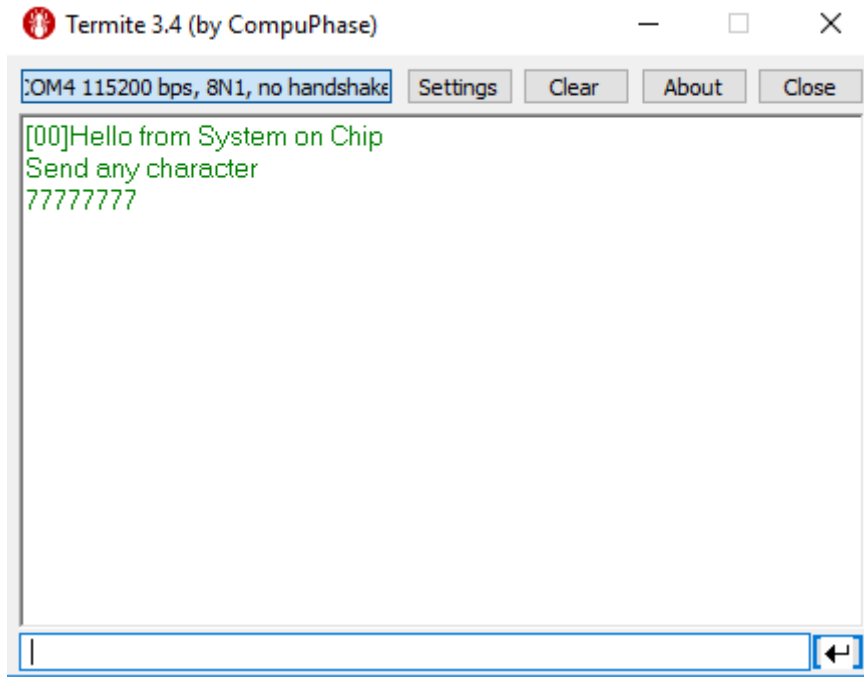
После успешной сборки и выполнения код программы был доработан: были добавлены строки, передающие по UART значение SystemID в виде четырех байт символов в ASCII формате. Далее вставлен листинг с доработкой.

```
#include "sys/alt_stdio.h"
int main()
{
    int buffer;
    int text = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
    char ch, sym, i;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    buffer = text;
    i = 0;
    while(i < 8) {
        sym = buffer % 16;
        if (sym % 16) {
            alt_putchar(sym + '0');
        } else {
            alt_putchar(sym - 10 + 'A');
        }
        buffer = buffer / 16;
        ++i;
    }

    /* Event loop never exits. */
    // while (1) {
    //     ch=alt_getchar();
    //     alt_putchar(ch);
    // }
    return 0;
}
```

Результат выполнения программы показан на следующем рисунке.



Вывод:

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.