**Práctica 2:** Diseño de máquinas de estado

Laboratorio de Organización y Arquitectura de Computadoras

**Grupo:** 2

**Alumnos:**

* Guzmán Sánchez José Emmanuel
* Mejia Ortiz Aarón Enrique
* Sáenz Barragán Ricardo

Objetivo

Familiarizar al alumno en el conocimiento de los algoritmos de las máquinas de estado utilizando Quartus y el lenguaje VHDL.

1. Desarrollo

**Dispositivo**: MAX10 DE-Lite 10M50DAF484C7G

Para el desarrollo de esta práctica se construyó una máquina de estados implementando un algoritmo simple para su representación, donde con ayuda de Quartus y el lenguaje VHDL pudimos representar físicamente la interpretación de una máquina de estados. Para poder observar las entradas y salidas de la máquina de estados además de realizar simulaciones usamos una tarjeta MAX10 para demostrar que el programa funciona igualmente en el mundo real.

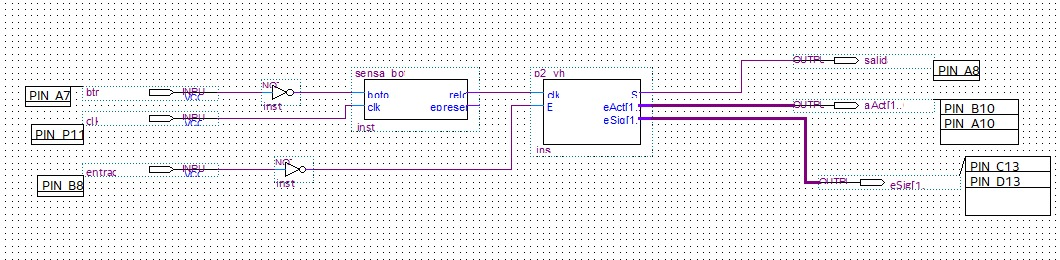
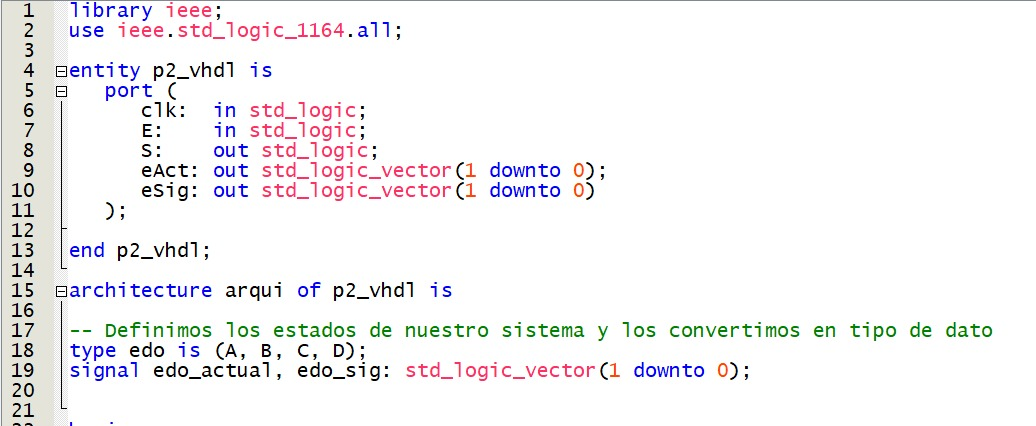
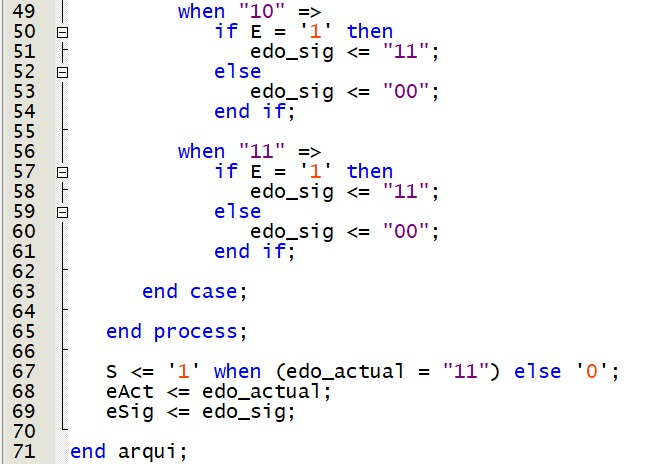
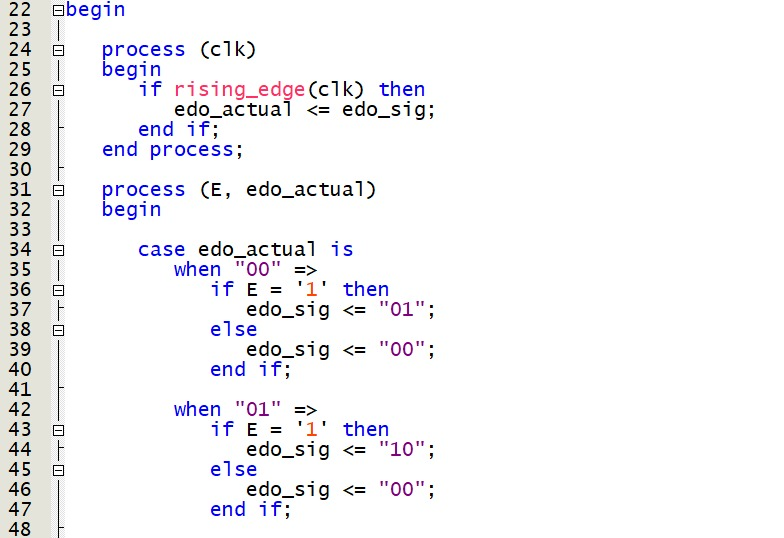


Figure 1 Diagrama de proyecto

El programa consiste en dos módulos: Una máquina de estados y un controlador para la máquina de estados.

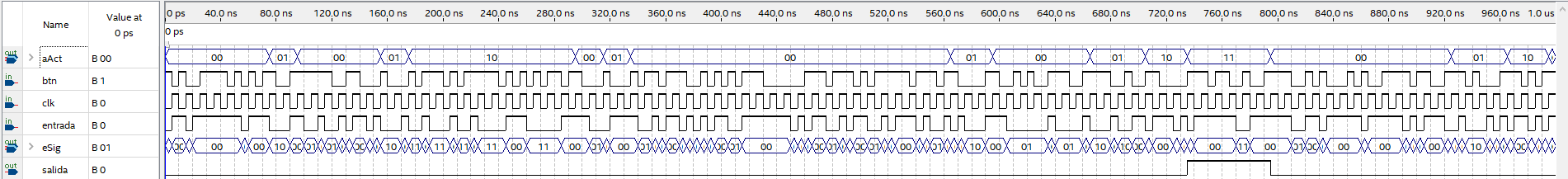
Según la carta ASM que se nos fue entregada, codificamos la siguiente máquina de estados:





Dependiendo de la entrada que se le dé por medio del controlador llamado **sensa\_boton** hará la transición de un estado a otro.

1. Simulaciones



1. Ejecución del programa en FPGA









1. Conclusiones

Guzmán Sánchez José Emmanuel

Utilizar el modelo adecuado para diseñar un sistema es una parte fundamental, ya que este nos proporciona información útil sobre la interacción entre los componentes y las transiciones entre estados, así como entradas y salidas. Una vez obtenido nuestro modelo, es posible dividir nuestro sistema en bloques, lo que permite un desarrollo más sencillo y eficiente, ya que cada bloque puede ser diseñado y desarrollado de manera independiente y al final sólo nos basamos en la interacción que existen entre éstos, con la ayuda de nuestro modelo, para poder unirlos.

Mejia Ortiz Aarón Enrique

Con esta práctica se logró implementar una máquina de estados utilizando VHDL, además logramos comprender mejor el funcionamiento de la misma gracias a los circuitos adicionales que se agregaron y permitieron visualizar el cambio de estados de forma clara.

Sáenz Barragán Ricardo

Con ayuda de la práctica se facilitó el entendimiento de uno de los muchos algoritmos que se pueden utilizar para representar las máquinas de estado, además de que fue un buen ejercicio para entender nuevamente el uso de Quartus y recapitular en lo aprendido en semestres anteriores sobre VHDL. La implementación de código para controlar hardware siempre ha sido un poco más complicada, pero el realizar las prácticas siempre ayuda a practicar.