

# TRABAJO FINAL

## Índice

1.- Objetivo general

2.- Especificaciones

3.- Planteamiento

3.1- Filtro

3.2 – Amplificador

4.- Verificación del cumplimiento de los criterios de layout

5.- Verificación del cumplimiento de las especificaciones de filtro y amplificador

5.1.- Amplificador

5.2.- Filtro

6.- Acreditaciones DRC y LVS

6.1.- Amplificador

6.2.- Filtro

## 1.- Objetivo general

El objetivo de este trabajo es realizar un filtro paso banda Butterworth de 2º orden mediante una estructura Tow-Thomas (Figura 1)

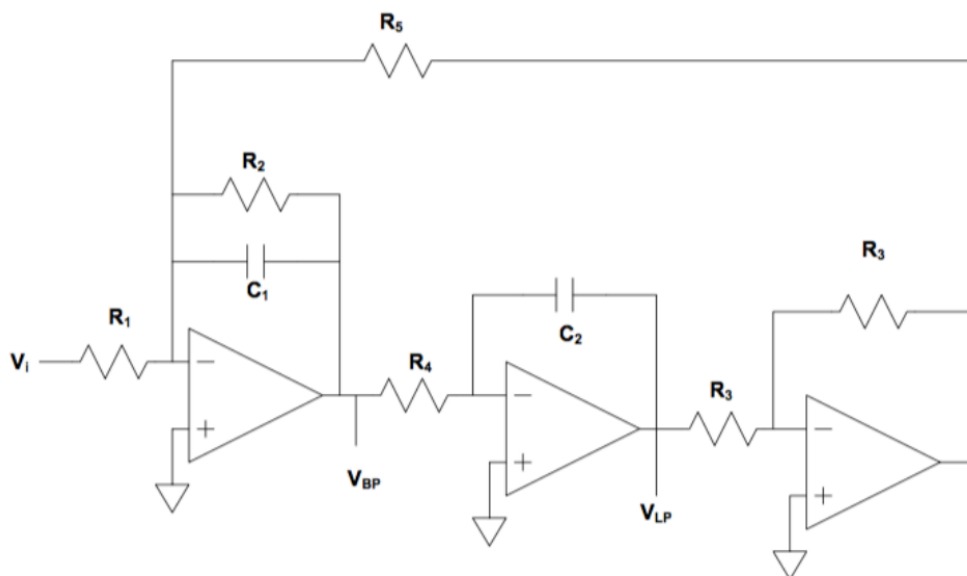


Figura 1

Para ello plantearemos el diseño de un layout del filtro de la figura 1, que a su vez será constituido por 3 amplificadores de dos etapas con compensación Miller (figura2). El resultado de la salida paso banda(VBP) del layout del filtro será comparada con un esquemático del mismo.

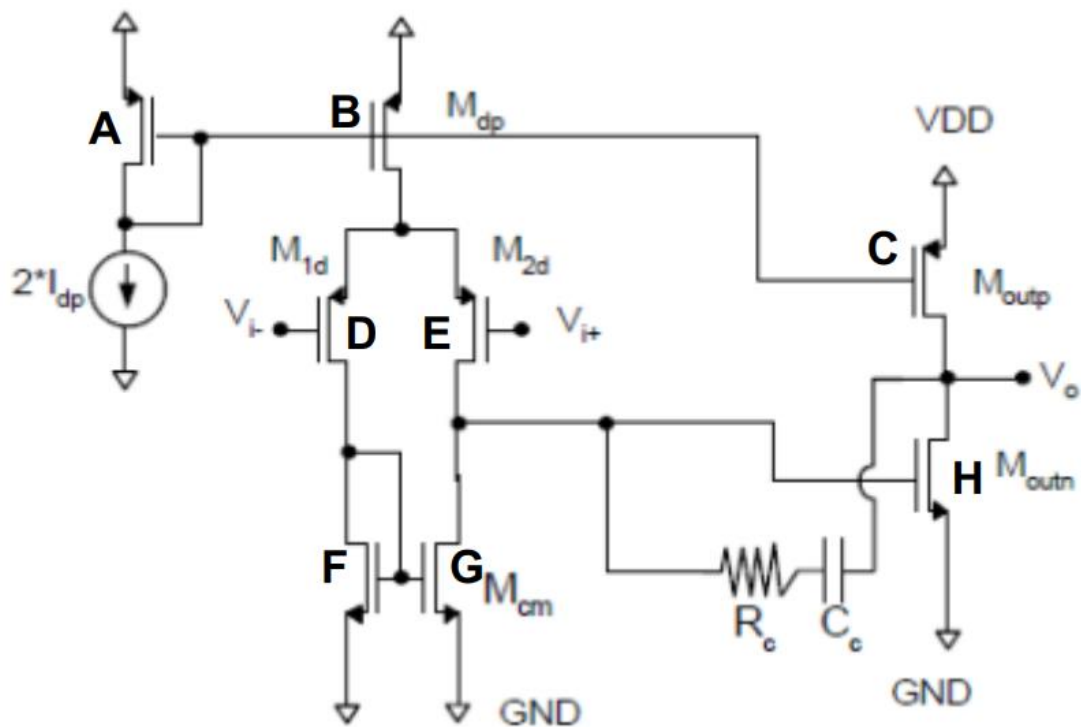


Figura2

## 2.- Especificaciones

Especificaciones del amplificador:

GBW = 135 MHz

Cc = 5pF

Veff = 0.25 V

$$V_{ds}|_{SAT} = V_{eff}$$

$$60^\circ < M_f < 70^\circ \text{ para un } R_c = [0 - 1K\Omega]$$

Especificaciones del filtro:

$$F_o = 450 \text{ KHz}$$

$$BW = 450 \text{ KHz}$$

$$G(\text{dB}) = 0 \text{ dB}$$

$$C_c = 5 \text{ pF}$$

$$a = 2.826 \cdot 10^6$$

$$b = 2.826 \cdot 10^6$$

$$c = 7.986 \cdot 10^6$$

### 3.- Planteamiento

Realizaremos el planteamiento a partir de las especificaciones anteriores.

#### 3.1 Filtro

Valores de las resistencias del filtro:

Teniendo en cuenta una función de transferencia pass-band  $H_{bp}(s)$  (expresión 1) y las especificaciones  $a, b, c$  y  $C_c$  tenemos que:

$$R_1 = R_2 = R_4 = R_5 = 70.8 \text{ K}\Omega$$

Además, por homogeneidad tendremos que  $R_3 = 70.8 \text{ K}\Omega$ .

(Cálculos especificados en práctica 3)

$$\frac{V_{BP}}{V_i}(s) = \frac{-H \cdot \frac{w_o}{Q} \cdot s}{s^2 + \frac{w_o}{Q} \cdot s + w_o^2} = \frac{-\frac{s}{R_1 \cdot C_1}}{s^2 + \frac{1}{R_2 \cdot C_1} \cdot s + \frac{1}{R_4 \cdot R_5 \cdot C_2 \cdot C_1}}$$

Expresión 1

### 3.2 Amplificador

Valor de la fuente 2Idp:

Utilizando la aproximación del primer polo por el efecto Miller(GBW = Ao\*p1):

Gm1 = GBW\*Cc (gm1 del transistor de polarización)

Obtenemos que Idp = 530.18 uA mediante la expresión gm1 = 2Ids/Vdssat\* y considerando las especificaciones dadas de Veff,GBW y Cc.

\*(Veff = Vdssat)

Por tanto, tenemos que 2Idp = 1.06 mA

(Cálculos especificados en práctica 4)

## Dimensiones de transistores:

La expresión que se usará para calcular las dimensiones será la que caracteriza el transistor MOS en saturación:

Para el tipo n:

$$K_n' = 57$$

$$I = K' \cdot (W/L) \cdot (V_{sg} - V_{tn})^2$$

Para el tipo p:

$$K_p' = 19.2$$

$$I = K' \cdot (W/L) \cdot (V_{gs} - V_{tp})^2$$

Como observamos en la figura 2, las puertas de A, B y C, formando así un espejo de corriente.

La corriente que pasa por el transistor A se copia en el transistor B con proporción 1:1, mientras que la corriente que circula por el transistor C se copiaría con proporción 1:2.

Esto es debido a que, en un inicio, se diseñó la segunda etapa para que la intensidad que circulase fuese de  $2I_{dp}$ , pero al comprobar que no se cumplía la especificación del margen de fase para ningún valor de  $R_c$ , fue necesario establecer la relación 1:2. Esta relación se establece duplicando la  $W$  de los transistores de la segunda etapa ( $I_{d2} \propto W$ )

$L = 1.2 \text{ um}$  en todos los transistores

Etapas de polarización:

$$W_a = 1105.5 (55.35 \cdot 20) \text{ um} \rightarrow \text{tipo p}$$

Primera etapa (1:1):

$$W_b = 1107 (55.35 \cdot 20) \text{ um} \rightarrow \text{tipo p}$$

$W_d = 553.5(55.35 \cdot 10) \text{ um} \rightarrow \text{tipo p}$

$W_e = 553.5(55.35 \cdot 10) \text{ um} \rightarrow \text{tipo p}$

$W_f = 357.3(59.55 \cdot 6) \text{ um} \rightarrow \text{tipo n}$

$W_g = 357.3(59.55 \cdot 6) \text{ um} \rightarrow \text{tipo n}$

Segunda etapa(1:2):

$W_c = 2214(55.35 \cdot 40) \text{ um} \rightarrow \text{tipo p}$

$W_h = 714.6(59.35 \cdot 20) \text{ um} \rightarrow \text{tipo n}$

Valor  $R_c$ :

$R_c = 265$  para un margen de fase de 60.8 tal y como se indica en la figuras 3 y 4

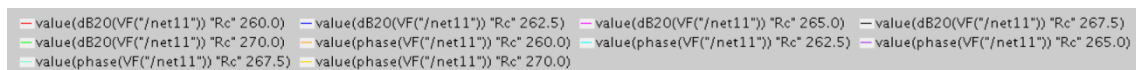


Figura3

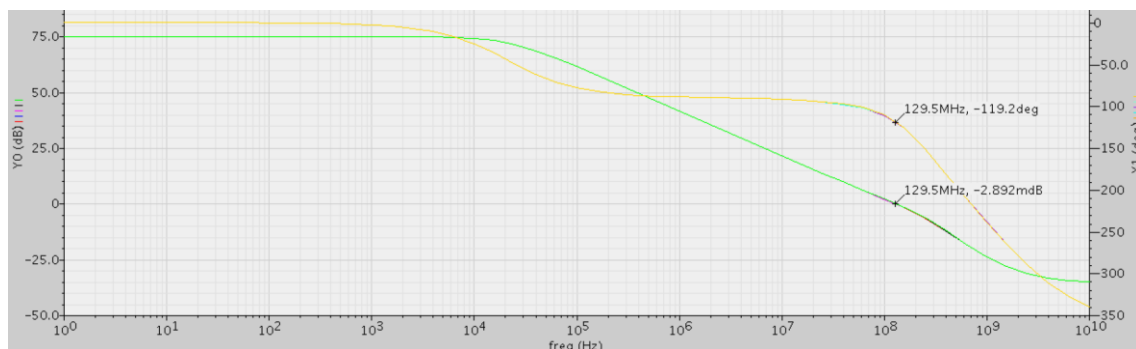


Figura 4

### Tensión de modo común:

Para calcular la tensión de modo común, el primer paso es comprobar si el rango de tensiones en la etapa de salida y en la entrada son válidos:

#### En cuanto a la etapa de salida:

V<sub>omax</sub> estaría determinada por la tensión que caería sobre el transistor C, siendo esta V<sub>dd</sub> – V<sub>ds</sub>|SAT. Nos aseguraremos de que el transistor no entre en óhmica.

V<sub>omin</sub> estaría determinada por la tensión que caería sobre el transistor H, siendo esta V<sub>ds</sub>|SAT. Nos aseguraremos de que el transistor esté en saturación.

#### En cuanto a la entrada:

Calculamos la tensión común de V<sub>i+</sub> o V<sub>i-</sub>:

$$V_{icmmax+}/V_{icmmax-} = V_{DD} - V_{ds}|SAT - V_{SGb}$$

$$V_{imin} = 0V$$

Buscamos el valor óptimo -> V<sub>omedia</sub> = (V<sub>max</sub> – V<sub>min</sub>)/2 = 1.65 (para mi valor de V<sub>eff</sub>)

Este valor es menor que v<sub>imax</sub> y v<sub>omax</sub> y mayor que v<sub>imin</sub> y v<sub>imin</sub>

## 4.- Verificación del cumplimiento de los criterios de layout

Vamos a proceder a verificar metódicamente el cumplimiento de los criterios del layout de la figura 5



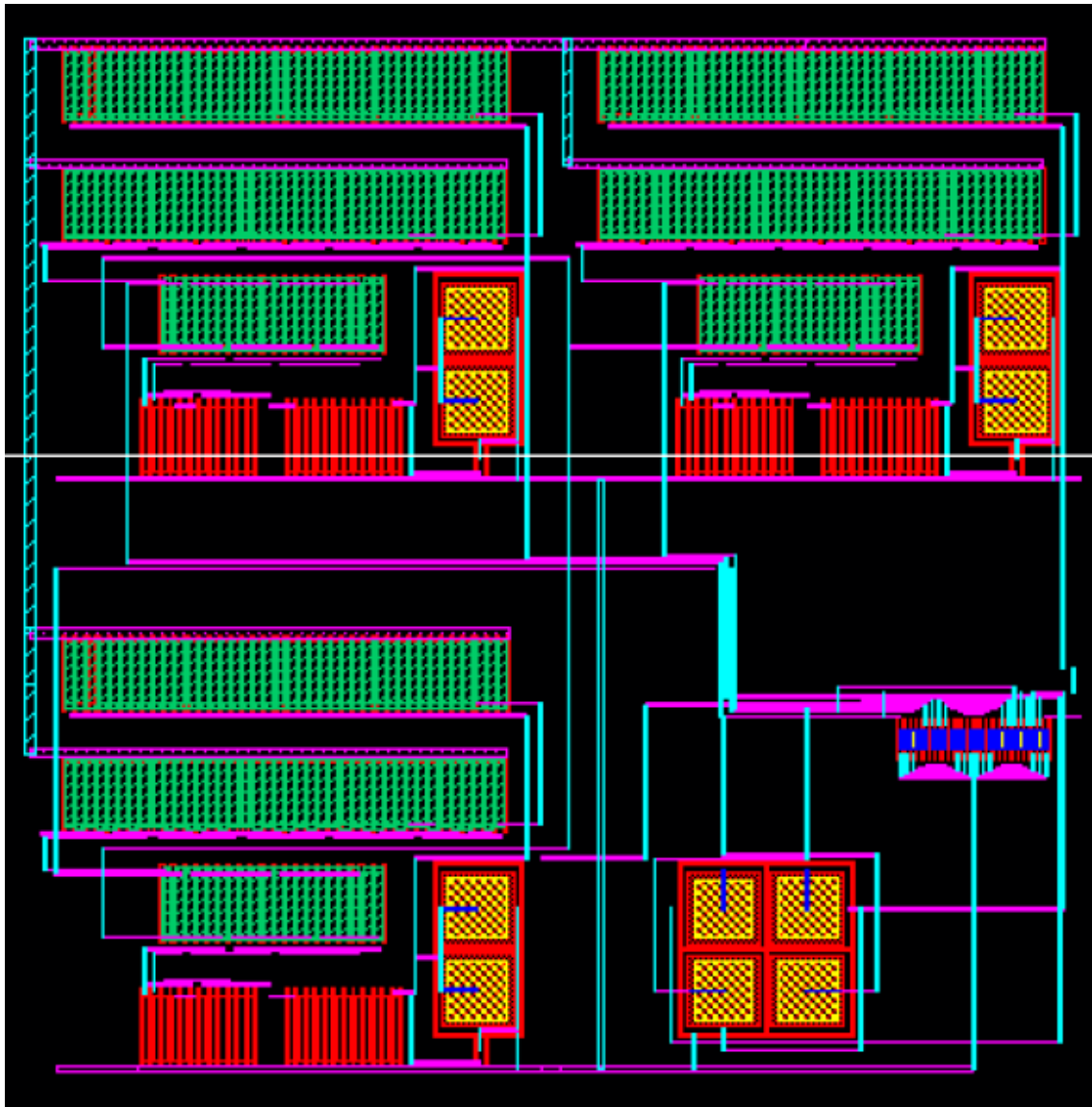


figura 5

## 1.- Criterio de dimensionamiento

Para dimensionar los transistores se han seguido los siguientes criterios:

- $W/L < 50$
- Número par de transistores
- Error  $< 0.15 \cdot n^{\circ}$  de transistores
- $W_{max} = 60$
- $L = 1.2 \text{ } \mu\text{m}$

Se puede verificar el cumplimiento de estos requisitos consultando el apartado dimensionamiento en Planteamiento amplificador (3.2) y mediante la figura 6 que representa a los transistores matcheados A y B.

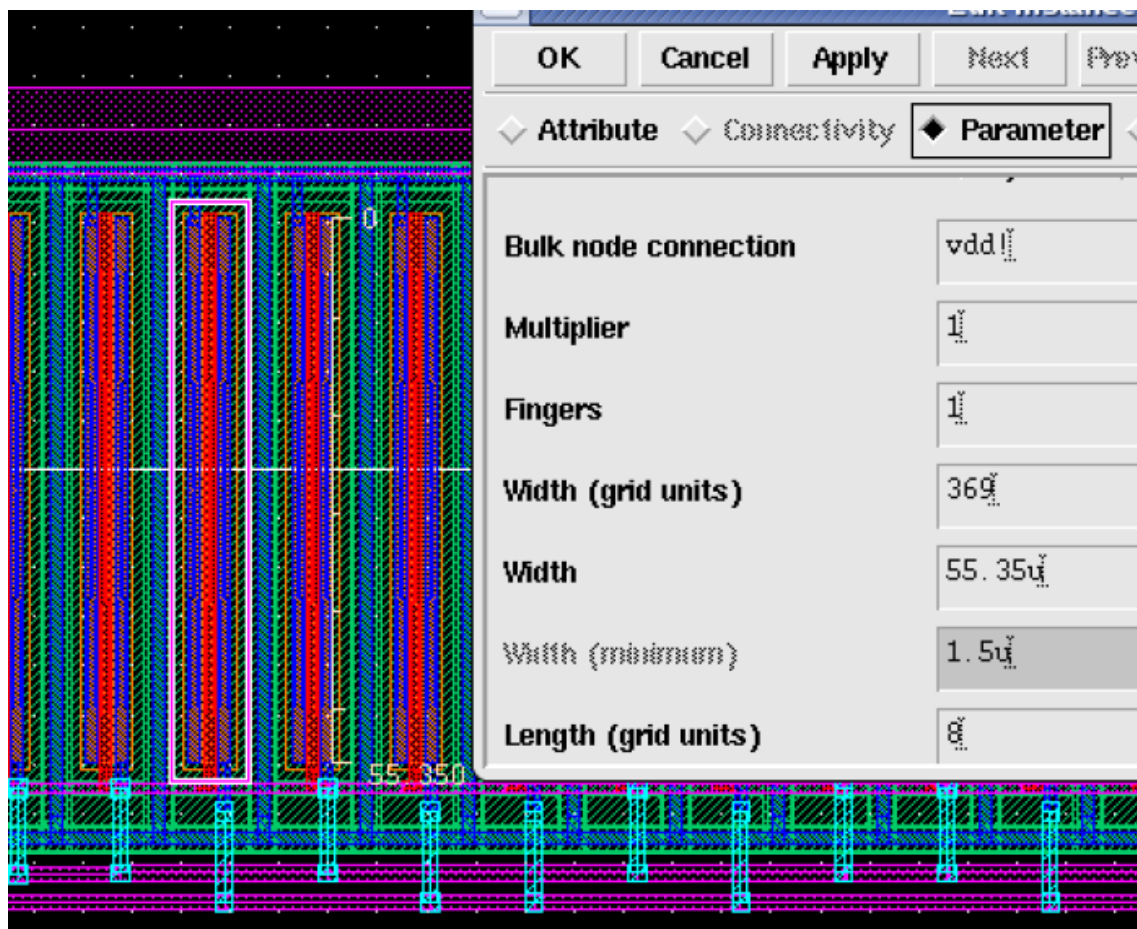


Figura 6

## 2- Uso de metales alternados

El criterio a utilizar en el trabajo ha sido:

Metal usado dentro del anillo: metal1

Metal usado para conexiones horizontales: metal2

Metal usado para conexiones verticales: metal3

Expongo ejemplo en figura 7

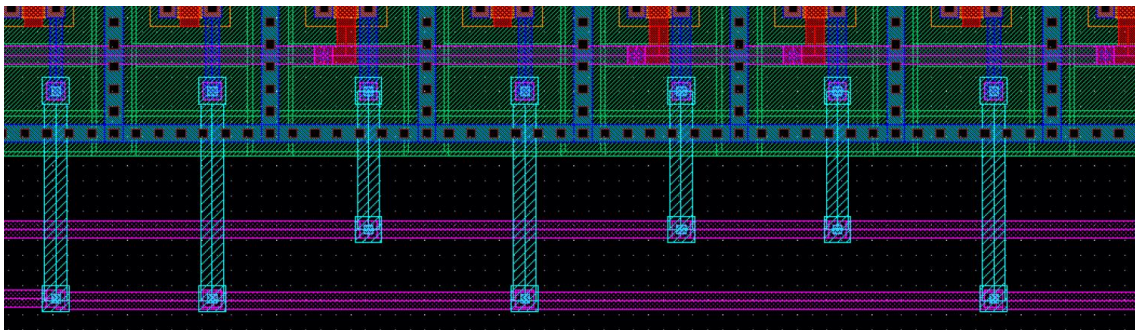


Figura 7

## 3.-Dimensionamiento de pistas: máximo 1 mA para cada 1 um de ancho.

Las pistas más anchas en el diseño del layout son las pistas GND y VDD, ya que ambas deben soportar la suma de intensidades de las etapas de polarización, de entrada y de salida.

$$I_{gnd} = I_{vdd} = 2I_{dp}(\text{pol.}) + 2I_{dp}(\text{entrada}) + 4I_{dp}(\text{salida}) = 8I_{dp} = 4.24 \text{ mA} \quad (2I_{dp} = 1.06 \text{ mA})$$

Por tanto,  $W_{gnd} > 4.24 \text{ um}$  y  $W_{vdd} > 4.24 \text{ um}$ . Verificamos esta condición mediante las figuras 8(VDD) y 9(GND).

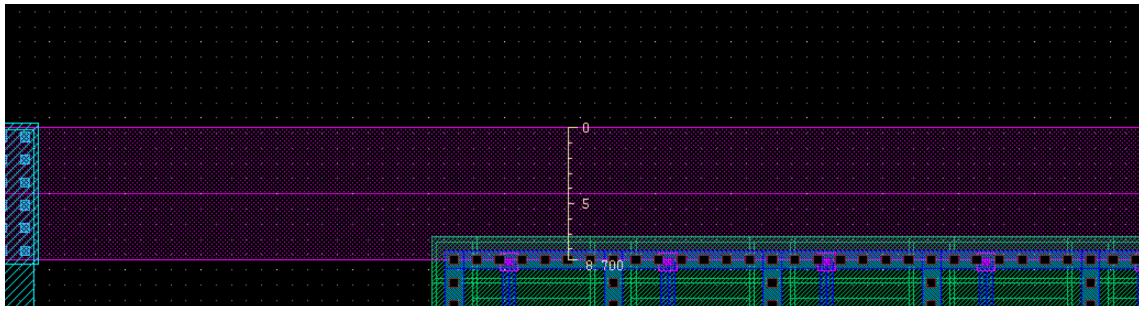


Figura 8

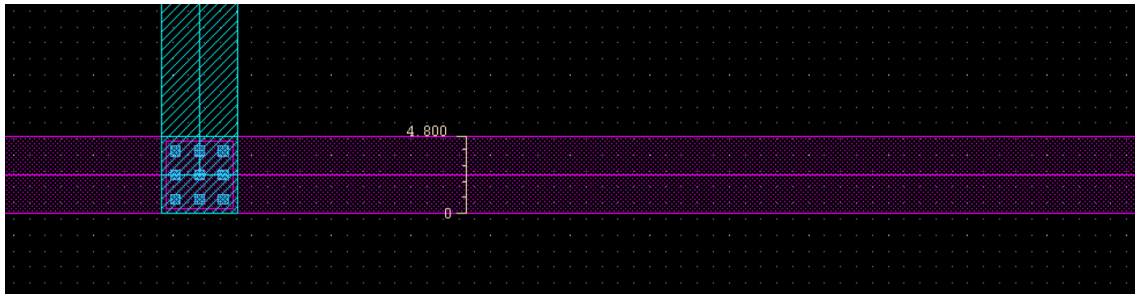


Figura 9

4.- Las resistencias y capacidades del filtro DEBEN estar matcheadas. Las de dentro de los Opamps no es necesario matchearlas pero SÍ deben ser hechas utilizando los mismos elementos unidad que usan en las del filtro.

Las resistencias del filtro están matcheadas con el siguiente patrón “interdigitated”:

123456654321|123456654321.

En el que cada resistencia se divide por 4 partes y cada porción de resistencia pasa a valer 17.7 K  $\Omega$ . Verificamos que están matcheadas en las figuras 10 y 11.



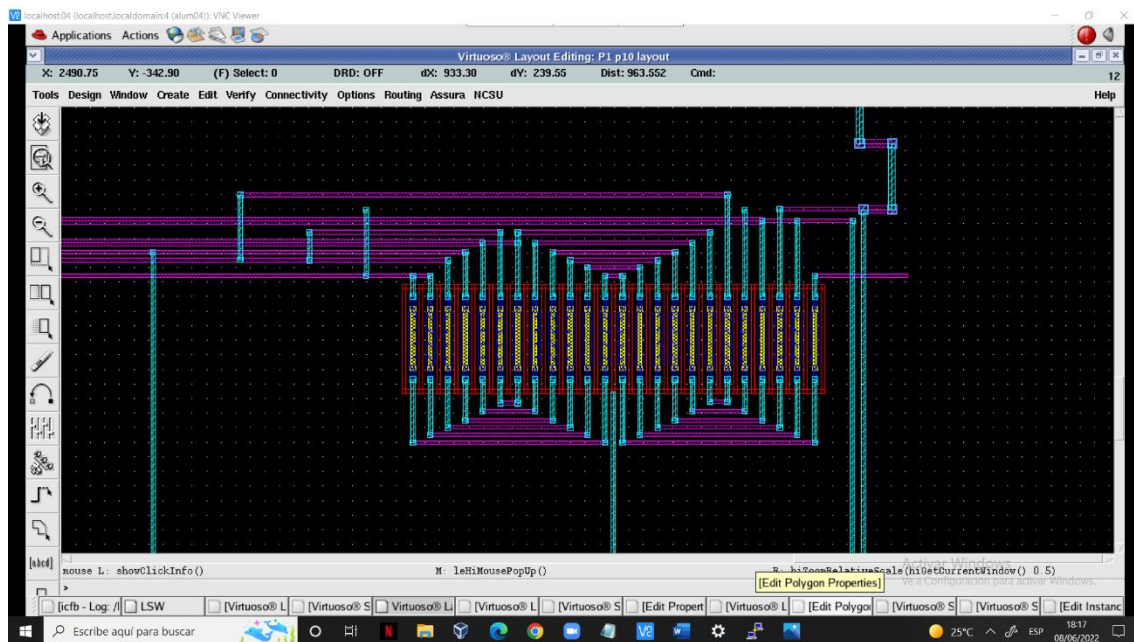


Figura 10

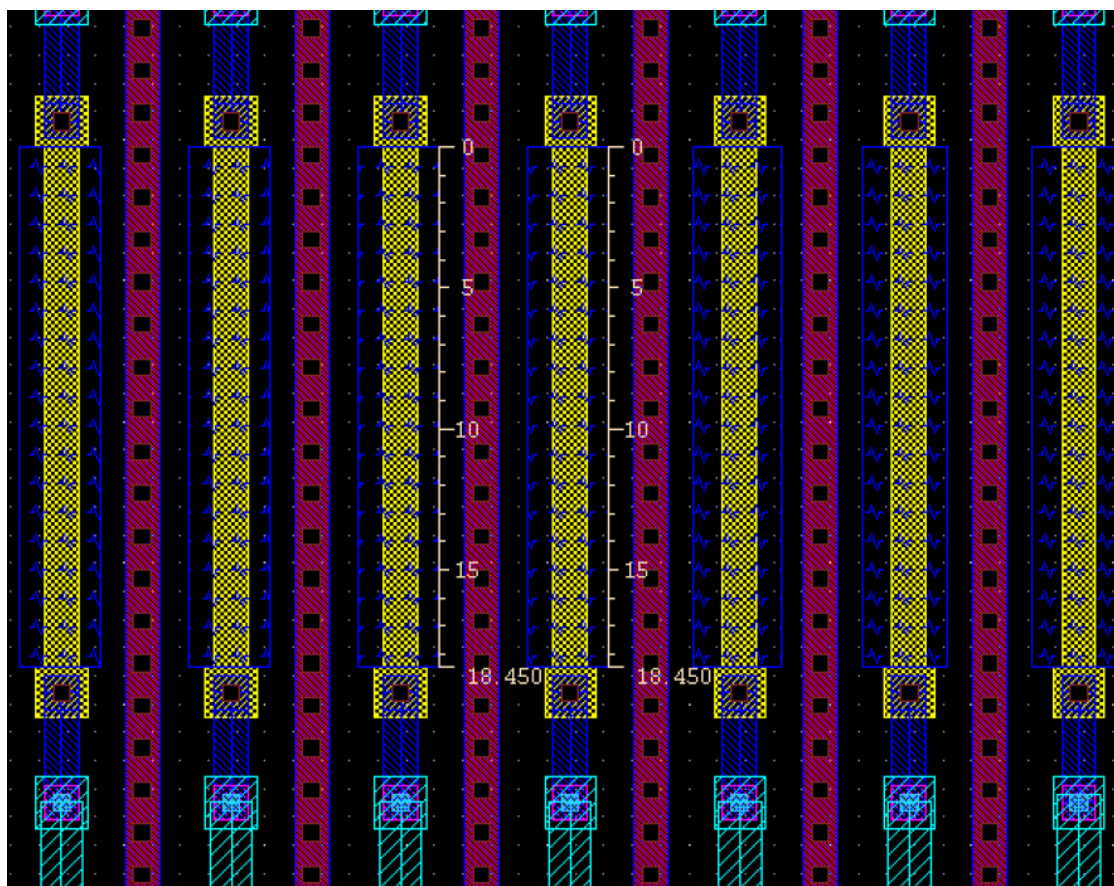


Figura 11

Las capacidades del filtro está matcheadas con el patrón de centroide común

C1 C2

C2 C1

En el que cada condensador se divide por 2 partes y cada porción de condensador pasa a valer 2.5 pF. Verificamos que están matcheadas en la figura 12.

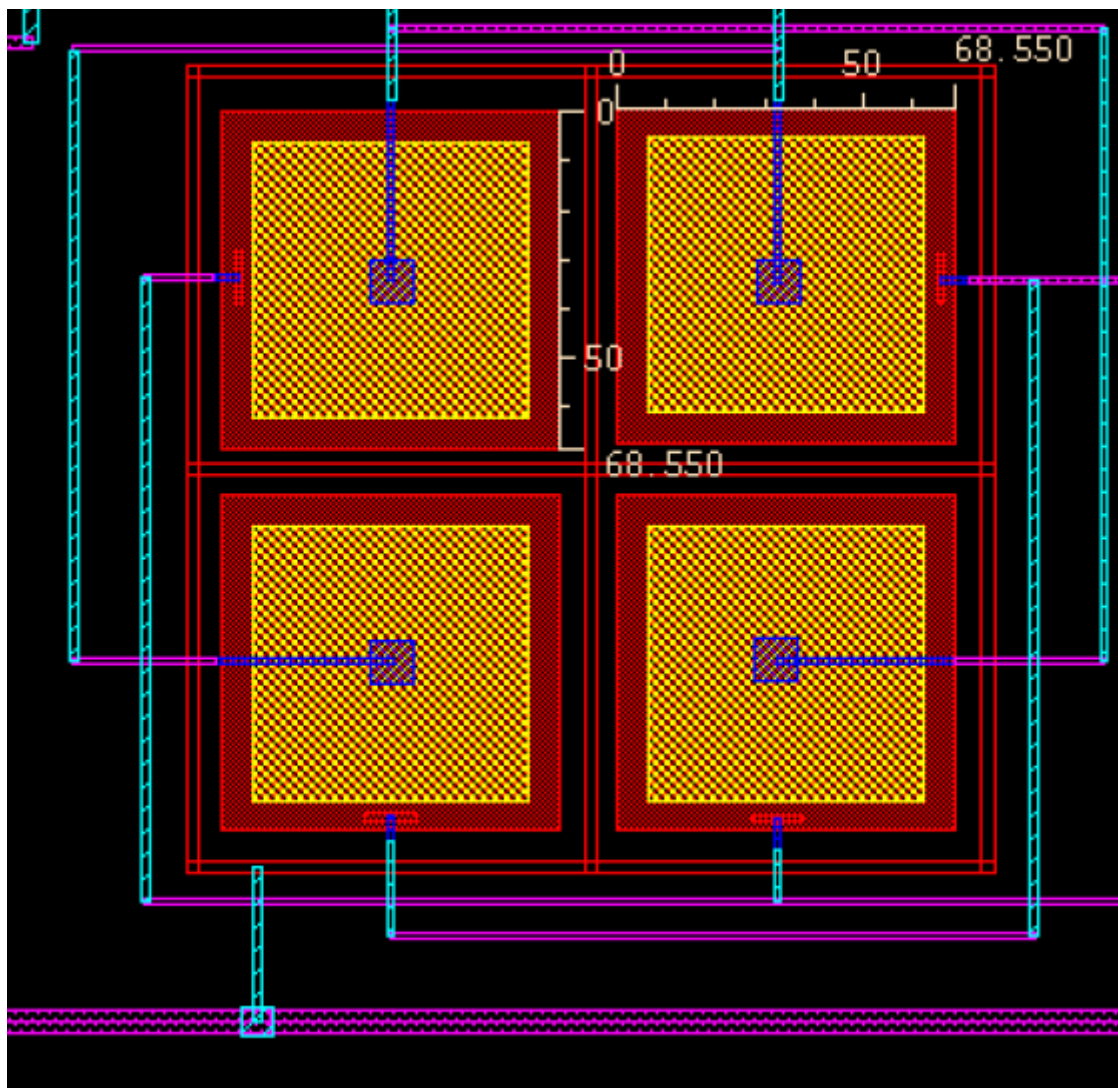


Figura 12

En cuanto a la capacidad de cada amplificador, no está matcheado, sin embargo, este elemento se divide en 2, en la que cada porción pasa a valer 2.5 pF. Al comparar las figuras 12 y 13, observamos que todos los condensadores de este filtro están contituidas por un mismo polígono de área 4.7 mF<sup>2</sup>.

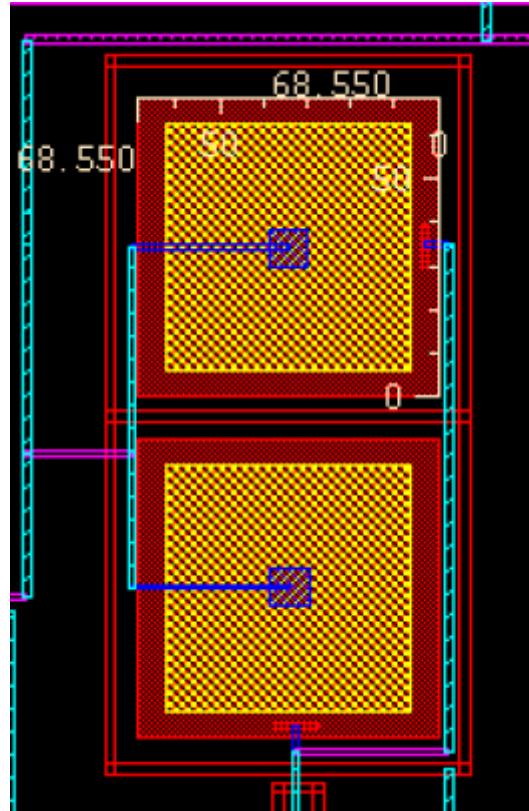


Figura 13

5.- Los anillos de guarda de las R y C se conectan a GND, al igual que los de los transistores NMOS.

Verificamos que los anillos de guarda de R están conectados a GND mediante las figuras 14(R. del filtro) y 15(R. del OPAMP).

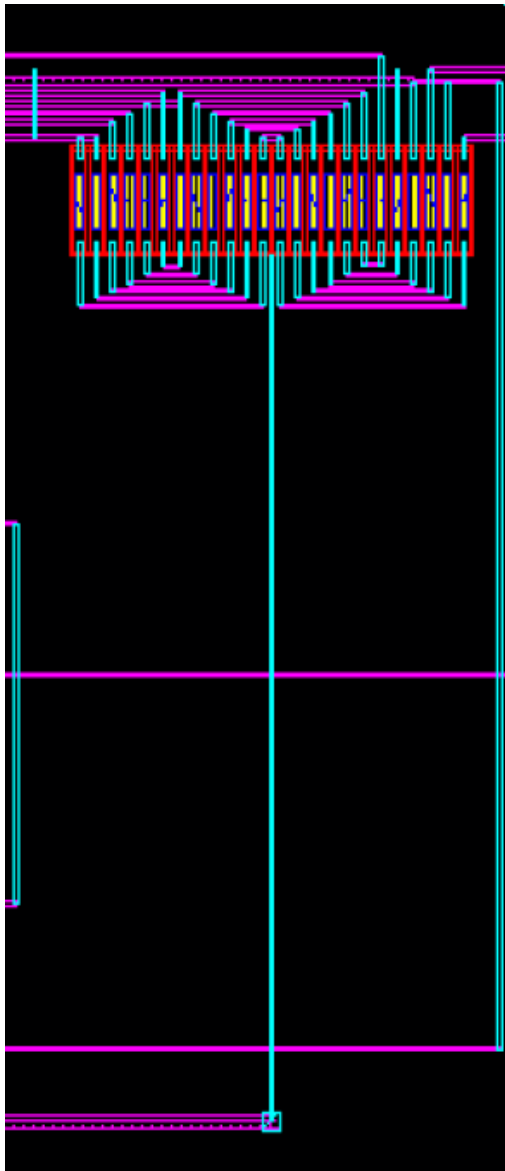


Figura 14

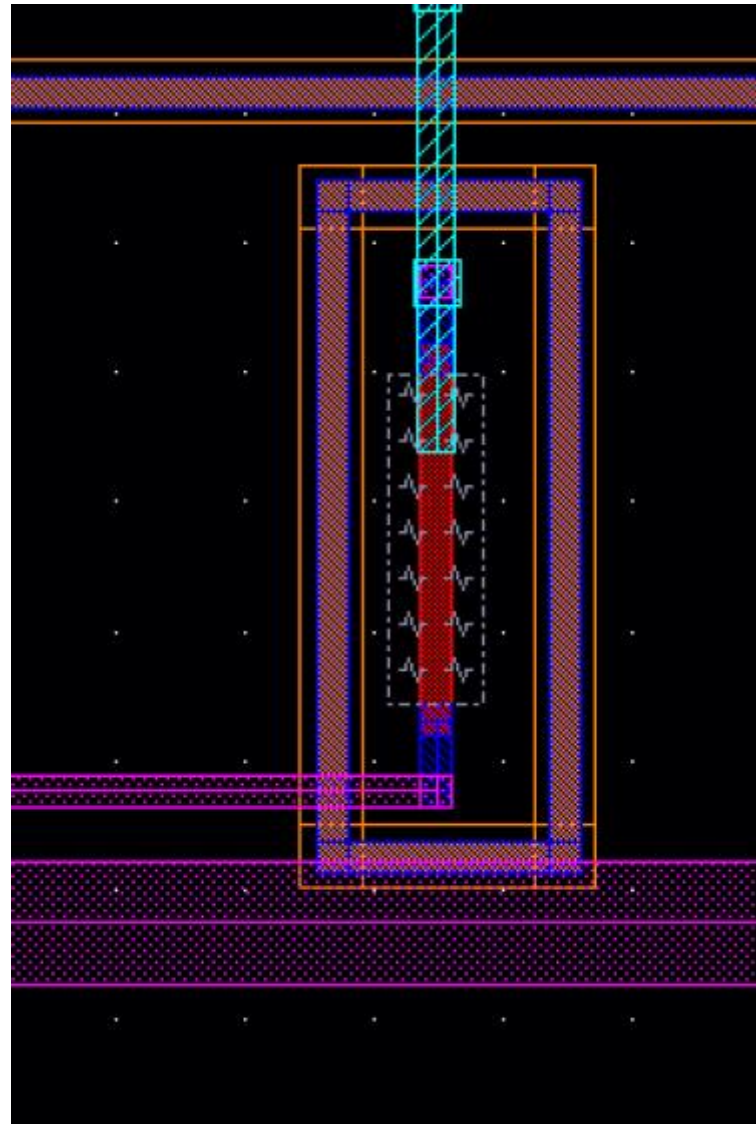


Figura 15

Verificamos que los anillos de guarda de C están conectados a GND mediante las figuras 12(C. del filtro) y 16(C. del OPAMP).



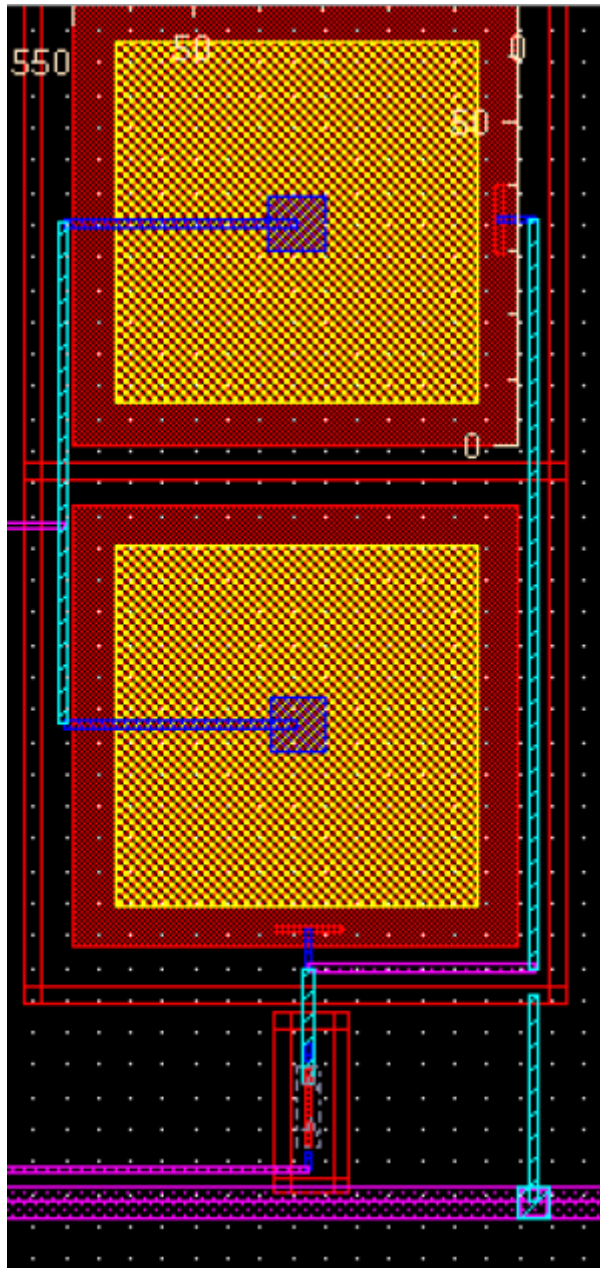


Figura 16

Verificamos que los anillos de guarda de los transistores NMOS están conectados a GND mediante la figura 17.

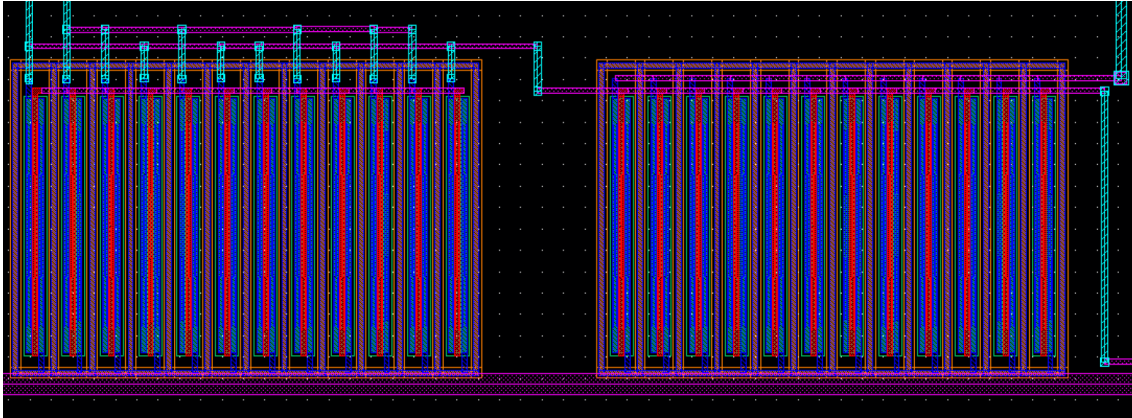


Figura 17

-6 Todos los transistores de tipo P deben usar el mismo tamaño unidad, así como todos los transistores NMOS entre sí.

Se puede verificar el cumplimiento de estos requisitos consultando el apartado dimensionamiento en Planteamiento amplificador (3.2) y observando en la figura 5 la uniformidad en el tamaño de los transistores A,B,C,D y E por un lado( 55.35um\*1.2um) y la igualdad de dimensionamiento en los transistores F,G y H por otro(59.55um\*1.2um).

-7 La extracción de layout para generar la vista extracted debe realizarse siempre usando el switch de "Extract parasitic caps".

Verificamos este hecho en la figura 18, cuya imagen muestra la vista extracted del filtro completo, en la que encontramos módulos pcapacitor.

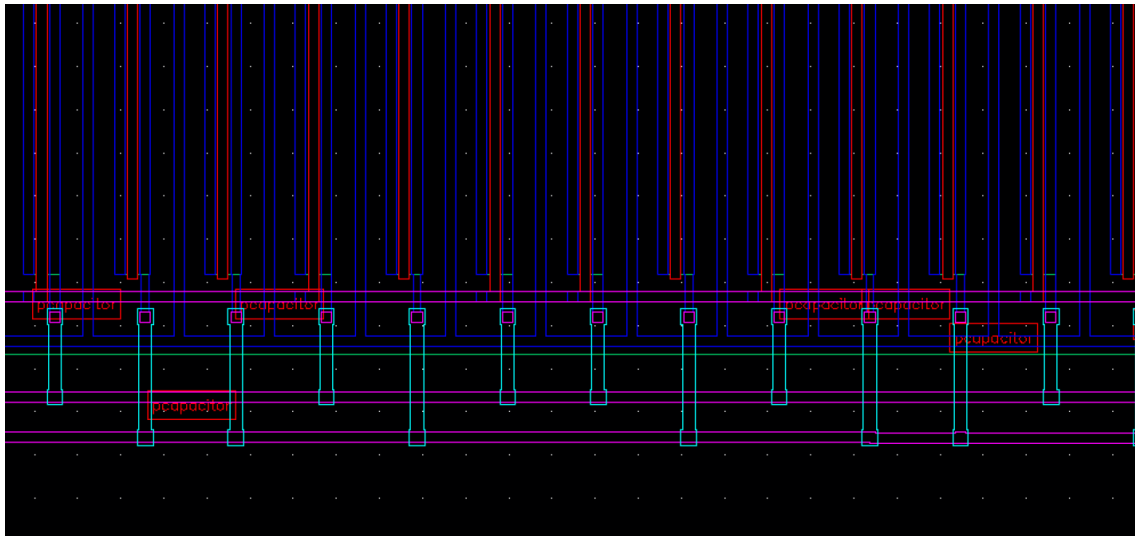


Figura 18

- El diseño completo del filtro debe caber en un área de 1mm x 1mm.

Observamos en la figura 19 como nuestro layout cumpliría esta especificación siendo sus dimensiones 997.80um(ancho)x978.45um(largo).

Al comparar la distribución final con la planteada en floorplanning(figura 20),observamos que la distancia horizontal del layout coincide con esos 490 um de estimación del ancho de cada bloque, sin embargo, se estimó una distancia vertical menor (315.8um por bloque) que la que finalmente se ocupó(alrededor de 425 um)

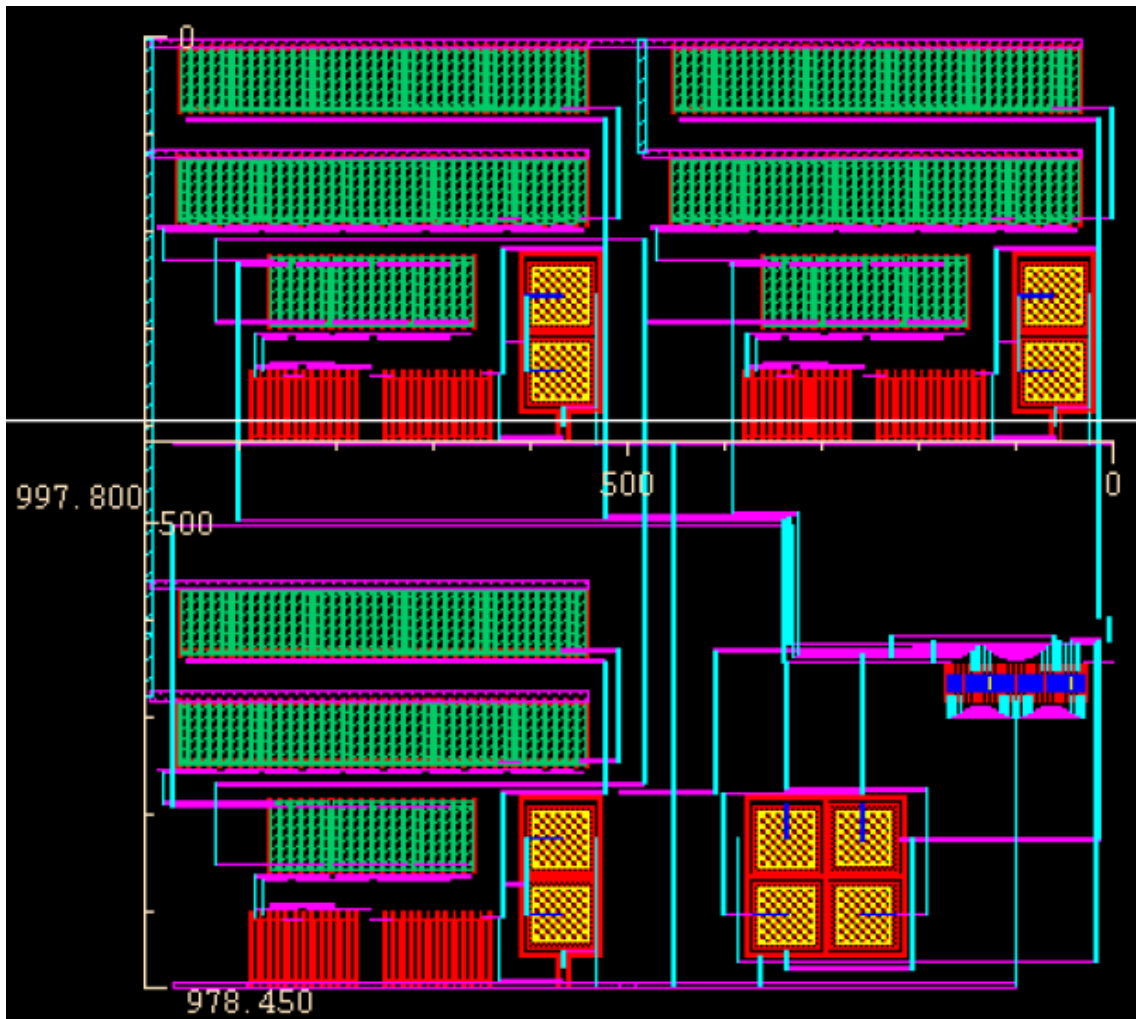


Figura 19

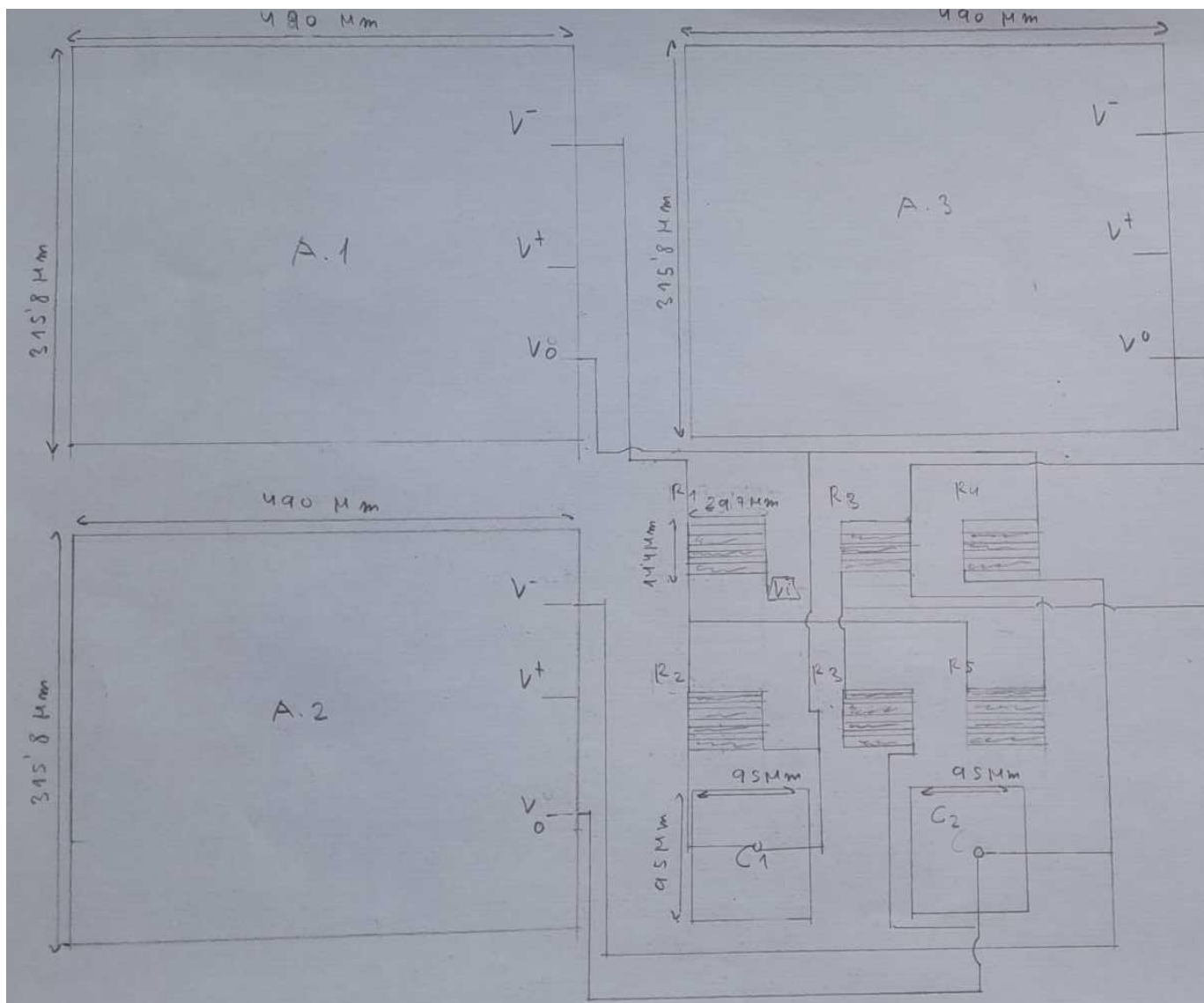


Figura 20

## 5.- Verificación del cumplimiento de las especificaciones de filtro y amplificador

### 5.1.- Amplificador

#### Vista extracted(figura 21):

Nuestros parámetros experimentales serían:

GBW = 137 MHz (GBWt = 135MHZ)

Mf = 60.1 -> entraría dentro del rango [60,70] que nos marcan las especificaciones

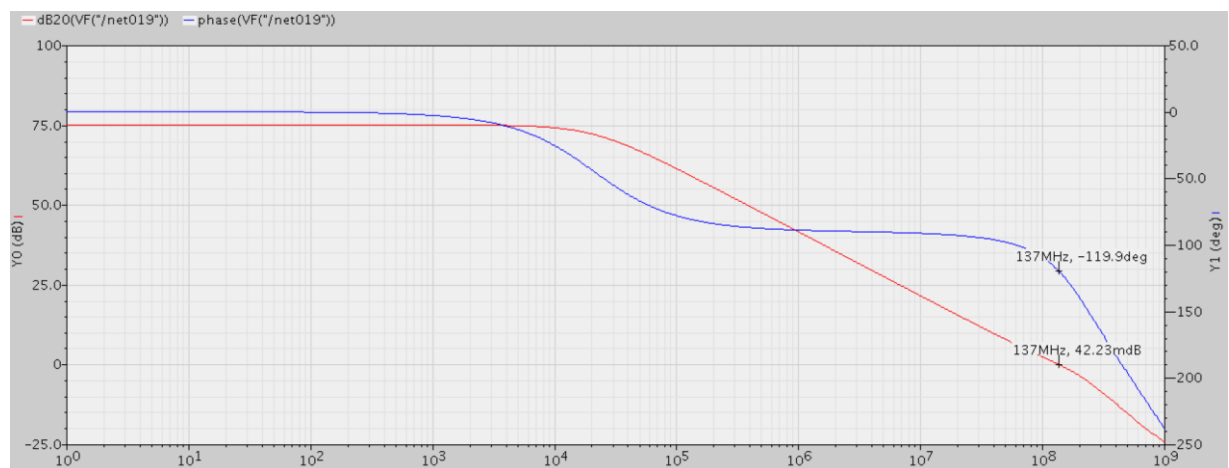


Figura 21

#### Vista schematic(figura 22):

Nuestros parámetros experimentales serían:

GBW = 130.7 MHz (GBWt = 135MHZ)

Mf = 61.7 -> entraría dentro del rango [60,70] que nos marcan las especificaciones

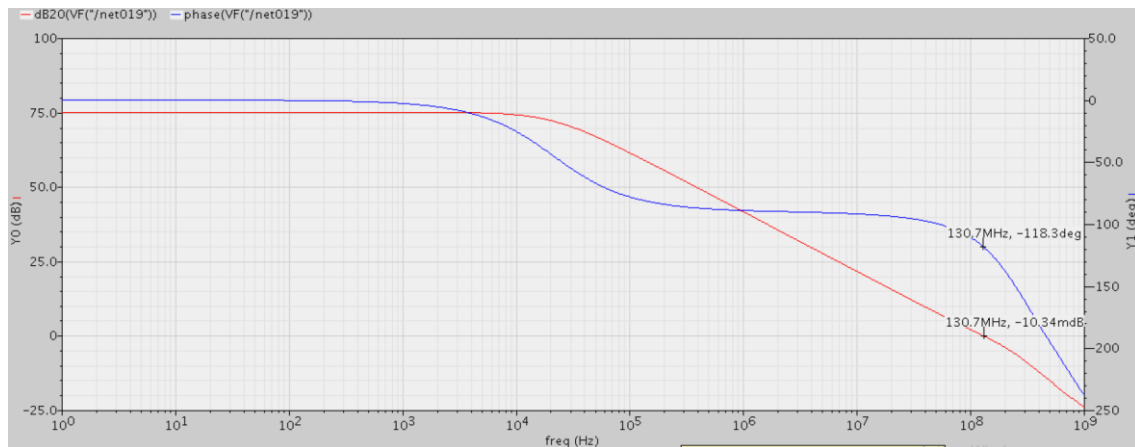


Figura 22

## 5.2.- Filtro

Respuesta frecuencial ->

Vista schematic(figura 23):

Nuestros parámetros experimentales serían:

$G(\text{dB}) = 129.8 \text{ mdB}$

$f_o(\text{Hz}) = 450.1 \text{ kHz}$

$BW(\text{Hz}) = 452.6 \text{ KHz}$

Nuestros parámetros teóricos serían:

$G(\text{dB}) = 0 \text{ dB}$

$f_o(\text{Hz}) = 450 \text{ kHz}$

$BW(\text{Hz}) = 450 \text{ KHz}$

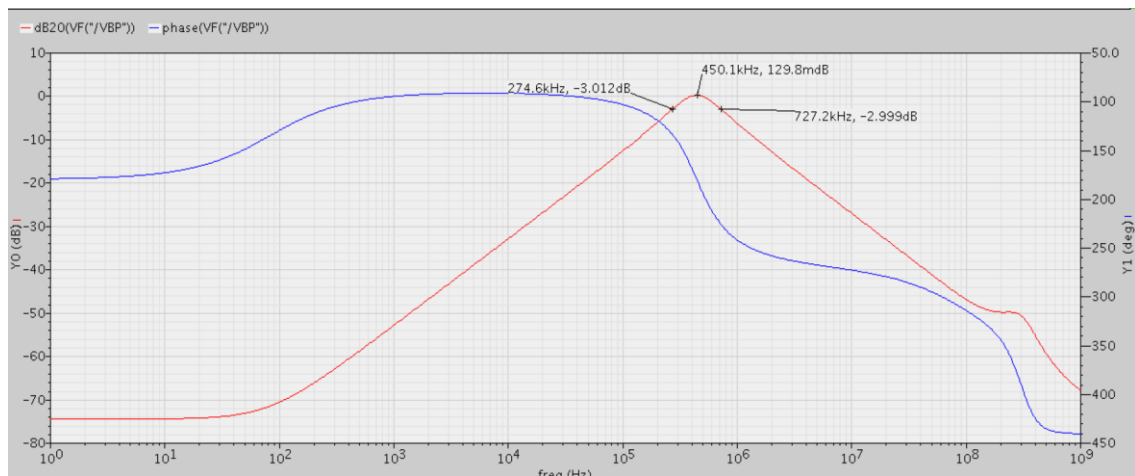


Figura 23

### Vista extracted(figura 24):

Nuestros parámetros experimentales serían:

$G(\text{dB}) = 156 \text{ m dB}$

$f_o(\text{Hz}) = 427.9 \text{ kHz}$

$BW(\text{Hz}) = 439.6 \text{ kHz}$

Nuestros parámetros teóricos serían:

$G(\text{dB}) = 0 \text{ dB}$

$f_o(\text{Hz}) = 450 \text{ kHz}$

$BW(\text{Hz}) = 450 \text{ kHz}$



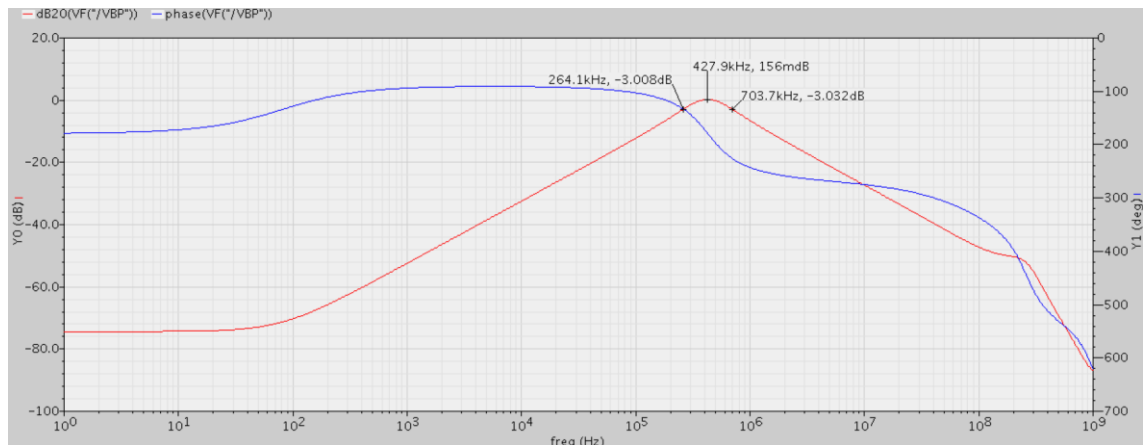


Figura 24

## Respuesta temporal ->

Observamos en vista extracted la respuesta temporal Vbp en un transitorio de 5s y para una entrada de  $V_{in} = 1.65$  V(Figura 25)

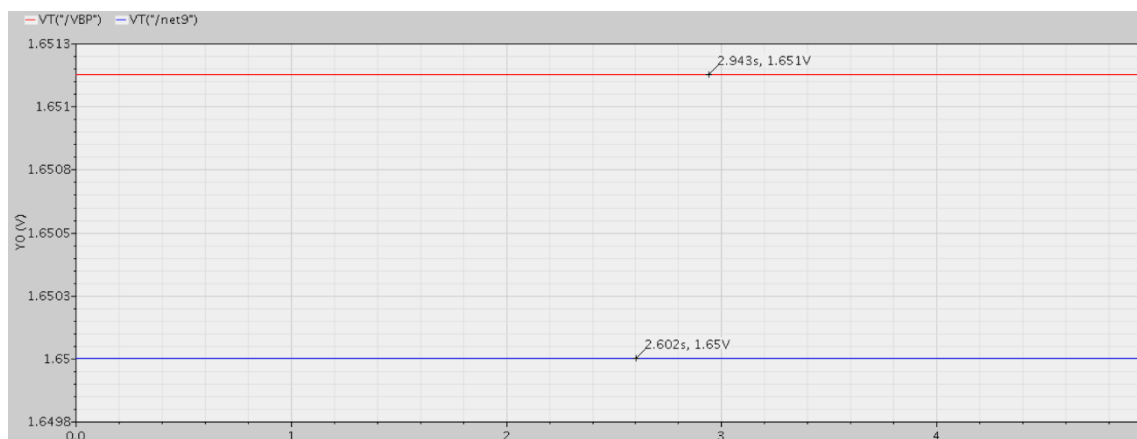


Figura 25

Observamos en vista schematic la respuesta temporal Vbp en un transitorio de 5s y para una entrada de  $V_{in} = 1.65\text{ V}$  (Figura 26)

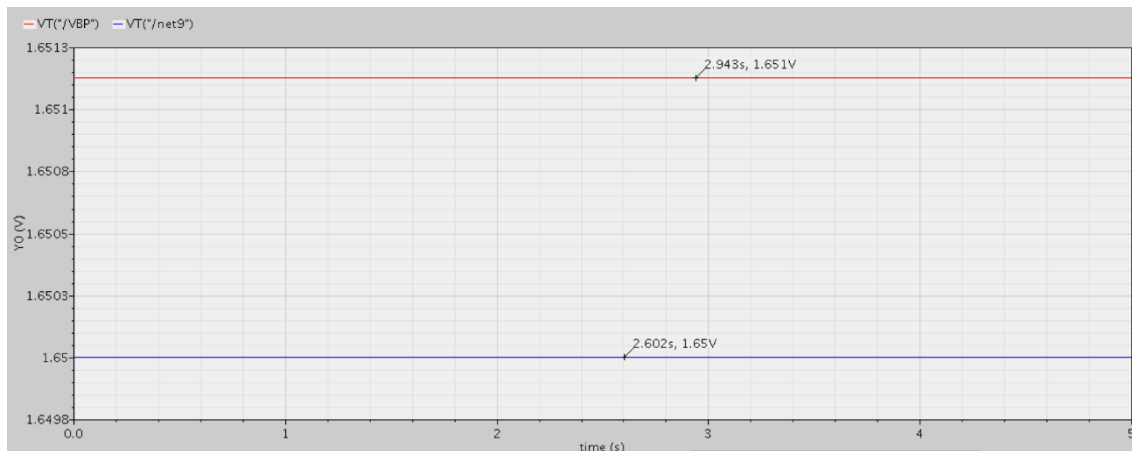
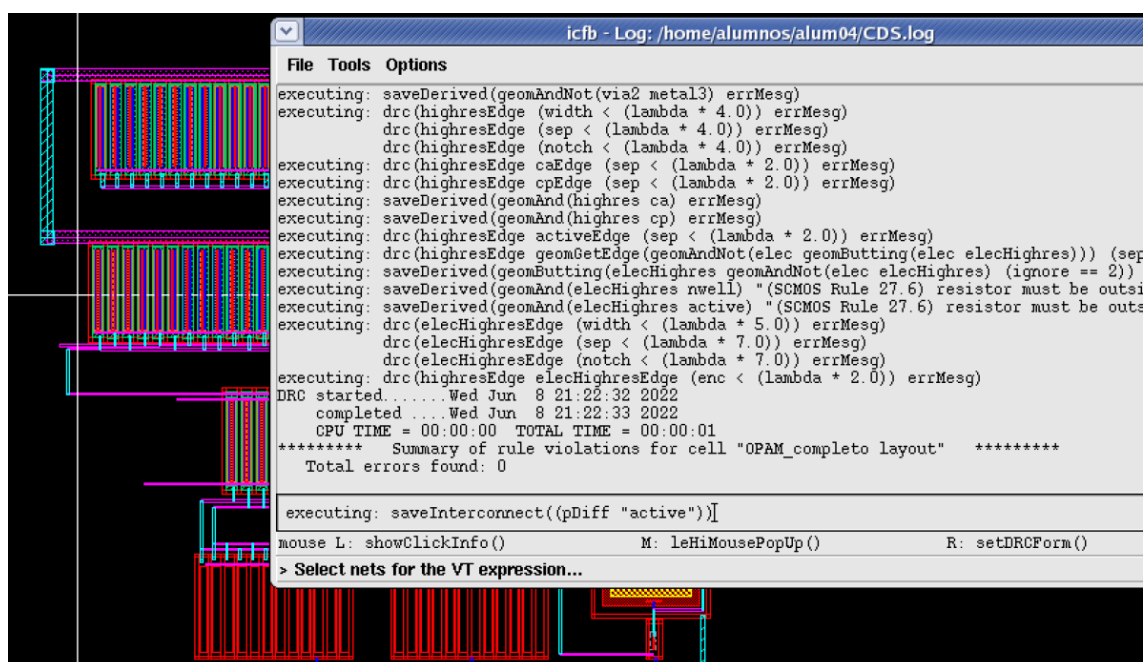


Figura 26

## 6.- Acreditaciones DRC y LVS

Procedemos a adjuntar capturas de estas verificaciones, ya que, a pesar de cumplir los requisitos del filtro en la práctica 10, el layout ha tenido que ser modificado para poder verificar los requisitos en layout.

### 6.1.- Amplificador



```

@(#)CDS: LVS.exe version 5.1.0 06/30/2005 00:09 (cicln03) $

Command line: /redhat_root/ic5.1.41_orig/tools/dfII/bin/32bit/LVS.exe -dir /home/alumnos/alum04/ncsu05um/LVS -l -s -t /home/alumnos/alum04/ncsu05um/LVS/layout /home/a
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.

Net-list summary for /home/alumnos/alum04/ncsu05um/LVS/layout/netlist
count
10      nets
6        terminals
1        res
2        cap
100      pmos
24      rmos

Net-list summary for /home/alumnos/alum04/ncsu05um/LVS/schematic/netlist
count
10      nets
6        terminals
1        res
1        cap
5        pmos
3        rmos

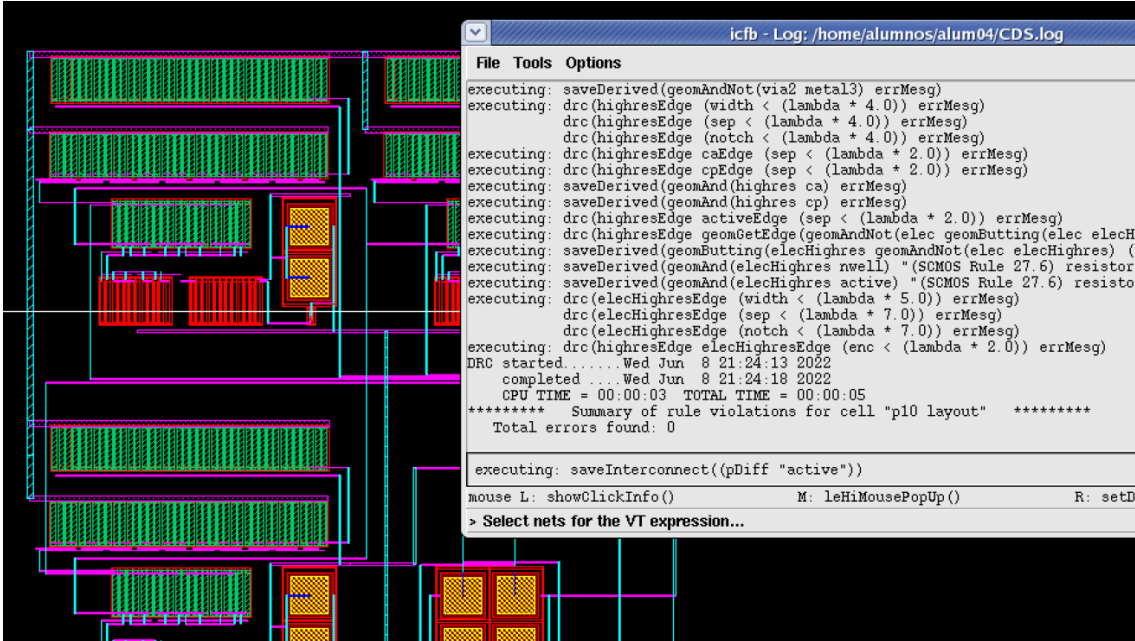
Terminal correspondence points
N7      N1      GND1
N6      N3      Idp
N0      N2      Vdd
N3      N4      Vi+
N9      N7      Vi-
N4      N6      Vo

Devices in the netlist but not in the rules:
pcapacitor
Devices in the rules but not in the netlist:
nfet pfet rmos4 pmos4

The net-lists match.

```

## 6.2.- Filtro



The image shows a PCB layout editor interface. On the left, a complex circuit board is visible with various components and traces. On the right, a log window titled "icfb - Log: /home/alumnos/alum04/CDS.log" displays the results of a Design Rule Check (DRC). The log shows a list of rules being executed, including checks for edge width, spacing, and notches. The summary at the bottom indicates that the DRC was completed successfully with 0 errors found.

```

icfb - Log: /home/alumnos/alum04/CDS.log

File Tools Options

executing: saveDerived(gemAndNot(via2 metal3) errMesg)
executing: drc(highresEdge (width < (lambda * 4.0)) errMesg)
executing: drc(highresEdge (sep < (lambda * 4.0)) errMesg)
executing: drc(highresEdge (notch < (lambda * 4.0)) errMesg)
executing: drc(highresEdge caEdge (sep < (lambda * 2.0)) errMesg)
executing: drc(highresEdge cpEdge (sep < (lambda * 2.0)) errMesg)
executing: saveDerived(gemAnd(highres ca) errMesg)
executing: saveDerived(gemAnd(highres cp) errMesg)
executing: drc(highresEdge activeEdge (sep < (lambda * 2.0)) errMesg)
executing: drc(highresEdge gemGetEdge(gemAndNot(elec gemButting(elec elecH
executing: saveDerived(gemButting(elecHighres gemAndNot(elec elecHighres) (
executing: saveDerived(gemAnd(elecHighres nwell) "(SCMOS Rule 27.6) resistor
executing: saveDerived(gemAnd(elecHighres active) "(SCMOS Rule 27.6) resistor
executing: drc(elecHighresEdge (width < (lambda * 5.0)) errMesg)
executing: drc(elecHighresEdge (sep < (lambda * 7.0)) errMesg)
executing: drc(elecHighresEdge (notch < (lambda * 7.0)) errMesg)
executing: drc(highresEdge elecHighresEdge (enc < (lambda * 2.0)) errMesg)
DRC started .....Wed Jun 8 21:24:13 2022
completed .....Wed Jun 8 21:24:18 2022
CPU TIME = 00:00:03 TOTAL TIME = 00:00:05
***** Summary of rule violations for cell "p10 layout" *****
Total errors found: 0

executing: saveInterconnect((pDiff "active"))

mouse L: showClickInfo() M: leHiMousePopUp() R: setD
> Select nets for the VT expression...

```

The net-lists match.

	layout	schematic
	instances	
un-matched	0	0
rewired	0	0
size errors	0	0
pruned	0	0
active	409	38
total	409	38

	nets	
un-matched	0	0
merged	0	0
pruned	0	0
active	43	25
total	43	25

	terminals	
un-matched	0	0
matched but		
different type	0	0
total	9	9

Probe files from /home/alumnos/alum04/ncsu05um/LVS/schematic

devbad.out:

netbad.out:

mergenet.out:

termbad.out:

prunenet.out:

prunedev.out: