

Universidad Interamericana–Recinto Bayamón

Diseño de Sistemas Digitales

Examen 1

Reglas

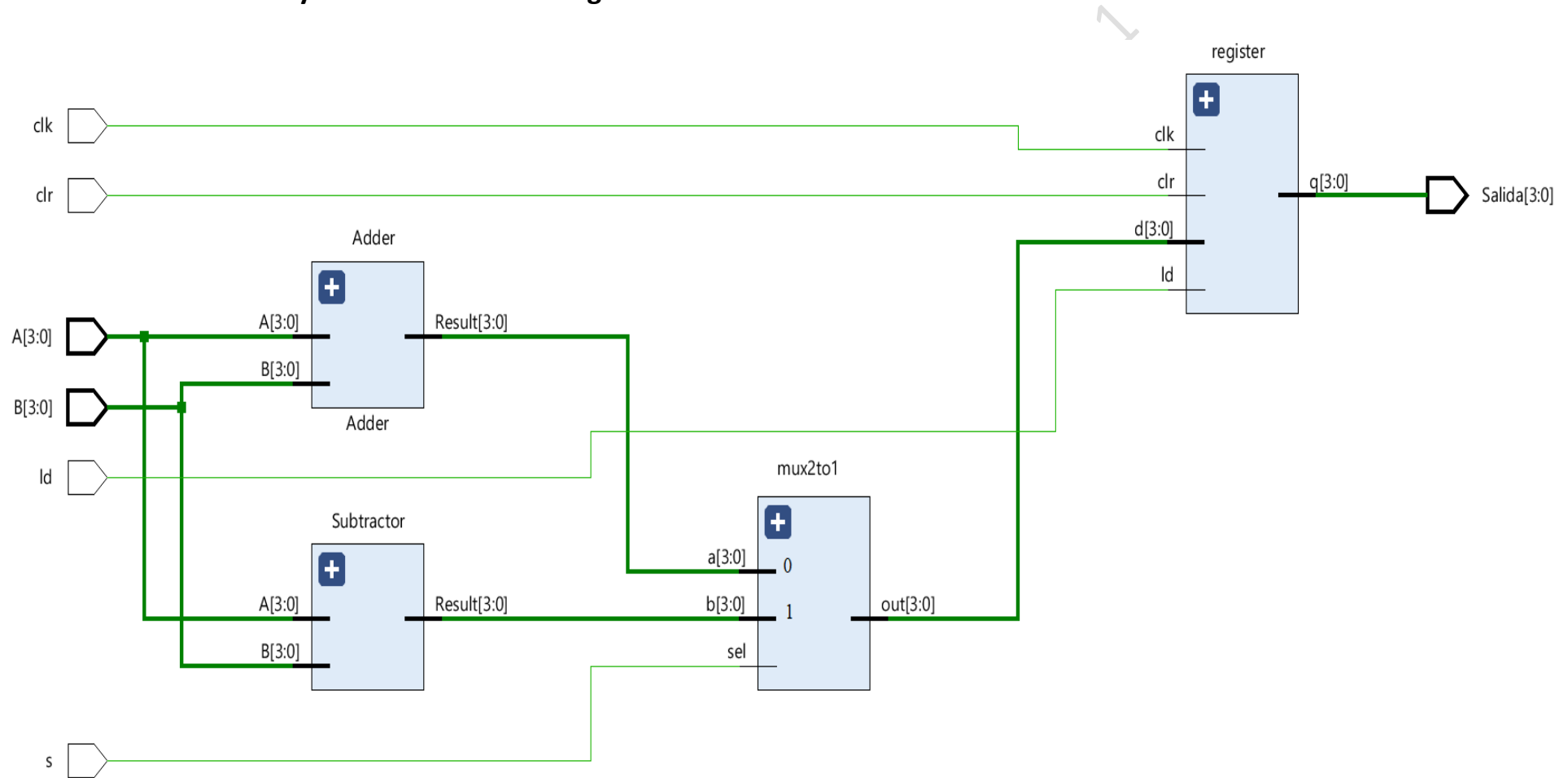
- Permitido: Durante el desarrollo del examen puede utilizar lo siguiente: apuntes de clase (incluye videos en BB), ejercicios de laboratorio desarrollados y libro.
- No permitido: Navegar en Internet (a excepción de Blackboard), colaborar con otros estudiantes o cualquier otra persona. El examen es personal (solo tú)
- Si se encuentra partes del examen (código o texto) repetido en más de un estudiante, los estudiantes involucrados tendrán "F" en el examen.
- El examen tiene un tiempo de inicio y uno de fin. Exámenes entregados fuera del horario tendrán puntos de menos.
- Cumplir con lo establecido en la sección de “Entrega”. La falla en cumplir esta regla conlleva a descontar puntos

Entrega:

- Se adjunta documento en formato Word donde responderá las preguntas del examen
 - Coloque su nombre y firme ese documento
 - Siga todas indicaciones de allí establecidas para las respuestas del examen.
 - Responda las preguntas
 - Convierte el documento a PDF
- Utilizando Blackboard, suba los siguiente:
 1. El documento con las respuesta en formato PDF, con nombre de archivo; ***nombreApellido.pdf***
 2. Archivo comprimido con los códigos en verilog con el formato: ***nombreApellido.zip***. Se adjuntara los siguientes archivos:
 3. Pregunta_1: sumador.v, restador.v, mux.v, registro.v, Top_1.v, Test_1.v
 4. Pregunta_2: comparador.v, contador.v, Top_2.v, Test_2.v

Ejercicios

1. Diseñe los módulos y simule en vivado el siguiente circuito



a) Cree los siguientes módulos: sumador.v, restador.v, mux.v, registro.v, Top_1.v, Test_1.v

b) Agregue al modulo Test_1.v el siguiente código para la simulación:

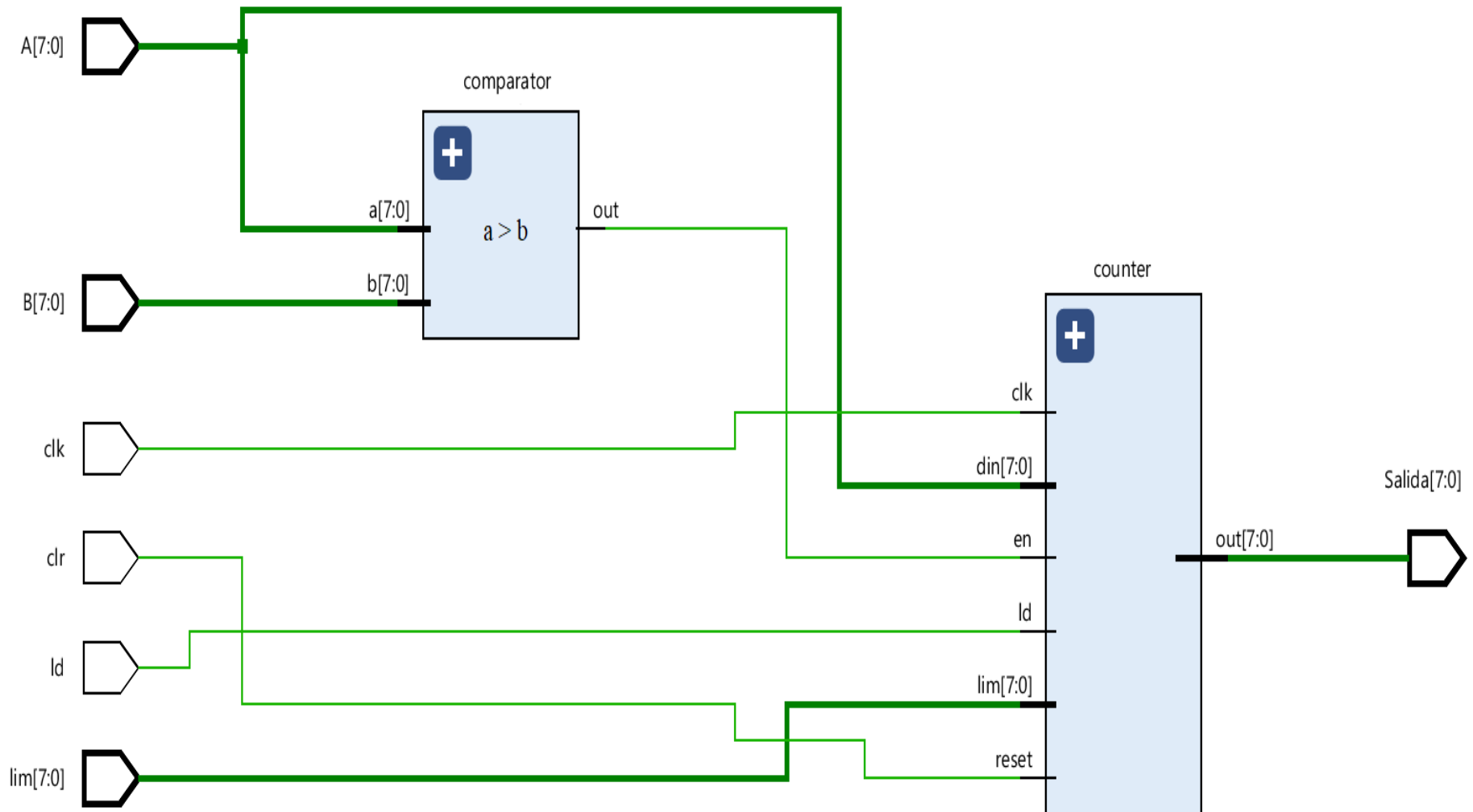
```
initial forever #10 clk = ~clk;

initial begin
    //Initialize Inputs
    clk = 0; clr = 1;
    load = 0; sel =0;
    A =0; B=0;
    // Wait 40 ns for global reset to finish
    #40;

    #20 clr = 0; load=1; A=8;B=2;
    #20 A=14;B=3;
    #20 sel=1;
    #20 A=12;B=4;
    #20 sel=0;
    #20 load=0;A=7;B=3;
    #20 clr = 1;
end

initial
    #300 $finish;
```

2. Diseñe los módulos y simule en vivado el siguiente circuito



a) Cree los siguientes módulos: `comparator.v`, `counter.v`, `Top_2.v`, `Test_2.v`

b) El módulo counter (contador) tiene las siguientes características

Pin	Direction	Description
clk	input	Clock signal
reset	input	Reset=1 -> Count=0
ld	input	1= load (out =din)
en	input	1=count (out+1), 0=not count
din[7:0]	input	8-bit input vector
lim[7:0]	input	Roll over value (count restart when count=limit)
out[7:0]	output	4-bit output vector (the count)
Remember		If ld=1 and en=1 -> count = din+1

c) Agregue al modulo Test_2.v el siguiente código para la simulación:

```
initial begin
```

```
clk = 0; clr = 1;
```

```
load = 0; lim =0;
```

```
A =0; B=0;
```

```
// Wait 20 ns
```

```
#20;
```

```
#20 clr = 0; lim = 4; A=12;B=4;
```

```
#140 load =1;
```

```
#20 A=8;
```

```
#20 A=5;
```

```
#40 A=3;
```

```
#20 A=2; ;
```

```
#20 clr = 1;
```

```
end
```

```
initial
```

```
#320 $finish;
```