



Práctica 3

Núcleo del camino de datos de un procesador

.....

Nombre y Apellidos	
Nombre y Apellidos	

Numero de grupo de laboratorio	
--------------------------------	--

Preguntas En la siguiente tabla se indican los tiempos de retardo de los distintos elementos incluidos en el núcleo del camino de datos de un procesador (página 162).

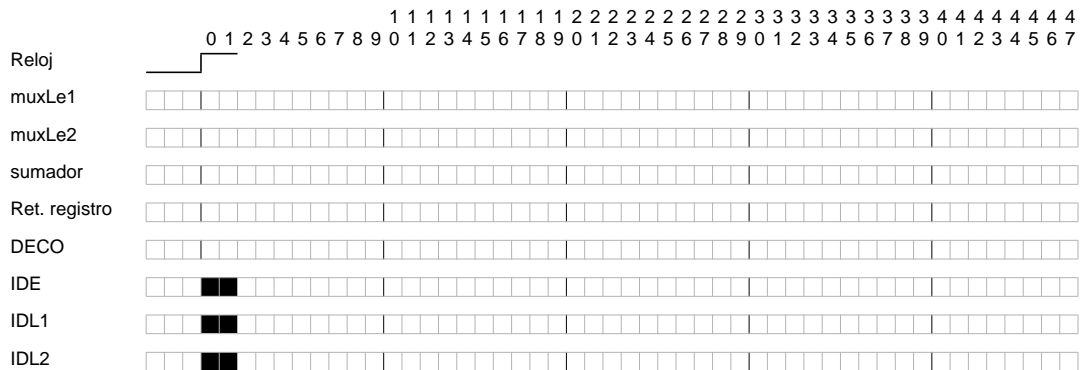
Componentes	Elementos	retardo (ns)
Banco de registros	Decodificador (DECO)	$t_{deco} = 8$
	Multiplexor (muxL)	$t_{muxL} = 10$
	Registro	$t_p = 14$
	Multiplexor (muxE)	$t_{muxE} = 0$
	puerta AND	$t_{AND} = 0$
Sumador		$t_{sum} = 16$
Generador de identificadores de registro		$t_{cont} = 2$

- 1 Considere el proyecto del diseño del banco de registros (página 161). Entregue una copia de la ventana temporal de la simulación que muestre el retardo de los componentes del Banco de registros involucrados en una operación de lectura por el puerto 1. Muestre en el mismo diagrama los retardos de los componentes involucrados en una operación de escritura. Para ello, modifique el programa de prueba si es necesario. Utilice los cursores para mostrar los retardos. Utilice como etiqueta del cursor wl

nombre de la señal (“Análisis de las señales en la ventana temporal” en la página 36).

En los diagramas temporales de las dos siguientes preguntas se ha marcado el retardo con que se observan, respecto al flanco ascendente de la señal Reloj, el valor de los identificadores de registro (IDE, IDL1, IDL2) que genera el módulo control. En el margen izquierdo de los diagramas la etiqueta “Ret. registro” se refiere al retardo de un registro del banco de registros. Las etiquetas muxLe1 y muxLe2 se refieren a los multiplexores de los caminos Le1 y Le2 respectivamente.

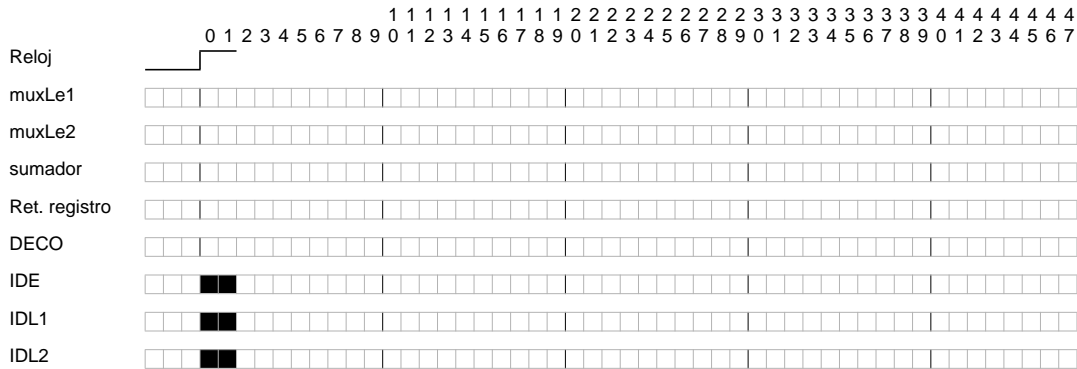
- 2** Suponga la secuencia de operaciones independientes (página 162). Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones ($IDL1 = 1$, $IDL2 = 10$, $IDE = 19$). El retardo de un componente se empieza a marcar a partir del instante de tiempo en el cual todas las señales de entrada, que determinan el valor de su salida, son válidas. En un ciclo de la señal Reloj, entendemos que una señal es válida a partir del instante de tiempo en que no se modifica.



Determine el periodo mínimo de la señal Reloj suponiendo que es cuadrada. Muestre este periodo dibujando en la fila etiquetada como Reloj los intervalos de tiempo en los cuales la señal Reloj está en el nivel lógico 0 y en el nivel lógico 1.

Tiempo de ciclo mínimo (ns)

- 3 Suponga la secuencia de operaciones dependientes (página 162). Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones ($IDL1 = 1$, $IDL2 = 10$, $IDE = 10$).



Determine el periodo mínimo de la señal Reloj suponiendo que es cuadrada. Muestre este periodo dibujando en la fila etiquetada como Reloj los intervalos de tiempo en los cuales la señal Reloj está en el nivel lógico 0 y en el nivel lógico 1.

Tiempo de ciclo mínimo (ns)

- 4 Considere el módulo de control que genera la secuencia de operaciones con dependencias (página 173). Entregue una copia del esquema RTL de la unidad de control efectuada por Quartus. Identifique en el esquema la lógica de próximo estado del autómata principal y de los cuatro autómatas subordinados (página 168).
- 5 Entregue una copia del contenido de la ventana temporal que se obtiene con Modelsim cuando el camino de datos procesa la secuencia de operaciones dependientes (página 162). El objetivo es mostrar que el periodo del reloj es correcto. Por tanto, en la ventana de tiempo se debe poder identificar claramente el periodo de la señal de reloj. Identifique en el cronograma el ciclo correspondiente a la segunda operación y muestre los retardos de los componentes mediante cursores.

