



Práctica 5

Procesador: segmentación lineal, camino de datos y control

.....

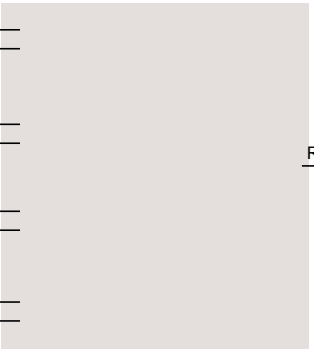
Nombre y Apellidos	
Nombre y Apellidos	

Número de grupo de laboratorio	
--------------------------------	--

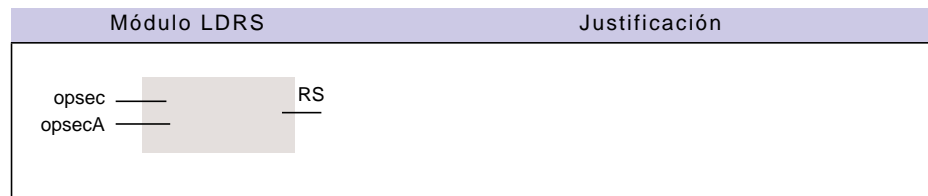
- Preguntas**
- Para todos los módulos que se solicita un diseño, el cual deba incluirse en el camino de datos para comprobar el funcionamiento del procesador, en la distribución del proyecto está incluido el fichero correspondiente, con la declaración de la interface y, si es el caso, la sentencias concurrentes que especifican el retardo. No debe modificarse la interface ni la especificación de los retardos.
- 1 Diseñe el módulo LDD utilizando el menor número posible de puertas lógicas y comparadores (“Diseño de la lógica de interbloqueos” en la página 328). Justifique el diseño de forma sucinta y sistemática.

Módulo LDD										Justificación
IDL1	IDL2	rs1	rs2	rd _A	rd _M	rd _F	rd _E	valIDL1	valIDL2	
0								vrs1	vrs2	PBR _A PBR _M PBR _F PBR _E
										IDL1A
										IDL1M
										IDL1F
										IDL1E
										IDL2A
										IDL2M
										IDL2F
										IDL2E

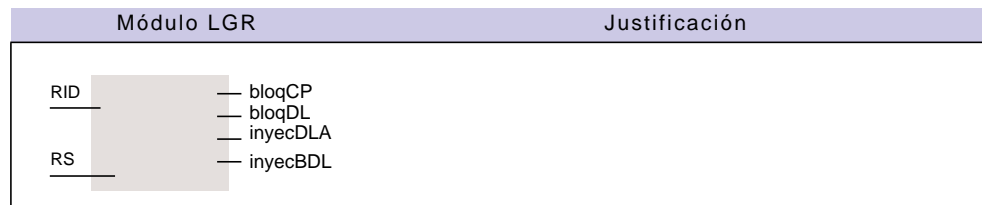
2 Diseñe el módulo LDRD utilizando el menor número posible de puertas lógicas, limitando el número de entradas a 2. Justifique el diseño de forma sucinta y sistemática.

Módulo LDRD		Justificación
IDL1A		
IDL1M		
IDL1F		
IDL1E		<u>RID</u>
IDL2A		
IDL2M		
IDL2F		
IDL2E		

- 3 Diseñe el módulo LDRS utilizando el menor número posible de puertas lógicas, limitando el número de entradas a 2. Justifique el diseño de forma sucinta y sistemática.



- 4 Diseñe el módulo LGR utilizando el menor número posible de puertas lógicas, limitando el número de entradas a 2. Justifique el diseño de forma sucinta y sistemática.



- 5 En el subdirectorio LIB (Apéndice 5.2) se encuentran los ficheros asociados al diseño de la Lógica de InterBloqueos (proyecto quartus LIB.qpf). Describa en VHDL los 4 módulos anteriores (ficheros LDD.vhd, LDRD.vhd, LDRS.vhd y LGR.vhd), utilizando un modelo estructural. Los ficheros contienen la declaración de la interface. El módulo LDD tiene una estructura regular. Utilice sentencias generate en la descripción VHDL. Entregue el esquema RTL del módulo LDD elaborado por quartus. Compruebe conjuntamente el diseño de los 4 módulos anteriores. El programa de prueba suministrado (prueba_LIB.vhd) compara en cada ciclo las salidas de los módulos diseñados con los respectivos modelos de referencia correctos¹.
- 6 Utilice el programa euclides² para comprobar el funcionamiento del procesador segmentado ("Simulación" en la página 341). Añada un proceso al programa de prueba (ENSAMBLADO/PRUEBAS/prueba_Rproc_MD_MI.vhd) para obtener las métricas indicadas en la tabla. Calcule la ganancia respecto del procesador serie.

Instrucciones ejecutadas		Instrucciones de secuenciamiento	
Dependencias de datos 4 ciclos de bloqueo		Dependencias de datos 3 ciclos de bloqueo	
Dependencias de datos 2 ciclos de bloqueo		Dependencias de datos 1 ciclo de bloqueo	
Ciclos perdidos por riesgos de datos		Ciclos perdidos por riesgos de secuenciamiento	
CPI		Ganancia	

1. Los modelos de referencia están encriptados.
2. El directorio "programas" es un enlace simbólico al directorio con el mismo nombre de la práctica 4. Los ficheros CODI_imem.hex y DADES_dmem.hex son también enlaces simbólicos.

Las señales s_RID y s_RS, en el programa de prueba, indican respectivamente si, en el ciclo actual³, se produce un riesgo de datos o de secuenciamiento.

- 7 Entregue una copia de la ventana de tiempo correspondiente a la ejecución de la segunda y tercera iteración del programa de prueba euclides. Tenga en cuenta la forma de representar las instrucciones (“Evolución de las señales del camino de datos” en la página 343) para explicar la ventana temporal. Identifique claramente los ciclos perdidos por riesgos de datos. Para ello, marque los ciclos en los cuales la etapa E está procesando nops inyectadas por la lógica de interbloqueos.
- 8 Suponga que se modifica el periodo de la señal de reloj para permitir leer en un mismo ciclo el valor con el cual se está actualizando un registro del banco de registros. Deduzca cuál debería ser el tiempo el tiempo de ciclo mínimo⁴.

tiempo de ciclo mínimo (ns)	
-----------------------------	--

Utilizando los resultados de la pregunta 6 para el programa euclides, cuantifique si el rendimiento de esta opción sería mejor.

Instrucciones ejecutadas		Instrucciones de secuenciamiento	
Dependencias de datos 4 ciclos de bloqueo		Dependencias de datos 3 ciclos de bloqueo	
Dependencias de datos 2 ciclos de bloqueo		Dependencias de datos 1 ciclo de bloqueo	
Ciclos perdidos por riesgos de datos		Ciclos perdidos por riesgos de secuenciamiento	
CPI		Ganancia/Pérdida	

Justifique la respuesta.

3. s_RID'delayed(0 fs), s_RS'delayed(0 fs).
4. Los retardos de los otros componentes no se modifican.