

# Práctica 2

## Sumador de 4 bits

• • • • •

Nombre y Apellidos	
Nombre y Apellidos	

Numero de grupo de laboratorio	
--------------------------------	--

### Preguntas

- 1 Considere el sumador de 4 bits especificado en VHDL mediante sentencias generate (página 83). Entregue la elaboración RTL que efectúa Quartus del diseño. Debe visualizarse la especificación RTL de uno de los sumadores.

La siguiente pregunta se refiere al sumador de 4 bits con propagación serie del acarreo descrito (“Esquema de un circuito sumador de 4 bits” en la página 57).

- 2 Suponga que antes del instante de tiempo t0 todas las señales del sumador son estables y que en este instante solo cambia una las 9 señales de entrada. Suponga también que la última señal de salida que se estabiliza es s2 en el instante t1. Indique el retardo del circuito (caso peor), los valores de las entradas antes del instante t0 y en el instante t0. Modifique el programa de prueba (prueba\_S4bits.vhd) añadiendo un proceso que genere las señales de entrada correspondientes (Figura 2.41, “Generación de señales de estímulo mediante el constructor “process”.” en la página 93). Considere t0=200 ns. Compruebe el resultado con el simulador.Tenga en cuenta que los parámetros asociados a los retardos de las puertas se establecen al instanciar el componente S4bits en el programa de prueba (“Modelos parametrizados” en la página 63).

Entradas ( $t < t_0$ )				Entradas ( $t = t_0$ )			retardo ( $t_1 - t_0$ )
A	B	$c_{en}$		A	B	$c_{en}$	ret1 (ns)
Justificación							

Muestre el código del proceso de generación de los estímulos.

Proceso de generación de las señales de estímulos (pruebaS4bits.vhd)

estimos: process  
begin

Entregue una copia de la ventana temporal generado con Modelsim. Los bits del resultado (“Sum”) deben observarse individualmente.

3 Considere el sumador de 4 bits especificado en VHDL mediante sentencias generate (página 83). Tenga en cuenta que, en este diseño, los parámetros asociados a los retardos de las puertas se establecen al instanciar los componentes s1bits en el fichero snbits.vhd. Modifique el programa de pruebas (prueba\_snbits\_reloj.vhd) para que imprima el primer valor de las entradas en el que se observa el retardo máximo y el mínimo (página 99). Utilice los ficheros wave\_reloj.do y formato\_ventana.do, ubicados en el directorio PRUEBAS, para formatear las señales en la ventana temporal y eliminar algunos mensajes de advertencia (warnings) en la ventana textual.

vectores de bits					retardo mínimo	Justificación
A						
B						
c <sub>en</sub>						
vectores de bits					retardo máximo	Justificación
A						
B						
c <sub>en</sub>						

Entregue sendas capturas de la ventana temporal generada por Modelsim donde se observe cada uno de los casos. Para ello utilice cursores.

