31	27	26	25	24		20	19	15	14	12	11	7	6	0	
	funct7				rs2		r	s1	fun	ct3		rd	op	code	R-type
	in	nm[11:0)]			r	s1	fun	ct3		rd	op	code	I-type
	imm[11:5	5]			rs2		r	s1	fun	ct3	im	m[4:0]	op	code	S-type
i	mm[12 10]):5]			rs2		r	s1	fun	ct3	imn	n[4:1 11]	op	code	B-type
	imm[31:12]											rd	op	code	U-type
imm[20 10:1 11 19:12]										rd	op	code	J-type		

 ${\bf RV32I~Base~Instruction~Set}$

			m[31:12]	rd	0110111	LUI		
			m[31:12]			rd	0010111	AUIPC
	imr	n[20	10:1 11 19	9:12]		rd	1101111	JAL
	nm[11:0	0]		rs1	000	rd	1100111	JALR
imm[12 10]			rs2	rs1	000	imm[4:1 11]	1100011	BEQ
imm[12 10):5]		rs2	rs1	001	imm[4:1 11]	1100011	BNE
imm[12 10]):5]		rs2	rs1	100	imm[4:1 11]	1100011	BLT
imm[12 10]	10:5] rs2			rs1	101	imm[4:1 11]	1100011	BGE
imm[12 10]			rs2	rs1	110	imm[4:1 11]	1100011	BLTU
imm[12 10]	imm[12 10:5] rs2			rs1	111	imm[4:1 11]	1100011	BGEU
	nm[11:0			rs1	000	rd	0000011] LB
ir	nm[11:0	0]		rs1	001	rd	0000011	LH
ir	nm[11:0	0]		rs1	010	rd	0000011	LW
ir	nm[11:0	0]		rs1 100 rd		0000011	LBU	
ir	nm[11:0	0]		rs1 101		rd	0000011	LHU
	imm[11:5] rs2			rs1	000	imm[4:0]	0100011	$ begin{array}{c} \operatorname{SB} \end{array}$
imm[11:			rs2	rs1	001	imm[4:0]	0100011	SH
imm[11:	5]		rs2	rs1	rs1 010 imm[4:0]		0100011	SW
ir	nm[11:0]	0]		rs1	000	rd	0010011	ADDI
ir	nm[11:0	0]		rs1	010	rd	0010011	SLTI
	nm[11:0			rs1	011	rd	0010011	SLTIU
	nm[11:0			rs1	100	rd	0010011	XORI
	nm[11:0			rs1	110	rd	0010011	ORI
	nm[11:0			rs1	111	rd	0010011	ANDI
0000000		5	shamt	rs1	001	rd	0010011	SLLI
0000000			shamt	rs1	101	rd	0010011	SRLI
0100000		5	shamt	rs1	101	rd	0010011	SRAI
0000000		rs2	rs1	000	rd	0110011	ADD	
0100000			rs2	rs1	000	rd	0110011	SUB
0000000		rs2	rs1	001	rd	0110011	SLL	
0000000	rs2		rs1	010	rd	0110011] SLT	
0000000		rs2	rs1	011	rd	0110011	SLTU	
0000000			rs2	rs1	100	rd	0110011	XOR
0000000			rs2	rs1	101	rd	0110011	SRL
0100000 rs2				rs1	101	rd	0110011	SRA
0000000			rs2	rs1	110	rd	0110011	OR
0000000			rs2	rs1	111	rd	0110011	AND
0000	pred		succ	00000	000	00000	0001111	FENCE
0000	000		0000	00000	001	00000	0001111	FENCE.I
	000000			00000	000	00000	1110011	ECALL
000	000000	001		00000	000	00000	1110011	BREAK
	csr			rs1	001	rd	1110011	CSRRW
	csr			rs1	010	rd	1110011	CSRRS
	csr			rs1	011	rd	1110011	CSRRC
	csr			zimm	101	rd	1110011	CSRRWI
	csr			zimm	110	rd	1110011	CSRRSI
	csr			$_{ m zimm}$	111	rd	1110011	CSRRCI