

## Αναφορά Εργαστηρίου 1

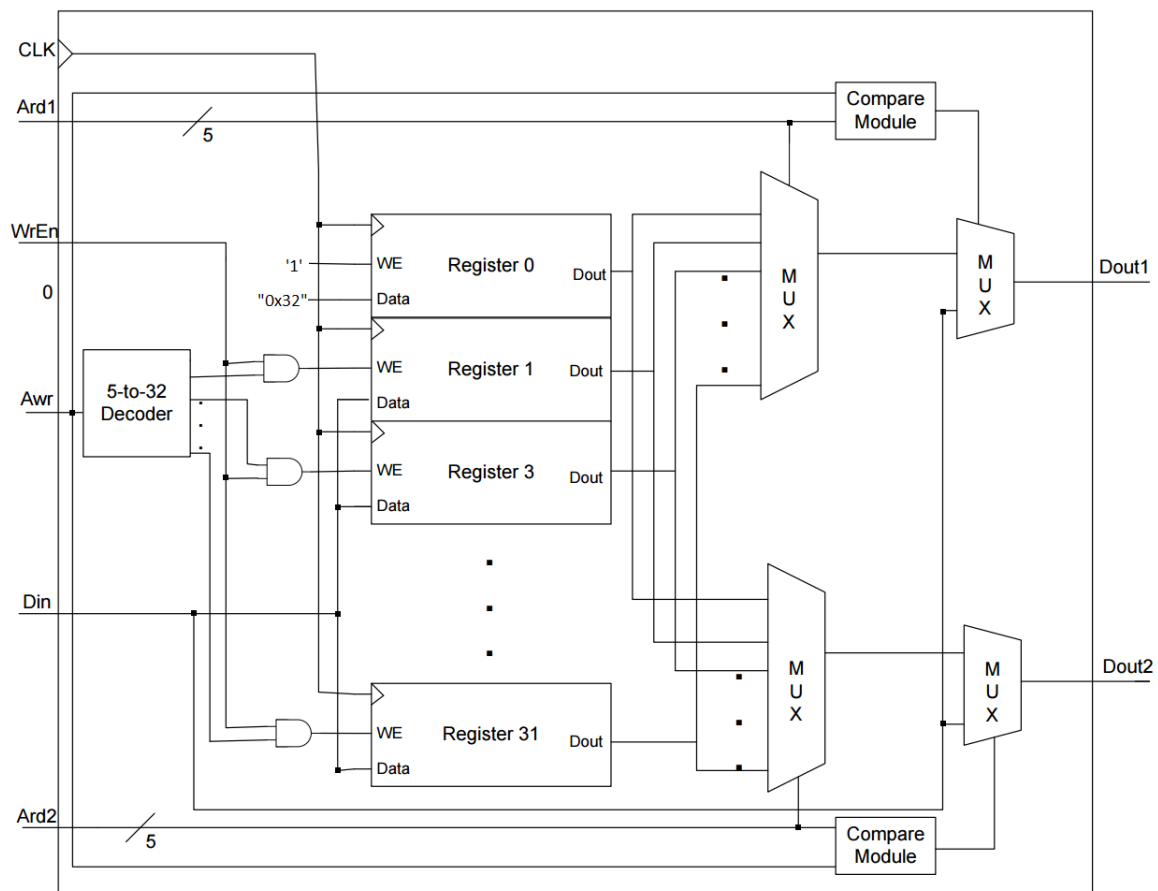
Ομάδα

Δακανάλης Μιχαήλ

Πετράκος Μανώλης

### Προεργασία

Το τελικό σχήμα του Register File.



### Περιγραφή

ALU:

Είναι γραμμένη με Behavioral τρόπο και κάνει τις εξής λογικές και αριθμητικές λειτουργίες:

1. Πρόσθεση. Γίνεται σε 33 bits ώστε να μην χαθεί η πληροφορία του carry out με αυτόν τον τρόπο:  $OutEs \leq ('0' \& A) + ('0' \& B)$ ; Τα bit από 31 μέχρι 0 είναι το αποτέλεσμα της πράξης και το 32 bits είναι το carry out. Ο έλεγχος για overflow γίνεται κοιτώντας αν μια πρόσθεση δύο θετικών βγάζει αρνητικό ή μια πρόσθεση δύο αρνητικών βγάλει θετικό.

2. Αφαίρεση. Γίνεται με την πρόσθεση του 2's complement του δεύτερου όρου στον πρώτο και γίνεται σε 33 bits για να δούμε το carry out. Ο έλεγχος για overflow γίνεται κοιτώντας αν ένας θετικός πλην ένα αρνητικό βγάλει αρνητικό ή αν ένας αρνητικός πλην ένα θετικό βγάλει θετικό.
3. Λογικό AND.
4. Λογικό OR.
5. Λογικό NOT.
6. Λογική ολίσθηση δεξιά κατά 1 θέση. Στο MSB μπαίνει '0'.
7. Λογική ολίσθηση αριστερά κατά 1 θέση. Στο LSB μπαίνει '0'.
8. Κυκλική ολίσθηση αριστερά κατά 1 θέση. Στο LSB μπαίνει το MSB.
9. Κυκλική ολίσθηση δεξιά κατά 1 θέση. Στο MSB μπαίνει το LSB.

Σε όλες τις λειτουργίες γίνεται ένας έλεγχος αν το αποτέλεσμα είναι '0' και φαίνεται με το σήμα Zero.

## Register File:

Το αρχείο καταχωρητών είναι ένα σύγχρονο κύκλωμα γραμμένο σε structural. Γράφει σε ένα καταχωρητή από τους 32 που έχει και διαβάζει άλλους 2 από αυτούς.

Αποτελείται από τα επιμέρους στοιχεία:

1. 5 to 32 Decoder. Παίρνει την είσοδο Awr και με την χρήση demux βγάζει 1 στην έξοδο που δείχνει το Awr και 0 στις υπόλοιπες.
2. 32 Register των 32 bits. Έχουν σαν είσοδο δεδομένων το Din και σαν είσοδο ελέγχου την αντίστοιχη έξοδο του decoder AND. Π.χ. Το WE του δέκατου καταχωρητή είναι decoderOut(10) AND WrEn. Επίσης ο καταχωρητής 0 ξεχωρίζει από τους υπόλοιπους γιατί έχει πάντα την τιμή 0 και δεν μπορούμε να την αλλάξουμε.
3. 2 Mux 32 to 1 των 32 bits. Με σήμα ελέγχου το αντίστοιχο Ard και σήματα δεδομένων όλες τις εξόδους των καταχωρητών επιλέγει τον καταχωρητή που θέλουμε να διαβάσουμε.
4. 2 Compare Modules. Έχουν είσοδο Din και το αντίστοιχο Ard. Εφόσον αυτά τα δύο είναι ίδια θα βγάλει έξοδο 1 αλλιώς 0.
5. 2 Mux των 32 bits. Ως είσοδο δεδομένων έχουν την έξοδο από το αντίστοιχο mux 32 to 1 και Ard. Το σήμα ελέγχου είναι η έξοδος από το compare module. Ο λόγος που τον χρησιμοποιούμε είναι πως αν θέλουμε να διαβάσουμε και να γράψουμε ταυτόχρονα τον ίδιο καταχωρητή η έξοδος να βγάζει κατευθείαν την είσοδο, επειδή οι έξοδοι των καταχωρητών είναι ένα κύκλο πίσω.

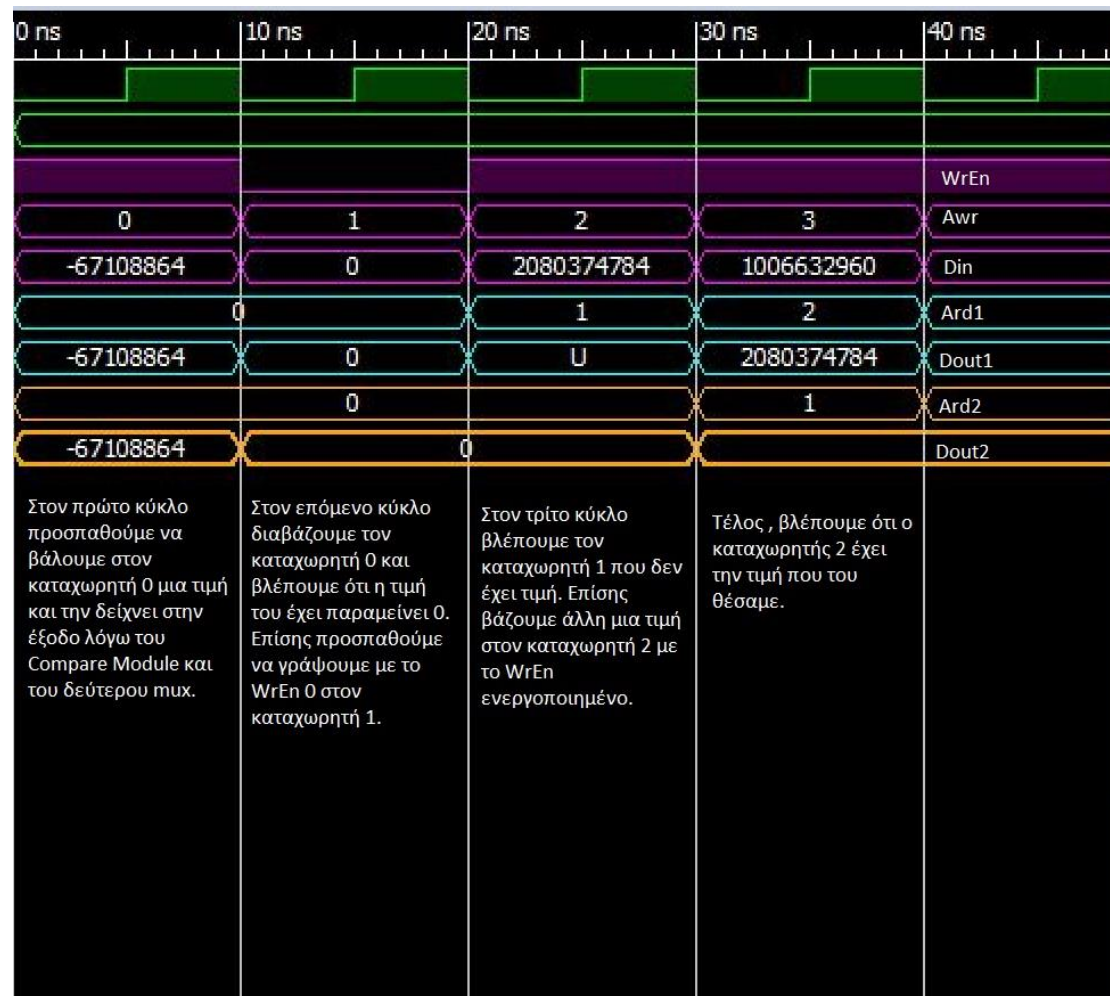
ALU:

| 500 ns                               | 550 ns                            | 600 ns                              | 650 ns                                  | 700 ns  | 750 ns  | 800 ns           | 850 ns           | 900 ns             | 950 ns           | 1,000 ns         | 1,050 ns         |
|--------------------------------------|-----------------------------------|-------------------------------------|---|---|---|------------------|------------------|--------------------|------------------|------------------|------------------|
| 0000111111101111                     | 1111111000011111                  | 0100111111101111                    | 1111111000011111                        | 0000000000000000                                | 0000000000000001                                  | 1000000000000000 | 0000000000000001 | 1000001111111011   | 0111111110011111 | 0000111111101111 | 1111111000011111 |
| 1000000000000000                     | 1111100000000010                  | 1100000000000001                    | 1111100000000010                        | 0000000000000000                                | 0000000000000010                                  | 1000000000000000 | 0000000000000010 | 011100111000000000 | 0000000000000010 | 1000000000000001 | 1111100000000010 |
|                                      | 0000                              |                                     |   |   |   |                  |                  |                    | 0001             |                  |                  |
| 1000111111100011                     | 1110111000100011                  | 0000111111110001                    | 1110111000100011                        | 1111111111111111                                | 1111111111111111                                  | 1111111111111111 | 1111111111111111 | 0001000011111110   | 0111111111001111 | 1000111111101110 | 0000111000001110 |
|                                      |                                   |                                     |   |   |   |                  |                  |                    |                  |                  |                  |
|                                      |                                   |                                     |   |   |   |                  |                  |                    |                  |                  |                  |
|                                      |                                   |                                     |   |   |   |                  |                  |                    |                  |                  |                  |
|                                      |                                   |                                     |   |   |   |                  |                  |                    |                  |                  |                  |
| Θετικό και αρνητικό χωρίς Carry Out. | Θετικό και αρνητικό με Carry Out. | Θετικό πλην Θετικό χωρίς Carry Out. | Αρνητικό πλην Αρνητικό χωρίς Carry Out. | Αρνητικό πλην Θετικό με Carry Out και overflow. | Θετικό πλην Αρνητικό με overflow χωρίς Carry Out. |                  |                  |                    |                  |                  |                  |

[illegible]

| 1,800 ns                      | 1,850 ns         | 1,900 ns                   | 1,950 ns         | 2,000 ns                | 2,050 ns         | 2,100 ns         | 2,150 ns |
|-------------------------------|------------------|----------------------------|------------------|-------------------------|------------------|------------------|----------|
|                               |                  |                            | 0100100100110111 | 1001111000000111        |                  |                  |          |
|                               |                  | 100000000000000011         | 11001110111100   |                         |                  |                  |          |
| 1010                          |                  | 1100                       |                  |                         |                  | 1101             |          |
|                               | 1001001001101111 | 1011110000001110           |                  |                         | 1010010010011011 | 1100111100000011 |          |
|                               |                  |                            |                  |                         |                  |                  |          |
|                               |                  |                            |                  |                         |                  |                  |          |
| Αριθμητική ολίσθηση Αριστερά. |                  | Κυκλική ολίσθηση Αριστερά. |                  | Κυκλική ολίσθηση Δεξιά. |                  |                  |          |

Register File:



## Συμπεράσματα

Θυμηθήκαμε να γράφουμε vhdl με behavioral και structural σχεδίαση. Δε χρειάστηκαν παραπάνω γνώσεις από πέρυσι άρα δεν μάθαμε τίποτα καινούριο.