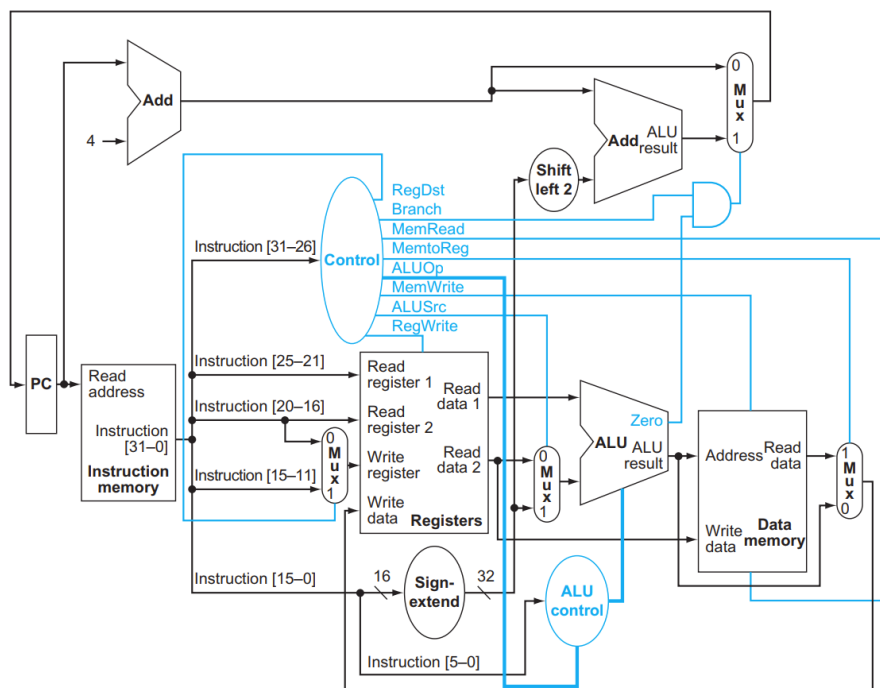
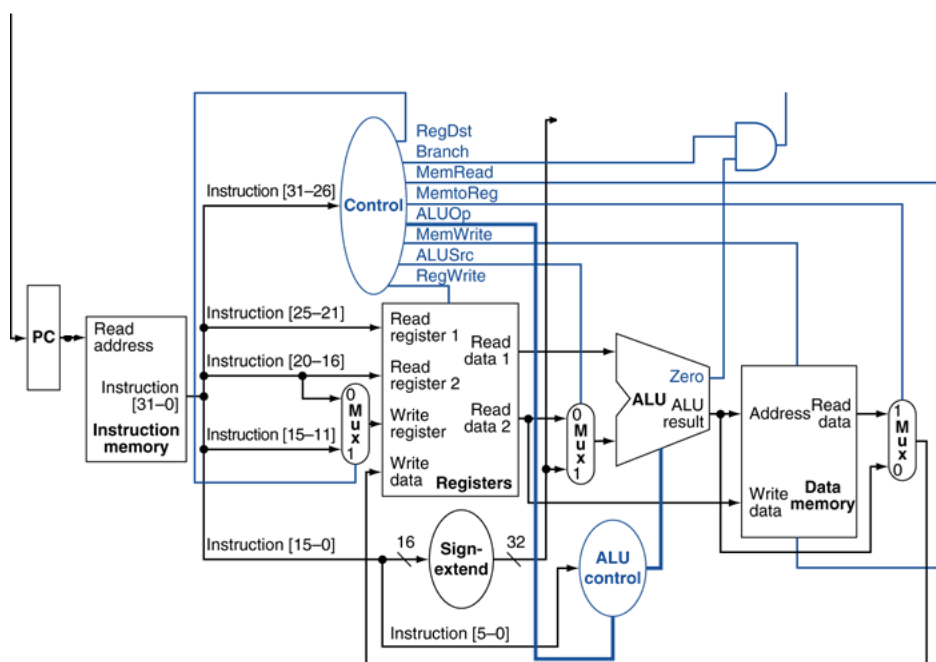


学号：_____ 姓名：_____ 得分：_____

1. 请画出单周期数据通路中的地址更新电路



额外补充 jump 电路也可以

2. 在第 1 题给出的在单周期数据通路上执行 add t0,t1,s2 时，假设 t0/t1/s2 寄存器值分别为 10/15/20，请问寄存器部件 read register1 和 register2 输入的数值是什么？Read data2 输出的数值多少？

答：

Name	Register number	Usage	Preserved on call?
\$zero	0	The constant value 0	n.a.
\$v0-\$v1	2-3	Values for results and expression evaluation	no
\$a0-\$a3	4-7	Arguments	no
\$t0-\$t7	8-15	Temporaries	no
\$s0-\$s7	16-23	Saved	yes
\$t8-\$t9	24-25	More temporaries	no
\$gp	28	Global pointer	yes
\$sp	29	Stack pointer	yes
\$fp	30	Frame pointer	yes
\$ra	31	Return address	yes

查表可知，t1 和 s2 的寄存器号分别为 9,18。

因此，寄存器部件 read register1 和 read register2 输入的数值分别为 9，18；Read data2 输出的数值为 20。

3. 将以下代码翻译成 C 代码，假定 t1 存放 c 语言整数变量 i，s2 存放整数变量 result，s0 存放整数数组 MemArray 起始地址。

```
    addi $t1, $0, $0
LOOP: lw  $s1, 0($s0)
    add  $s2, $s2, $s1
    addi $s0, $s0, 4

    addi $t1, $t1, 1
    slti $t2, $t1, 100
    bne  $t2, $zero LOOP
```

```
i = 0;
do {
    result += *MemArray;
    MemArray++;
    i++;
} while(i < 100);
```

或者

```
for(i = 0; i < 100; i++) result += MemArray[i];
```

4. 对于第 1 题给出的在单周期数据通路，请完成控制部件的真值表：

Input or output	Signal name	R-format	lw	sw	beq
Inputs	Op5				
	Op4				
	Op3				
	Op2				
	Op1				
	Op0				
Outputs	RegDst				
	ALUSrc				
	MemtoReg				
	RegWrite				
	MemRead	0	1	0	0
	MemWrite	0	0	1	0
	Branch	0	0	0	1
	ALUOp1	1	0	0	0
	ALUOp0	0	0	0	1

答：

Input or output	Signal name	R-format	lw	sw	beq
Inputs	Op5	0	1	1	0
	Op4	0	0	0	0
	Op3	0	0	1	0
	Op2	0	0	0	1
	Op1	0	1	1	0
	Op0	0	1	1	0
Outputs	RegDst	1	0	x	x
	ALUSrc	0	1	1	0
	MemtoReg	0	1	x	x
	RegWrite	1	1	0	0
	MemRead	0	1	0	0
	MemWrite	0	0	1	0
	Branch	0	0	0	1
	ALUOp1	1	0	0	0
	ALUOp0	0	0	0	1

5. 有三种不同处理器 P1/P2/P3 执行同样的指令集，P1 的时钟频率 3Ghz，CPI=1.5；P2 为 2.5Ghz, CPI=1.0；P3 为 4Ghz，CPI=2.2。1) 如果按每秒执行的指令数为标准，那个处理器性能最高？2) 如果每个处理器都执行 10 秒的程序，它们的执行的时钟周期数和指令数是多少？3) 我们试图将时间减少 30%，但这会引起 CPI 增加 20%。问：时钟频率应该多少才能达到减少 30%的目的？

答：

1)

MIPS 可以衡量每秒执行的指令数，MIPS=时钟频率/CPI，则：

$$P1: 3/1.5 = 2$$

$$P2: 2.5/1 = 2.5;$$

$$P3: 4/2.2 \approx 1.82$$

因此，如果按每秒执行的指令数为标准，P2 处理器的性能最高。

2)

时钟周期数=执行时间 x 时钟频率，指令数=时钟周期数/ CPI。

$$P1: \text{时钟周期数} = 10s \times 3Ghz = 3 \times 10^{10}, \text{指令数} = 3 \times 10^{10} / 1.5 = 2 \times 10^{10}$$

$$P2: \text{时钟周期数} = 10s \times 2.5Ghz = 2.5 \times 10^{10}, \text{指令数} = 2.5 \times 10^{10} / 1.0 = 2.5 \times 10^{10}$$

P3:时钟周期数=10s x 4Ghz=4x10¹⁰, 指令数=4x10¹⁰ / 2.2=1.82x10¹⁰

3)

CPU 时间=指令数 x CPI / 时钟频率

时间减少 30%, 指令数不变, CPI 增加 20%, 设时钟频率变为原来的 a 倍, 则。

0.7 = 1.2 / a => a = 1.2 / 0.7 ≈ 1.71。则时钟频率应该增加 71%才能达到减少 30%的目的。

则 P1: 3Ghz x 1.71 = 5.13Ghz

P2: 2.5Ghz x 1.71 = 4.275Ghz

P3: 4Ghz x 1.71 = 6.84Ghz

6. 表 1 给出如下程序的 MIPS 汇编代码片段及其在内存中的部分地址。

while (save[i] == k) i+=1; //i、k 和数组 save 的基址分别在\$s3、\$s5 和\$s6 中。

图 1 是可实现该组指令的 MIPS 体系结构, 请在图中标出表 1 中加粗指令的数据通路, 即注明相关数据通路部件的输入输出数据/信号, 用箭头标出数据流动方向与顺序。

表 1. MIPS 代码及其在内存中的部分地址

Loop:	sll \$t1,\$s3,2	80000	0	0	19	9	2	0
	add \$t1,\$t1,\$s6	80004	0	9	22	9	0	32
	lw \$t0,0(\$t1)	80008	35	9	8	0		
	bne \$t0, \$s5, Exit	80012	5	8	21	2		
	addi \$s3, \$s3,1	80016	8	19	19	1		
	j Loop	80020	2	20000				
Exit:		80024						

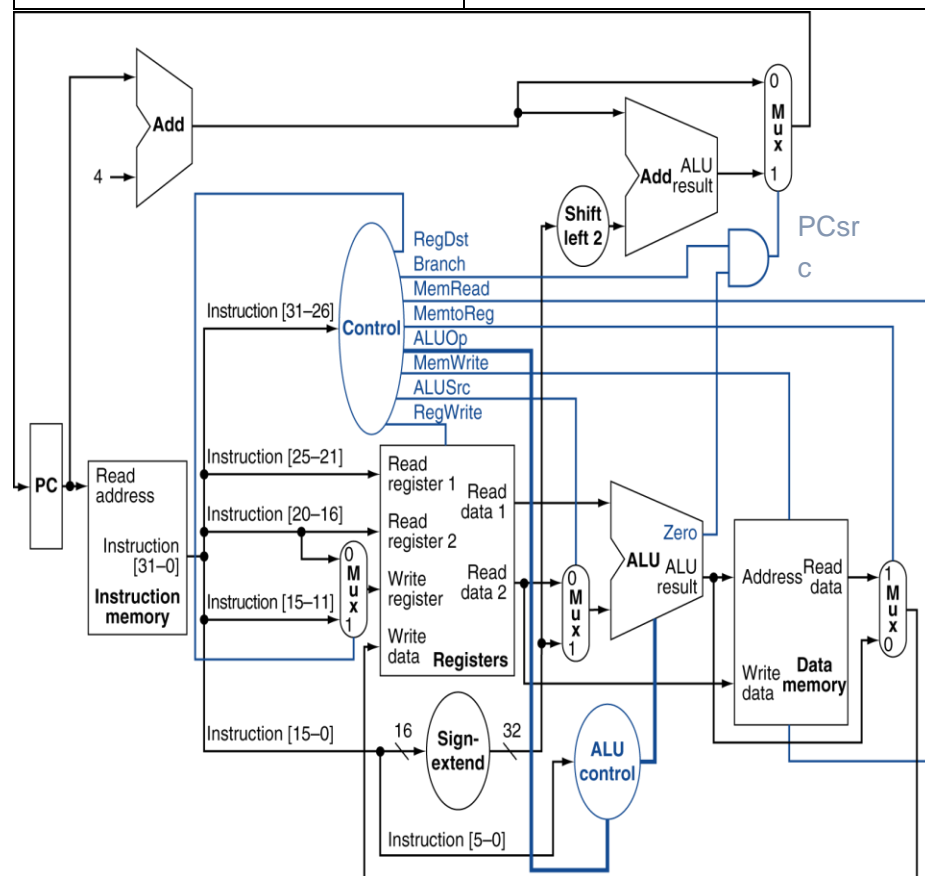


图 1. 执行不相等则分支指令时数据通路的操作

答:

