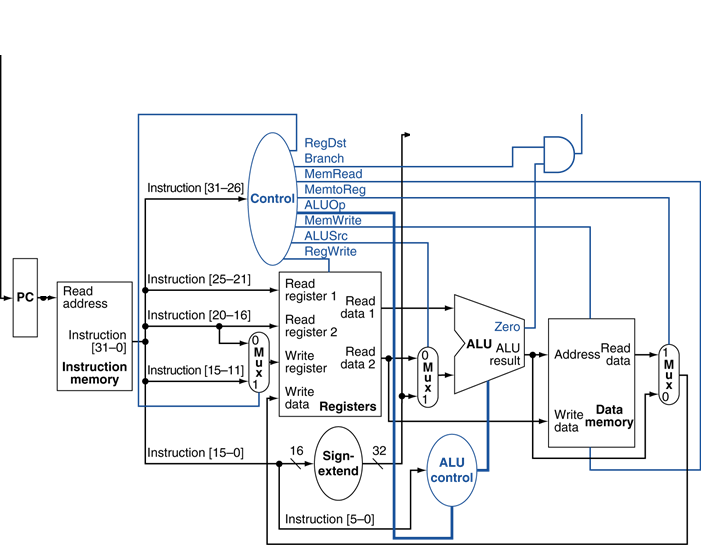
学号： 姓名： 得分：

1. 请画出单周期数据通路中的地址更新电路

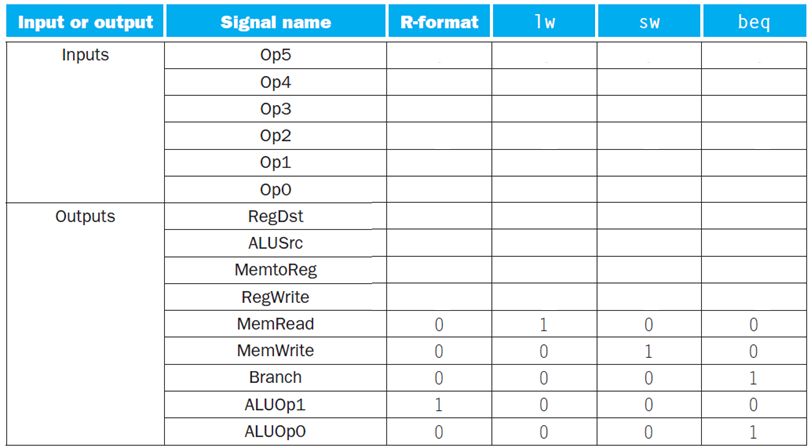


1. 在第1题给出的在单周期数据通路上执行add t0,t1,s2时，假设t0/t1/s2寄存器值分别为10/15/20，请问寄存器部件read read register1和register2输入的数值是什么？ Read data2输出的数值多少？
2. 将以下代码翻译成C代码，假定t1存放c语言整数变量i，s2存放整数变量result，s0存放整数数组MemArray起始地址。



$zero

1. 对于第1题给出的在单周期数据通路，请完成控制部件的真值表：



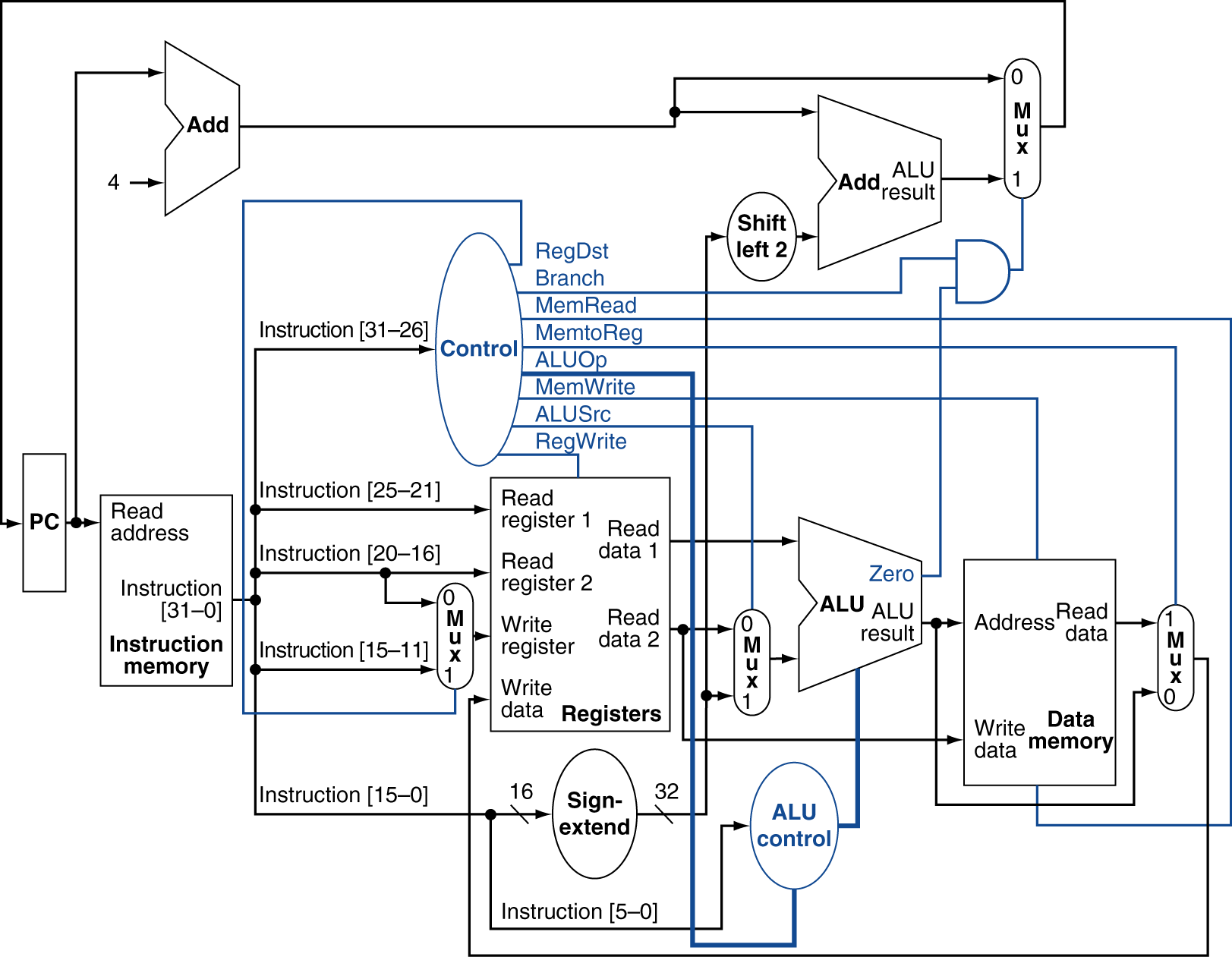
1. 有三种不同处理器P1/P2/P3执行同样的指令集，P1的时钟频率3Ghz，CPI=1.5；P2为2.5Ghz,CPI=1.0; P3为4Ghz，CPI=2.2。1）如果按每秒执行的指令数为标准，那个处理器性能最高？2）如果每个处理器都执行10秒的程序，它们的执行的时钟周期数和指令数是多少？3）我们试图将时间减少30%，但这会引起CPI增加20%。问：时钟频率应该多少才能达到减少30%的目的？
2. 表1 给出如下程序的MIPS汇编代码片段及其在内存中的部分地址。

**while (save[i] == k) i+=1; //i、k和数组save的基址分别在$s3、$s5和$s6中。**

**图1是可实现该组指令的MIPS体系结构，请在图中标出表1中加粗指令的数据通路，即注明相关数据通路部件的输入输出数据/信号，用箭头标出数据流动方向与顺序。**

表1. MIPS代码及其在内存中的部分地址

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Loop: sll $t1,$s3,2  add $t1,$t1,$t6  lw $t0,0($t1)  **bne $t0, $s5, Exit**  addi $s3, $s3,1  j Loop  Exit: | |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | | 80000 | 0 | 0 | 19 | 9 | 2 | 0 | | 80004 | 0 | 9 | 22 | 9 | 0 | 32 | | 80008 | 35 | 9 | 8 | 0 | | | | 80012 | 5 | 8 | 21 | 2 | | | | 80016 | 8 | 19 | 19 | 1 | | | | 80020 | 2 | 20000 | | | | | | 80024 | |



PCsrc

图1. 执行相等则分支指令时数据通路的操作

7 请写出实现以下C语言代码所需的MIPS指令序列

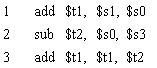
int i,b=0;

do { b=b+2;

i=i-1;

}while (i>0)

1. 画出流水化后，控制信号的在流水线寄存器中逐级传递的示意图

9下面是一段MIPS指令序列：  
  
假定在一个采用“取指、译码/取数、执行、访存、写回”的五段流水线处理器中执行上述指令序列，请回答下列问题：

（1）以上指令序列中，哪些指令之间发生数据相关？

（2）不采用“旁路/前推”技术的话，需要在何处、加入几条nop指令才能使这段指令序列的执行避免数据冒险？

（3）如果采用“旁路/前推”技术，是否可以完全解决数据冒险？不行的话，需要在何处、加入几条nop指令才能使这段指令序列的执行避免数据冒险？

1. 对于虚地址13048，如果页的大小是2KB，那么请问相应的虚页号和页内偏移各自是什么？
2. 如果上述的虚页映射到12号物理页，请问其物理地址是什么？
3. 如果访问2中的物理地址时，离CPU最近的一级cache容量为64KB，cache块的大小是16个字节，请给出该物理地址的字地址、块地址、块内偏移。
4. 如果3的cache是按照直接映射方式组织的，请问2中的物理地址所对应的tag/index所占物理地址的哪些位？具体数值是多少? 这个地址所在的内存块可以映射到cache的哪些块中？
5. 如果3的cache是按照2路组项链的方式组织，请问2中的物理地址所对应的tag/index所占物理地址的哪些位？具体数值是多少? 这个地址所在的内存块可以映射到cache的哪些块中？
6. 如果3的cache是按照全相联的方式组织，请问2中的物理地址对应的tag是多少？ 这个地址所在的内存块可以映射到cache的哪些块中？
7. 对于4个块的cache，如果采用2路组相联方式，并假定刚开始cache没有有效数据，当访问0，1，2，3，3，6，7，6，7，0，1块时，请问此时命中率是多少？

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Block address | Cache index | Hit/miss | Cache content after access | | | |
| Set 0 | | Set 1 | |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |

1. 如果有一个处理器的理想CPI=1，结构设计师正在为它选择存储部件，方案1: I-cache 缺失率2.2% D-cache缺失率3.9%，缺失代价100个时钟周期；方案2 I-cache缺失率2.6% D-cache缺失率3.6%，缺失代价85个时钟周期。目标程序中访问内存的指令占38%。请问选择哪个方案会获得更好的性能？
2. 如果处理器中$t0=4100、$t1=200当程序发出lw $t1,100($t0)指令时，程序访问的物理内存是那个单元？假设此时页表（页的大小为4KB）的部分内容如下

|  |  |
| --- | --- |
| **有效位** | **物理页/硬盘上** |
| **1** | 5 |
| **1** | 2 |
| **0** | 硬盘 |
| **1** | 6 |

1. 如果发出lw $t1,5000($t0)指令时，会发生什么事情？处理完成后页表状态有什么变化？假设空闲物理页从20号开始使用。