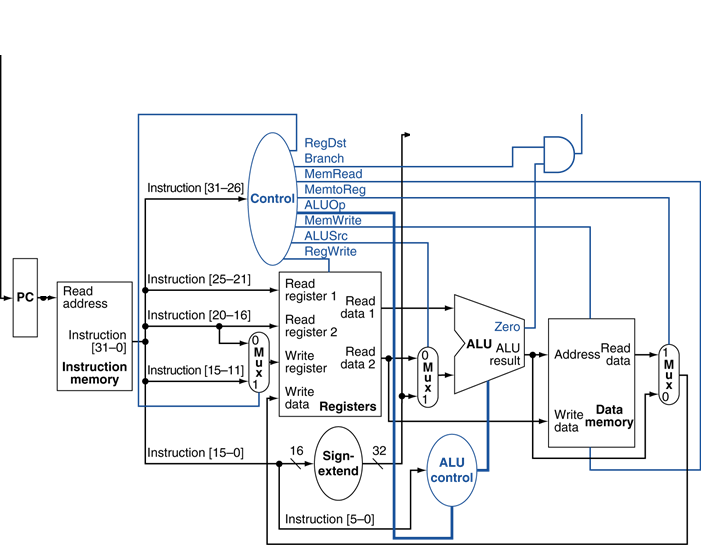
学号： 姓名： 得分：

1. 请画出单周期数据通路中的地址更新电路

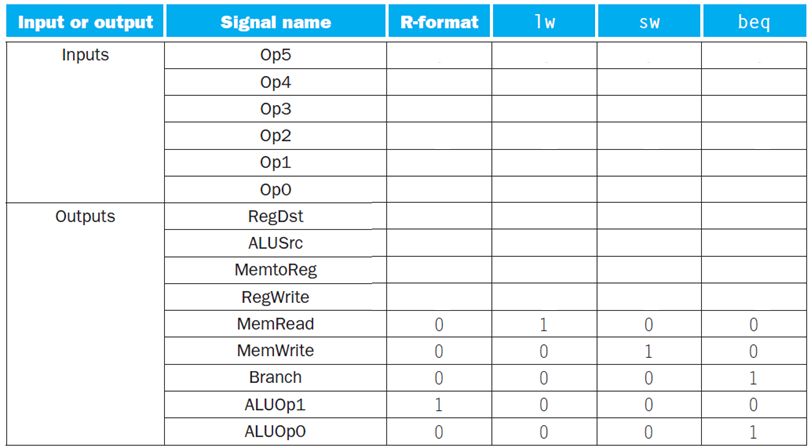


1. 在第1题给出的在单周期数据通路上执行add t0,t1,s2时，假设t0/t1/s2寄存器值分别为10/15/20，请问寄存器部件read read register1和register2输入的数值是什么？ Read data2输出的数值多少？
2. 将以下代码翻译成C代码，假定t1存放c语言整数变量i，s2存放整数变量result，s0存放整数数组MemArray起始地址。



$zero

1. 对于第1题给出的在单周期数据通路，请完成控制部件的真值表：



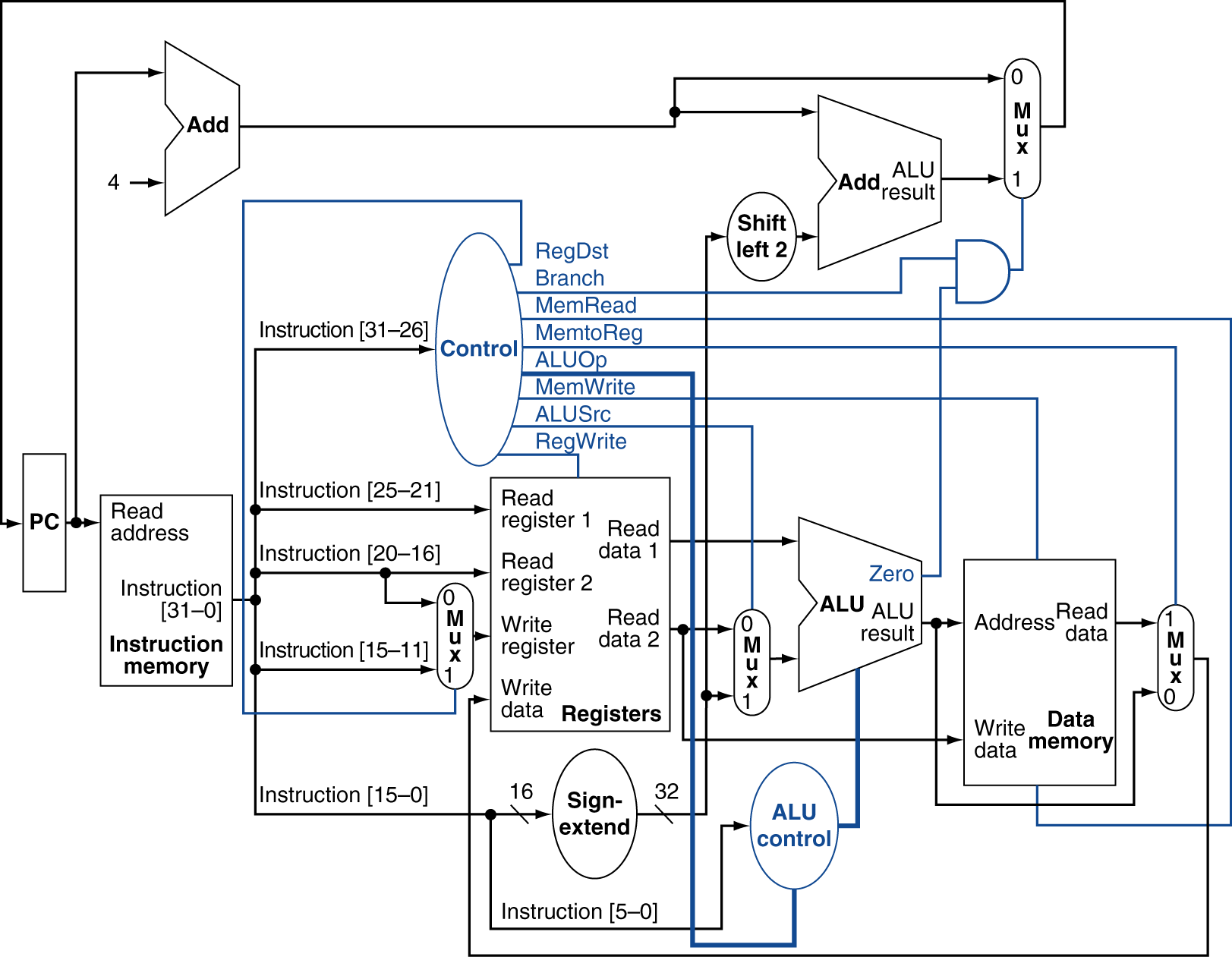
1. 有三种不同处理器P1/P2/P3执行同样的指令集，P1的时钟频率3Ghz，CPI=1.5；P2为2.5Ghz,CPI=1.0; P3为4Ghz，CPI=2.2。1）如果按每秒执行的指令数为标准，那个处理器性能最高？2）如果每个处理器都执行10秒的程序，它们的执行的时钟周期数和指令数是多少？3）我们试图将时间减少30%，但这会引起CPI增加20%。问：时钟频率应该多少才能达到减少30%的目的？
2. 表1 给出如下程序的MIPS汇编代码片段及其在内存中的部分地址。

**while (save[i] == k) i+=1; //i、k和数组save的基址分别在$s3、$s5和$s6中。**

**图1是可实现该组指令的MIPS体系结构，请在图中标出表1中加粗指令的数据通路，即注明相关数据通路部件的输入输出数据/信号，用箭头标出数据流动方向与顺序。**

表1. MIPS代码及其在内存中的部分地址

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Loop: sll $t1,$s3,2  add $t1,$t1,$t6  lw $t0,0($t1)  **bne $t0, $s5, Exit**  addi $s3, $s3,1  j Loop  Exit: | |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | | 80000 | 0 | 0 | 19 | 9 | 2 | 0 | | 80004 | 0 | 9 | 22 | 9 | 0 | 32 | | 80008 | 35 | 9 | 8 | 0 | | | | 80012 | 5 | 8 | 21 | 2 | | | | 80016 | 8 | 19 | 19 | 1 | | | | 80020 | 2 | 20000 | | | | | | 80024 | |



PCsrc

图1. 执行相等则分支指令时数据通路的操作