

PROCESSADOR GE_22 8 BITS

Disciplina: Arquitetura e Organização de Computadores DCC 301

Professor: Hebert Oliveira Rocha

Alunos: Eduardo Henrique de Almeida Izidorio

Marcia Gabrielle Bonifácio de Oliveira

Boa vista – RR

Semestre 2021.2

DETALHES DO PROCESSADOR GE_22

- O processador implementado possui arquitetura de 8 bits, feito com base no processador MIPS.
- Todas suas operações são realizadas utilizando números inteiros.
- Existem 8 Componentes e 4 tipos de subcomponentes na unidade como um todo.

FORMATO DAS INSTRUÇÕES

Tipo R		
Opcode	Reg1	Reg2
4 bits	2 bits	2 bits
7-4	3-2	1-0

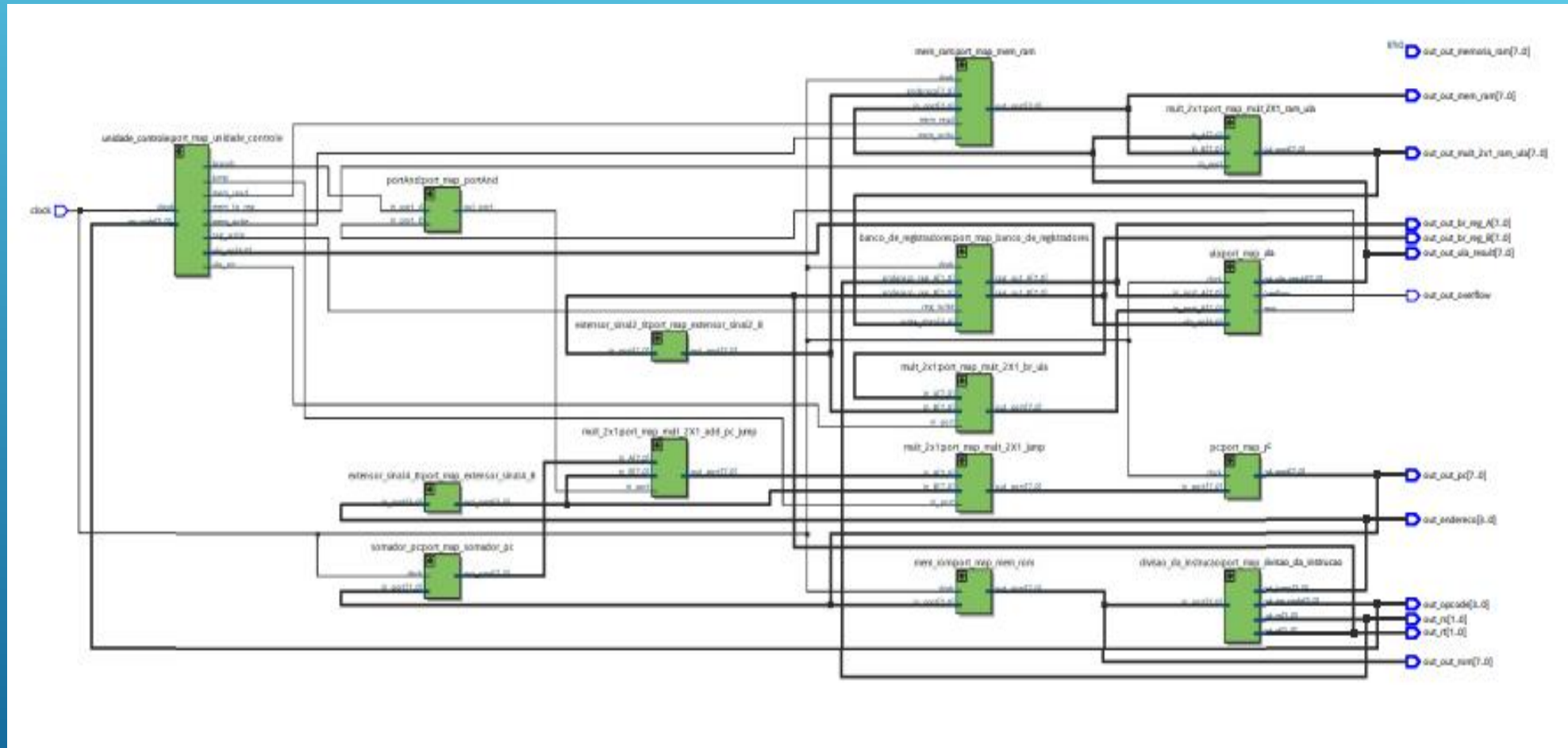
Tipo I		
Opcode	Reg1	Imediato
4 bits	2 bits	2 bits
7-4	3-2	1-0

Tipo J	
Opcode	Endereço
4 bits	4 bits
7-4	3-0

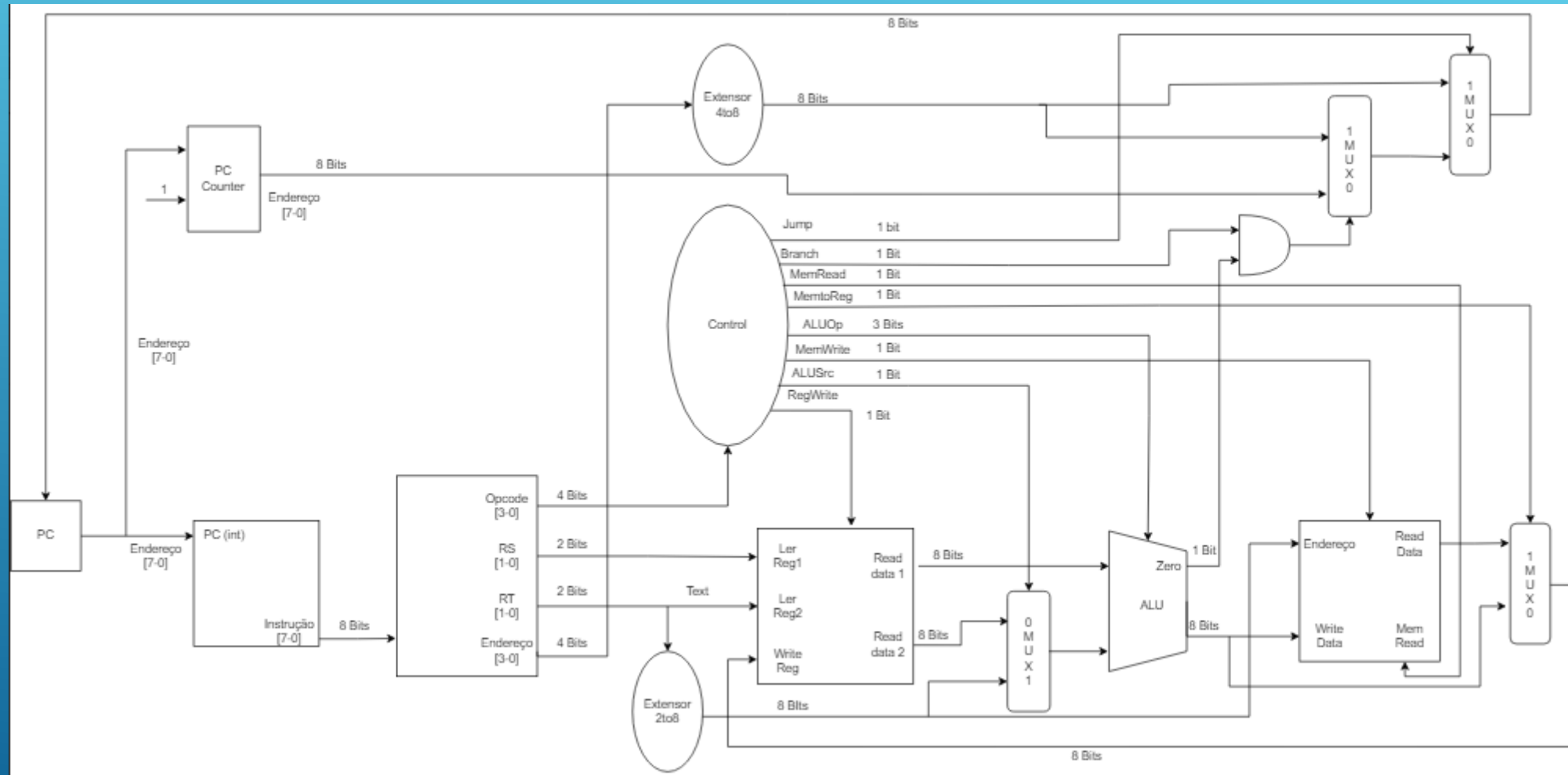
LISTA DE OPCODES

Opcode	Nome	Formato	Breve descrição	Exemplo
0000	add	R	Soma	add \$s0, \$s1
0001	addi	I	Soma Imediata	addi \$s0 3
0010	sub	R	Subtração	sub \$s0, \$s1
0011	subi	I	Subtração Imediata	subi \$s0 3
0100	lw	I	Load word	lw \$s0 memória(00)
0101	sw	I	Store word	sw \$s0 memória(00)
0110	move	R	mover	move \$s0 \$s1
0111	li	I	Load Imediato	li \$s0 1
1000	beq	J	Desvio Condicional	beq endereço
1001	bne	J	Desvio Condicional	bne endereço
1010	If beq e bne	R	Condição para desvio	if \$s0 \$s1
1011	mul	R	Multiplicação	mul \$s0 \$s1
1111	j	J	Desvio Incondicional	J endereço(0000)

RTL VIEWER DO PROCESSADOR GE_22



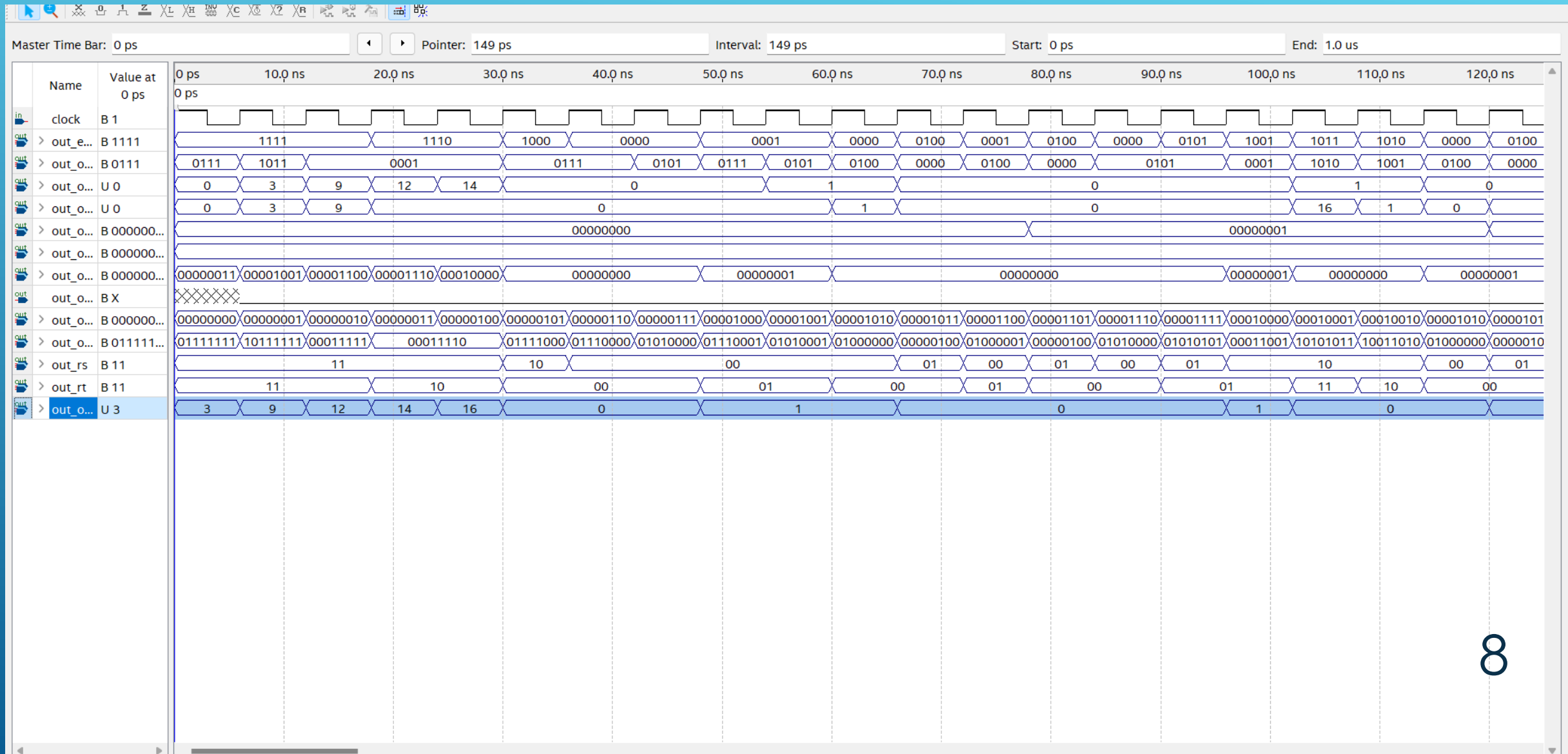
DATAPATH DO PROCESSADOR GE_22



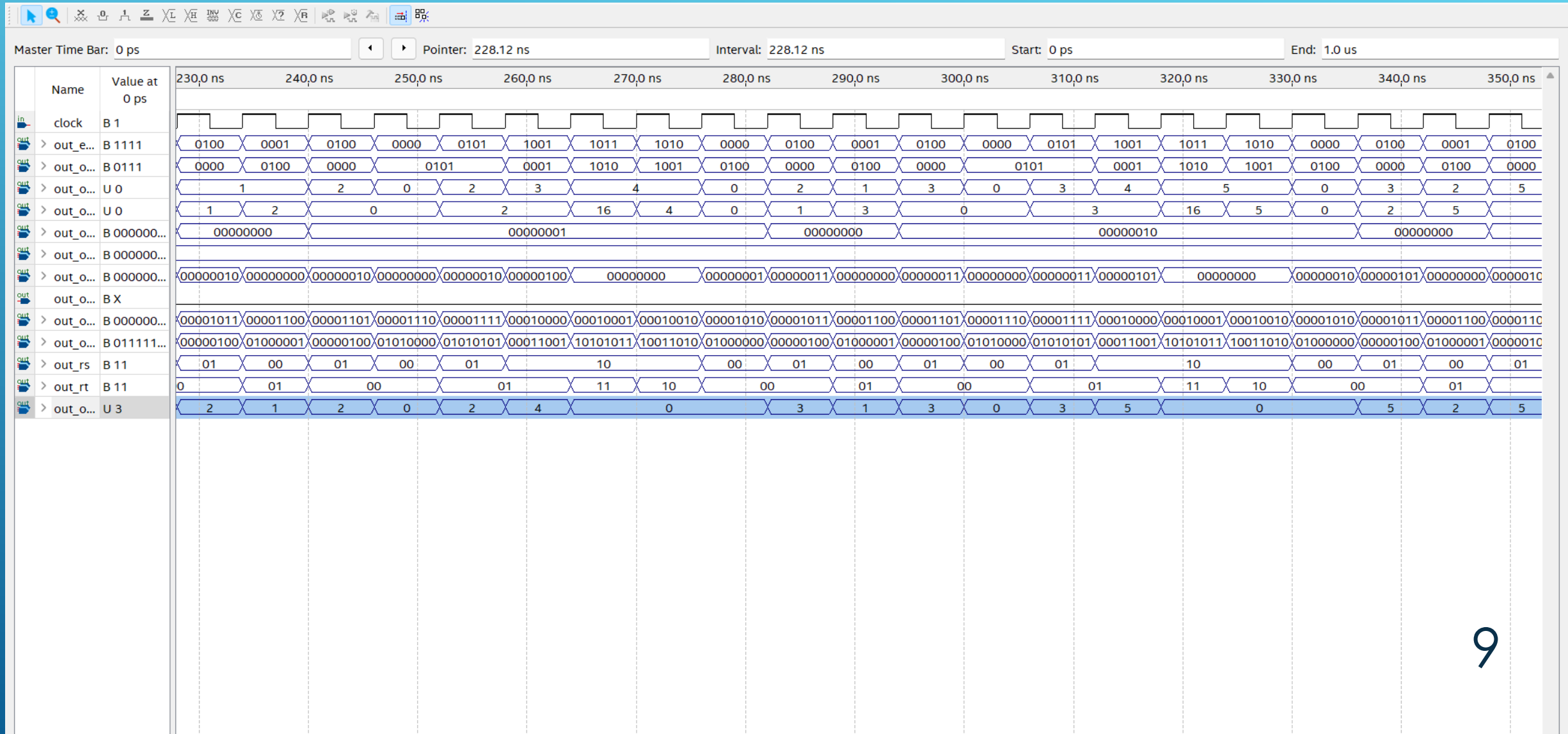
CÓDIGO FIBONACCI

Endereço	Linguagem de Alto Nível	Binário		
		Opcode	Reg1	Reg2
			Endereço	
0	li S3 3	0111	11	11
1	mul S3 S3	1011	11	11
2	addi S3 1	0001	11	01
3	addi S3 2	0001	11	10
4	addi S3 2	0001	11	10
5	li S2 0	0111	10	00
6	li S0 0	0111	00	00
7	sw S0 ram(00)	0101	00	00
8	li S0 1	0111	00	01
9	sw S0 ram(01)	0101	00	01
10	lw S0 ram(00)	0100	00	00
11	add S1 S0	0000	01	00
12	lw S0 ram(01)	0100	00	01
13	add S1 S0	0000	01	00
14	sw S0 ram(00)	0101	00	00
15	sw S1 ram(01)	0101	01	01
16	addi S2 1	0001	10	01
17	if S2 == S3	1010	10	11
18	bne S2 != S3	1001	1010	

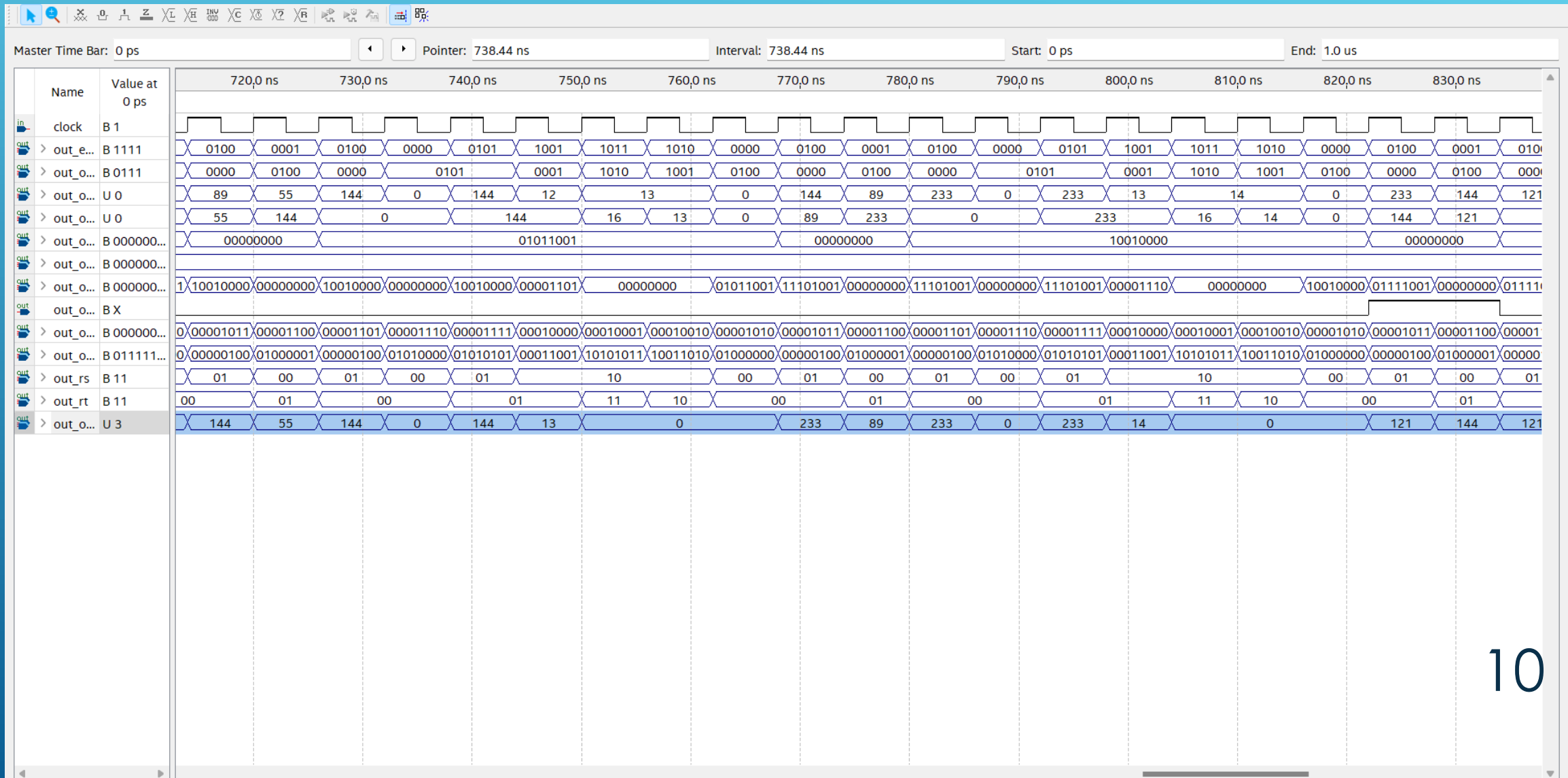
WAVEFORMS FIBONACCI



WAVEFORMS FIBONACCI



WAVEFORMS FIBONACCI



LIMITAÇÕES

Devido ao pequeno tamanho máximo de bits por instrução, as operações do processador são muito limitadas, sendo notáveis tais limitações:

- Só é possível realizar desvios condicionais e incondicionais entre a posição 0000 e 1111 da memória de instrução.
- Apenas números inteiros são utilizados como informação.

Todavia, as instruções, se executadas dentro dos limites impostos pelo componente, devolvem os valores corretos.