

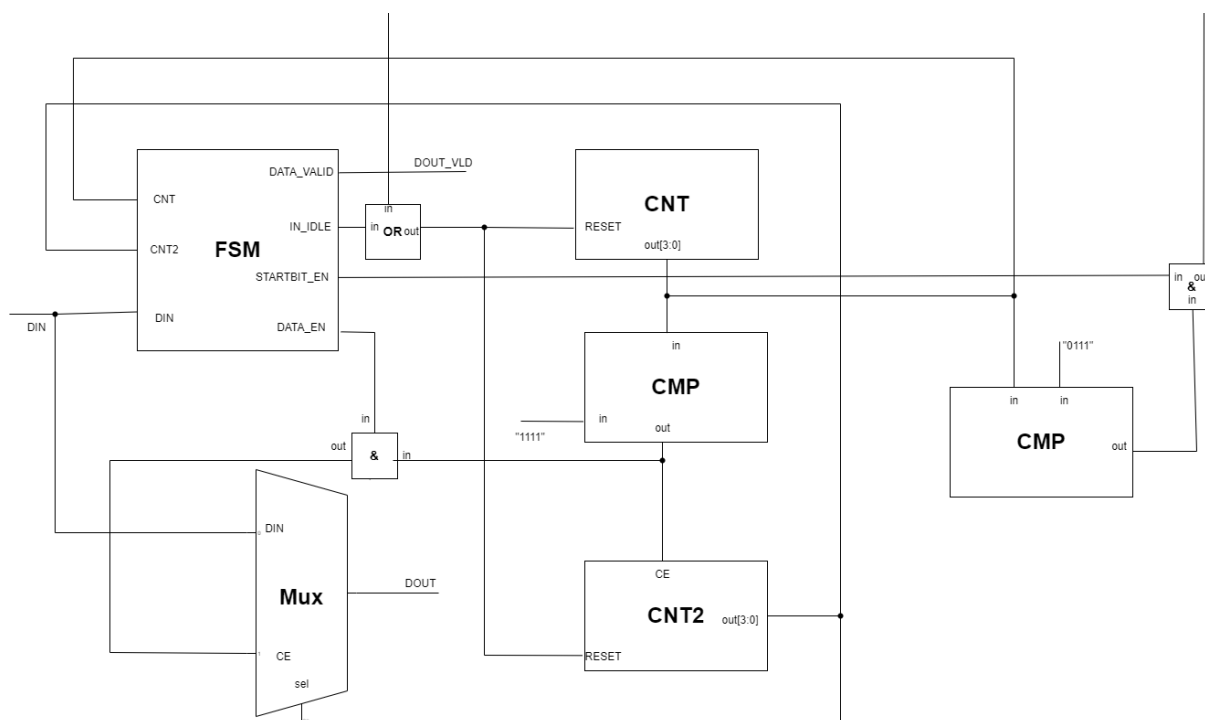
Výstupní zpráva INC projekt 2022

Jméno: Marcin Sochacki

Login: xsocha03

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

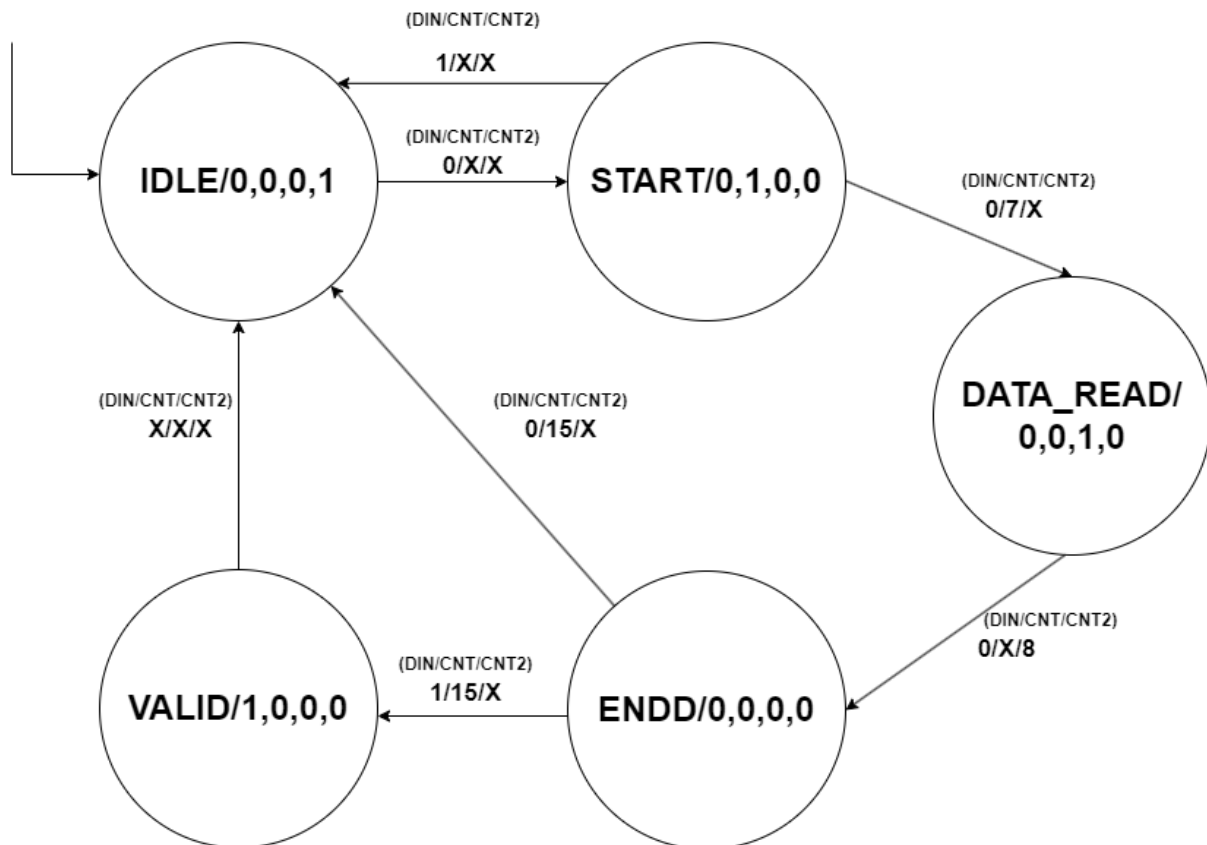
RTL schéma znázorňuje soubor `uart_rx.vhd`. Počítají se jak hodinové cykly, tak bity. Jeden komparátor následně zjišťuje, jestli se nacházíme v midbitu. Druhý, jestli jsme v startbitu a jestli máme resetovat counter. Pokud všechny podmínky platí tak se v multiplexoru data vypíší na **DOUT**.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: IDLE, START, DATA_READ, ENDD, VALID
- Vstupní signály: DIN, CNT, CNT2
- Moorové výstupy: VALID, STARTBIT_EN, DATA_EN, IN_IDLE
- Mealyho výstupy: -



Popis funkce

Nejdřív jsme v stavu IDLE. V stavu IDLE to cyklí, pokud DIN = 0 stav se změní na START. V tom stavu se počítají cykly CNT, když se rovnají 7 (nacházíme se na midbitu od startbitu) přejde do stavu DATA_READ, pokud bude správný startbit. Tam se počítají bity v CNT2, když CNT2 = 8, automat přesune se do stavu ENDD (stav se jmenuje ENDD s dvojitým 'D' protože end je klíčové slovo v VHDL). Tam docyklí zbývajících 16 cyklů. Další stav závisí od DIN. Pokud DIN = 1, stopbit je validní a přejde do stavu VALID, pokud DIN = 0, stopbit není validní.

