Grundlagen der Betriebssysteme Blatt 11 Gruppe 055

Marco Deuscher Ibrahem Hasan

Juli 2019

1 Seitenadressierung

- 1. Addition des Segmenttabellenbasisregisters und der logischen Segmentnummer der logischen Adresse ergibt Adresse des Segmenteintrags. (Software)
- 2. Lesen des zugehörigen Segmenteintrags, der die Startadresse der zugehörigen Seiten-Kachel-Tabelle (SKT) enthält.(Software)
- 3. Berechnen der Adresse des SKT-Eintrags: Addition der Startaddresse der SKT mit der SKT-Nummer welche Teil der virtuellen Adresse ist (Software)
- 4. Vergleich der Seitennummer mit Segmentlänge. Falls die Seitennummer außerhalb des Segments: es wird eine Unterbrechung ausgelöst (Software)
- 5. Es wird der referenzierte Eintrag aus der SKT geladen (Hardware)
- 6. Ermitteln des Präsenzbits. Dies ist in diesem Fall: 0, da Seite nicht geladen (Hardware)
- 7. Es wird eine Unterbrechung ausgelöst, da ein Pagefault aufgetreten ist (Hardware)
- 8. Blockieren des Prozesses, einlagern der benötigten Seite in die freie Kachel (Software).
- 9. Anpassen des SKT Eintrags (setzen des Referenzbits und anpassen der Adresse) (Hardware)
- 10. Einlagern der Seite beendet, Prozess wird wieder aufgeweckt. Der lesende Speicherzugriff der Anwendung wird wiederholt (Software)

2 Ersetzungsstrategien

Referenzfolge		1	2	3	1	2	4	5	1	2	3
Hauptspeicher	Kachel 1 Kachel 2 Kachel 3	1 -	$\begin{vmatrix} 1\\2\\- \end{vmatrix}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{array}{ c c } 1 \\ 2 \\ 4 \end{array}$	5 2 4	$\begin{array}{ c c } 5 \\ 1 \\ 4 \end{array}$	$\left \begin{array}{c c}5\\1\\2\end{array}\right $	3 1 2
Kontrollzustände / Referenzbits	Kachel 1 Kachel 2 Kachel 3	0 > >	1 0 >	2 1 0	$\begin{array}{ c c } 0 \\ 2 \\ 1 \end{array}$	$\begin{array}{ c c } 1 \\ 0 \\ 2 \end{array}$	$\begin{array}{ c c } 2 \\ 1 \\ 0 \end{array}$	$\begin{array}{ c c } 0 \\ 2 \\ 1 \end{array}$	$\begin{array}{ c c } 1 \\ 0 \\ 2 \end{array}$	$\left \begin{array}{c}2\\1\\0\end{array}\right $	0 2 1

Tabelle 1: Least Recently Used mit 5+3 Seitenersetzungen

Referenzfolge		1	2	3	1	2	4	5	1	2	3
Hauptspeicher	Kachel 1 Kachel 2 Kachel 3	1 -	$\begin{vmatrix} 1\\2\\- \end{vmatrix}$	$\begin{vmatrix} 1\\2\\3 \end{vmatrix}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{vmatrix} 4 \\ 2 \\ 3 \end{vmatrix}$	4 5 3	4 5 1	$\left \begin{array}{c c}2\\5\\1\end{array}\right $	2 3 1
Kontrollzustände / Referenzbits	Kachel 1 Kachel 2 Kachel 3	0 > >	$\begin{vmatrix} 1 \\ 0 \\ > \end{vmatrix}$	2 1 0	$\begin{array}{ c c }\hline 3\\2\\1\\ \end{array}$	$\begin{array}{ c c } 4 \\ 3 \\ 2 \end{array}$	$\left \begin{array}{c} 0\\4\\3\end{array}\right $	$\begin{vmatrix} 1 \\ 0 \\ 4 \end{vmatrix}$	$\begin{array}{ c c } 2 \\ 1 \\ 0 \end{array}$		1 0 2

Tabelle 2: FIFO mit 5+3 Seitenersetzungen

Referenzfolge		1	2	3	1	2	4	5	1	2	3
Hauptspeicher	Kachel 1 Kachel 2 Kachel 3	1	1 2 -	$\left \begin{array}{c}1\\2\\3\end{array}\right $	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	$\begin{array}{ c c } 1 \\ 2 \\ 3 \end{array}$	4 2 3	4 5 3	$\begin{vmatrix} 4 \\ 5 \\ 1 \end{vmatrix}$	2 5 1	$\begin{array}{ c c } 2 \\ 3 \\ 1 \end{array}$
Kontrollzustände / Referenzbits	Kachel 1 Kachel 2 Kachel 3 Umlaufzeiger	$\begin{array}{ c c } 1 \\ 0 \\ 0 \\ 2 \end{array}$	$\begin{array}{ c c } 1 \\ 1 \\ 0 \\ 3 \end{array}$	1 1 1 1	1 1 1 1	1 1 1 1	$\begin{array}{ c c } 1 \\ 0 \\ 0 \\ 2 \end{array}$	$\begin{array}{ c c } 1 \\ 1 \\ 0 \\ 3 \end{array}$	1 1 1 1	$\begin{array}{ c c } 1 \\ 0 \\ 0 \\ 2 \end{array}$	$ \begin{array}{ c c } 1\\1\\0\\3\\\end{array} $

Tabelle 3: Second Chance Clock mit 5+3 Seitenersetzungen