



**μArchitettura RISC-V**

**Intro**

come implementarla

processore

## Datapath

Control

## RISC-V standard

definiscono la

ISA      instruction set Architecture

non l'architettura

## Performance

$$\text{Tempo di esecuzione} = (\# \text{istruzione})(\text{cicli/istruzione})(\text{sec/cicli})$$

**CPI**      cicli/istruzioni

Periodo **di clock**      sec/cicli

## Premessa

analizamo su sottoinsiemi di istruzioni  
RISC-V

R-Type	add,sub,and,or,slt
--------	--------------------

Istruzioni per la memoria	lw,sw
---------------------------	-------

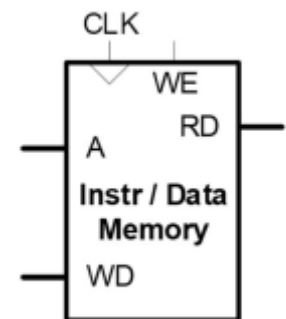
Istruzioni di salto	beq
---------------------	-----

I-Type ALU instruction	addi, andi, ori, xori
------------------------	-----------------------

J-Type      jal



Memoria (non presente nella CPU)



32 registri

