# Calcolatori Elettronici (12AGA)

Esame del 18.2.2021 Correzione

Si consideri un processore

- connesso ad una memoria da 64KB
- dotato di una cache direct mapped da 16 linee, ciascuna da 32 byte.

Si assuma che inizialmente le 16 linee contengano i primi 16 blocchi di memoria (quindi la linea 0 contiene il blocco 0, la linea 1 il blocco 1, e così via).

Si determini quindi quali dei seguenti 12 accessi in memoria da parte del processore provocano un hit, e quali un miss, scrivendo H o M nella colonna di destra della corrispondente riga nella tabella.

Indirizzo	Blocco	Linea acceduta	H/M
0100 0000 0011 0011			
0100 0001 0001 1000			
0000 0100 1000 1110			
0010 0000 1011 1110			
0100 0000 1001 1111			
0100 0000 0011 0011			
0000 1010 0001 0011			
0000 1010 0101 0100			
0000 0011 0011 0100			
0000 0011 0011 0110			
0000 1000 1001 1000			
0000 0000 0001 1001			

Indirizzo	Blocco	Linea acceduta	H/M
0100 0000 0011 0011			
0100 0001 0001 1000			
0000 0100 1000 1110			
0010 0000 1011 1110			
0100 0000 1001 1111			
0100 0000 0011 0011			
0000 1010 0001 0011			
0000 1010 0101 0100			
0000 0011 0011 0100			
0000 0011 0011 0110			
0000 1000 1001 1000			
0000 0000 0001 1001			

- Ciascun indirizzo è su 16 bit
- I 5 bit meno significativi identificano il byte nel blocco
- Gli 11 bit più significativi identificano il blocco
- I 4 bit meno significativi tra quelli che identificano il blocco identificano la linea.

Indirizzo	Blocco	Linea acceduta	H/M
0100 0000 0011 0011	513	1	M
0100 0001 0001 1000	520	8	M
0000 0100 1000 1110	36	4	M
0010 0000 1011 1110	133	5	M
0100 0000 1001 1111	516	4	M
0100 0000 0011 0011	513	1	Н
0000 1010 0001 0011	80	0	M
0000 1010 0101 0100	82	2	M
0000 0011 0011 0100	25	9	M
0000 0011 0011 0110	25	9	Н
0000 1000 1001 1000	68	4	M
0000 0000 0001 1001	0	0	M

- Ciascun indirizzo è su 16 bit
- I 5 bit meno significativi identificano il byte nel blocco
- Gli 11 bit più significativi identificano il blocco
- I 4 bit meno significativi tra quelli che identificano il blocco identificano la linea.