Calcolatori Elettronici (12AGA)

Esame del 7.9.2022

Traccia di soluzioni per parte 2

Domanda #11

Si consideri un processore connesso a una memoria da 1Kbyte e dotato di una cache direct-mapped composta da 8 linee da 32 byte ciascuna.

Si assuma che la cache sia inizialmente vuota e che il processore esegua una serie di accessi in memoria in cui genera i seguenti indirizzi:

Si riempia la tabella allegata, specificando il blocco acceduto, la linea di cache coinvolta e se l'accesso in cache ha provocato un hit (H) o miss (M).

Domanda #11

Indirizzo	Blocco (per semplicità si può riportare in forma binaria)	Numero di linea	H/M
10 100 10101	10 100	4	M
10 110 10111	10 110	6	M
01 111 11001	01 111	7	M
11 000 00100	11 000	0	M
10 001 11100	10 001	1	M
11 101 00111	11 101	5	M
11 110 11001	11 110	6	M
10 001 11100	10 001	1	Н
11 110 11101	11 110	6	Н
00 010 01111	00 010	2	M
11 101 11110	00 101	5	Н
00 010 00100	00 010	2	Н

Domanda #12

Progettare un circuito minimo bilivello che implementi un comparatore a 4 ingressi. Gli ingressi (A1, A0) e (B1, B0) rappresentano i due numeri A e B, dove il bit con pedice 0 è quello meno significativo.

Le uscite sono: OA, OB e OP; OA vale 1 solo se A è strettamente maggiore, OB vale 1 solo se B è strettamente maggiore, OP vale 1 solo se A e B sono uguali.

Si richiede di:

- riempire la tavola di verità delle uscite
- riempire le mappe di Karnaugh
- specificare le funzioni minime derivanti dalla copertura delle mappe.

Domanda #12 – tavola di verità

A1 A0 B1 B0 OA OB OP

 $0\,0\,0\,1\,0\,1\,0$

Domanda #12 – OA

A1 A0 \ B1 B0 00 01 11 10

00 0 0 0

1000

11 1101

10 1100

OA = A1B1 + A0B1'B2' + A1A0B0'

Domanda #12 – OB

A1 A0 \ B1 B0 00 01 11 10

00 0111

01 0011

11 0000

10 0010

OB = A1'B1 + A1'B1'B0 + A1B1B0

Domanda #12 – OP

```
A1 A0 \ B1 B0 00 01 11 10
```

00
01
0100
11
0010
10
0001

OP = A1'A0'B1'B0' + A1'A0B1'B0 + A1A0B1B0 + A1A0'B1B0'