

Micro-architettura RISC-V: esercizio

M. Rebaudengo, M. Sonza Reorda,
L. Sterpone

Politecnico di Torino
Dip. di Automatica e Informatica

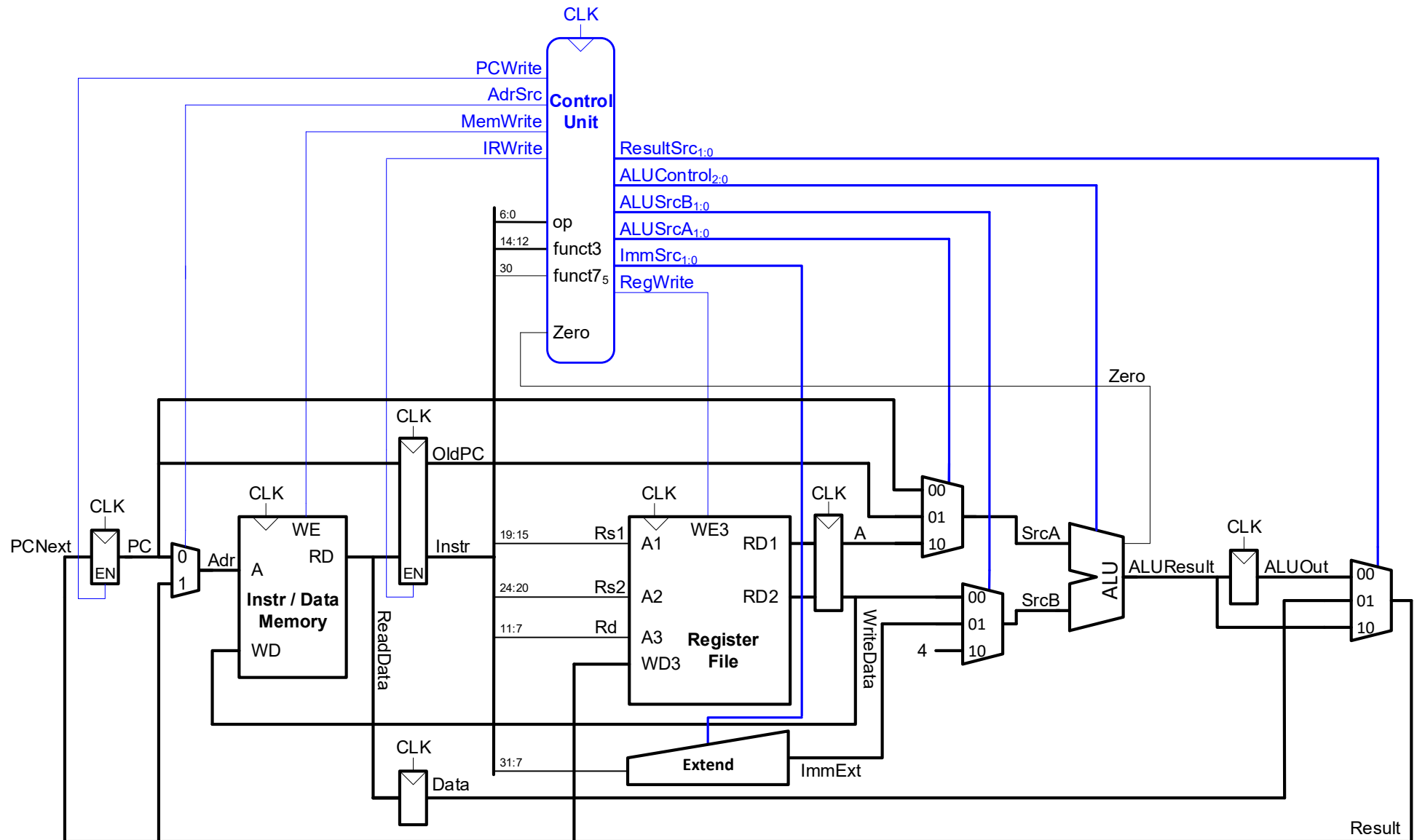


Problema

Con riferimento alla micro-architettura multi-ciclo del processore RISC-V riportata nel lucido seguente, si consideri l'istruzione `addi` e si determinino

- i valori da assegnare ai segnali di controllo in ciascuno dei periodi di clock necessari per la sua esecuzione**
- il numero di periodi di clock necessari per la sua esecuzione.**

Micro-architettura RISC-V

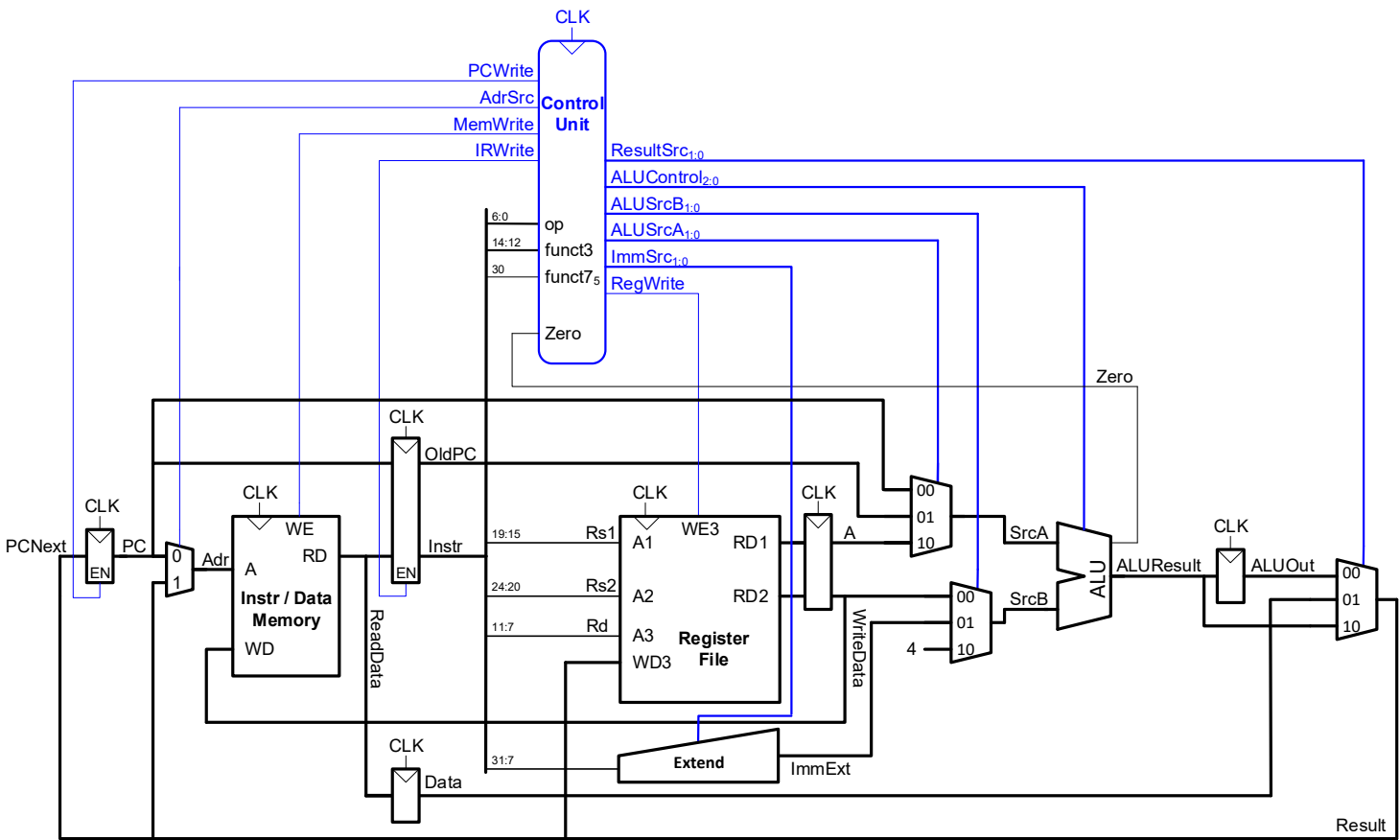


PC → Mem
Mem → IR
PC + 4 → PC

Passo 1

Fetch

PCWrite	AdrSrc	MemWrite	IRWrite	RegWrite	ImmSrc	ALUSrcA	ALUSrcB	ALUControl	ResultSrc
1	0	0	1	0	xx	00	10	000	10

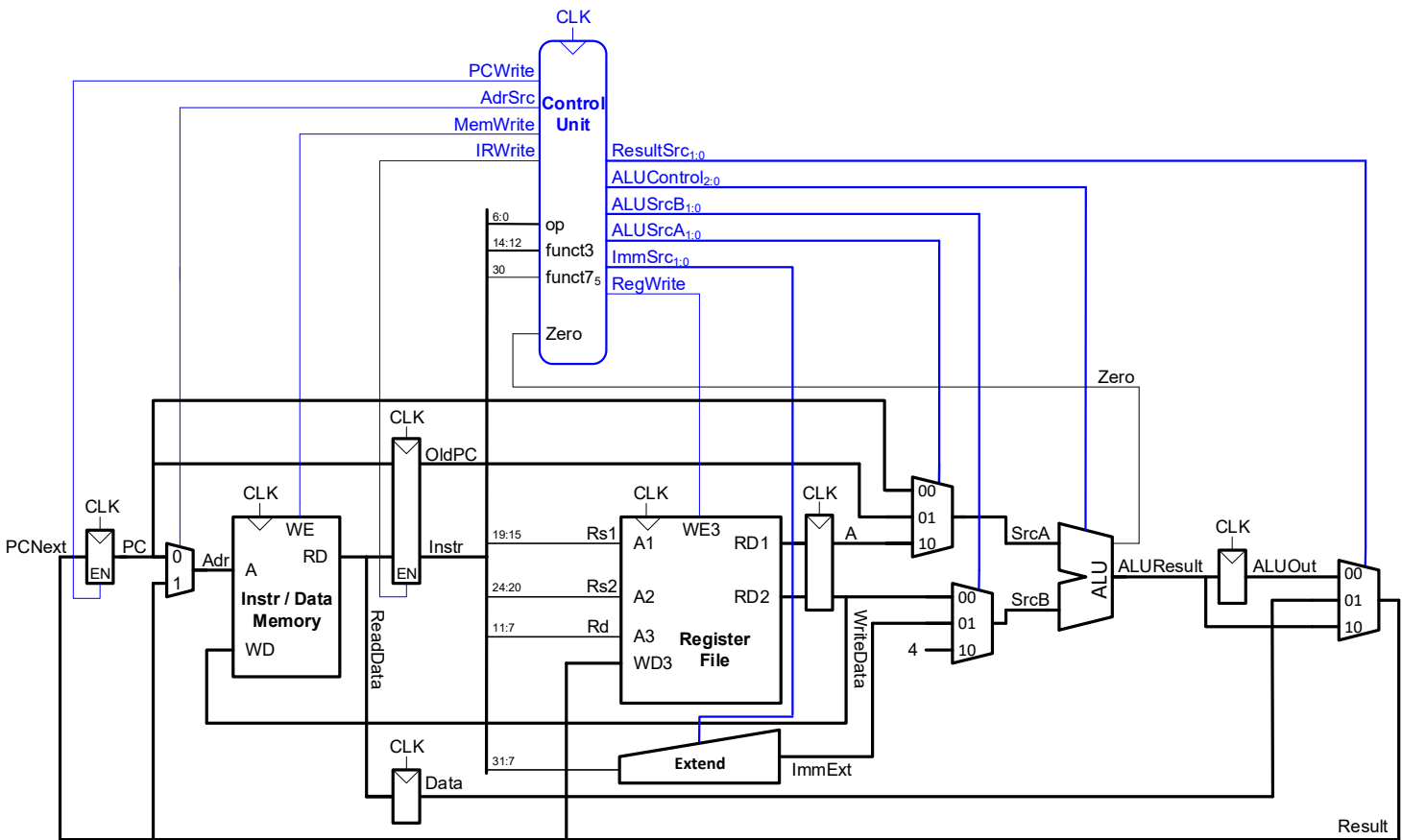


RF_[IR19÷15] → A
Estensione segno [IR31÷20]

Passo 2

Decode

PCWrite	AdrSrc	MemWrite	IRWrite	RegWrite	ImmSrc	ALUSrcA	ALUSrcB	ALUControl	ResultSrc
0	x	0	0	0	00	xx	xx	xxx	xx



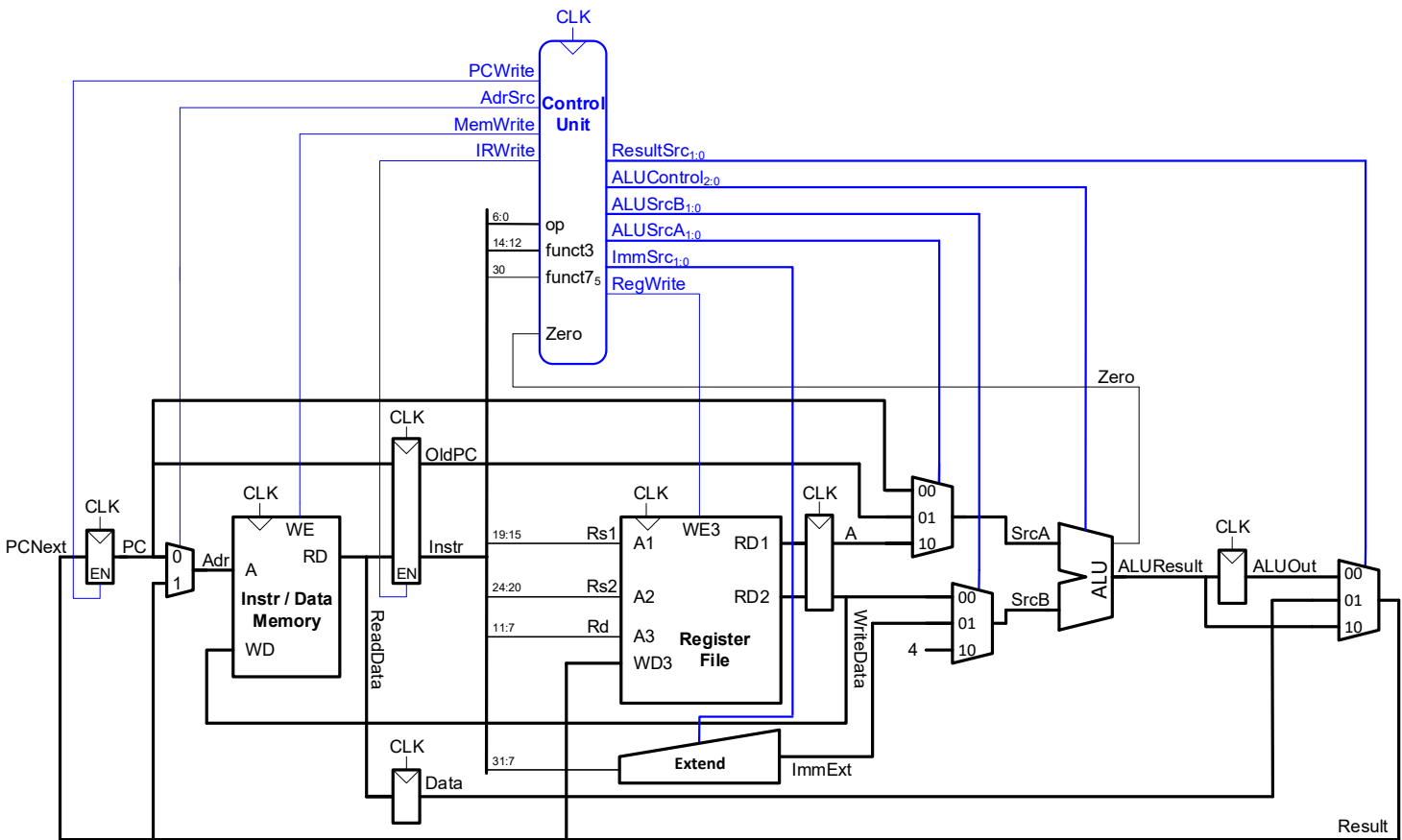
5 In questo lucido si ignora la possibilità di usare questo periodo di clock per il calcolo dell'indirizzo richiesto da un'eventuale istruzione di salto.

A + ImmExt → ALUOut

Passo 3

ExecuteI

PCWrite	AdrSrc	MemWrite	IRWrite	RegWrite	ImmSrc	ALUSrcA	ALUSrcB	ALUControl	ResultSrc
0	x	0	0	0	xx	10	01	000	xx



ALUOut → RF_[IR11÷7]

Passo 4

ALUWB

PCWrite	AdrSrc	MemWrite	IRWrite	RegWrite	ImmSrc	ALUSrcA	ALUSrcB	ALUControl	ResultSrc
0	x	0	0	1	xx	xx	xx	xxx	00

