

Lez 01 OPTOELETTRONICA

DISPOSITIVI A SEMICONDUTTORI

LED - FOTODIODI \rightarrow dispositivi a funzione.

- Eq. di drift-diffusione

$$J_n = \frac{n e^2 \tau}{m_e^*} \vec{E} + e \Delta n \vec{D} n \quad \left. \right\} \text{Drift-Diffusion}$$

$$J_p = \frac{p e^2 \tau}{m_i^*} \vec{E} - e \Delta p \vec{D}_p \vec{v}_p$$

$$\frac{\partial n}{\partial t} - \frac{1}{e} \vec{D} \cdot \vec{J}_n = G - R \quad \left. \right\} \text{Eq. di continuità}$$

$$\frac{\partial p}{\partial t} + \frac{1}{e} \vec{D} \cdot \vec{J}_p = G - R$$

$$-\nabla D^2 \phi = e [p(r) - n(r) + N_{D^+}(r) - N_{S^-}(r)] \quad \left. \right\} \begin{matrix} \text{Eq. di} \\ \text{Poisson} \end{matrix}$$

- Trascurando ricomb. e generazione in zona del streaming si ritrova l'eq. di S.

$$J = J_n (e^{\frac{eV}{kT}} - 1)$$

• DIODI

Esistono diversi regimi di op. non ben descritti da eq. di S.

Forward \rightarrow abbassa barriera \rightarrow aumenta minority diffusion

Reverse \rightarrow barriera si alza \rightarrow soppressione diff. minoritari

+ piccola corrente da ricomb. e generazione cariche
in space charge region

($\approx 10:00$)

\hookrightarrow piccola corrente di leakage in reverse

Break down \rightarrow livelli allineati \rightarrow corrente diretta per
effetto tunnel

(S e Z regimi di funzionamento del diodo)

\hookrightarrow Uso per:

- diodi emettori di luce (LED)

- " " " rivelatori " " (Fotodiodi)

($\approx 13:00$)

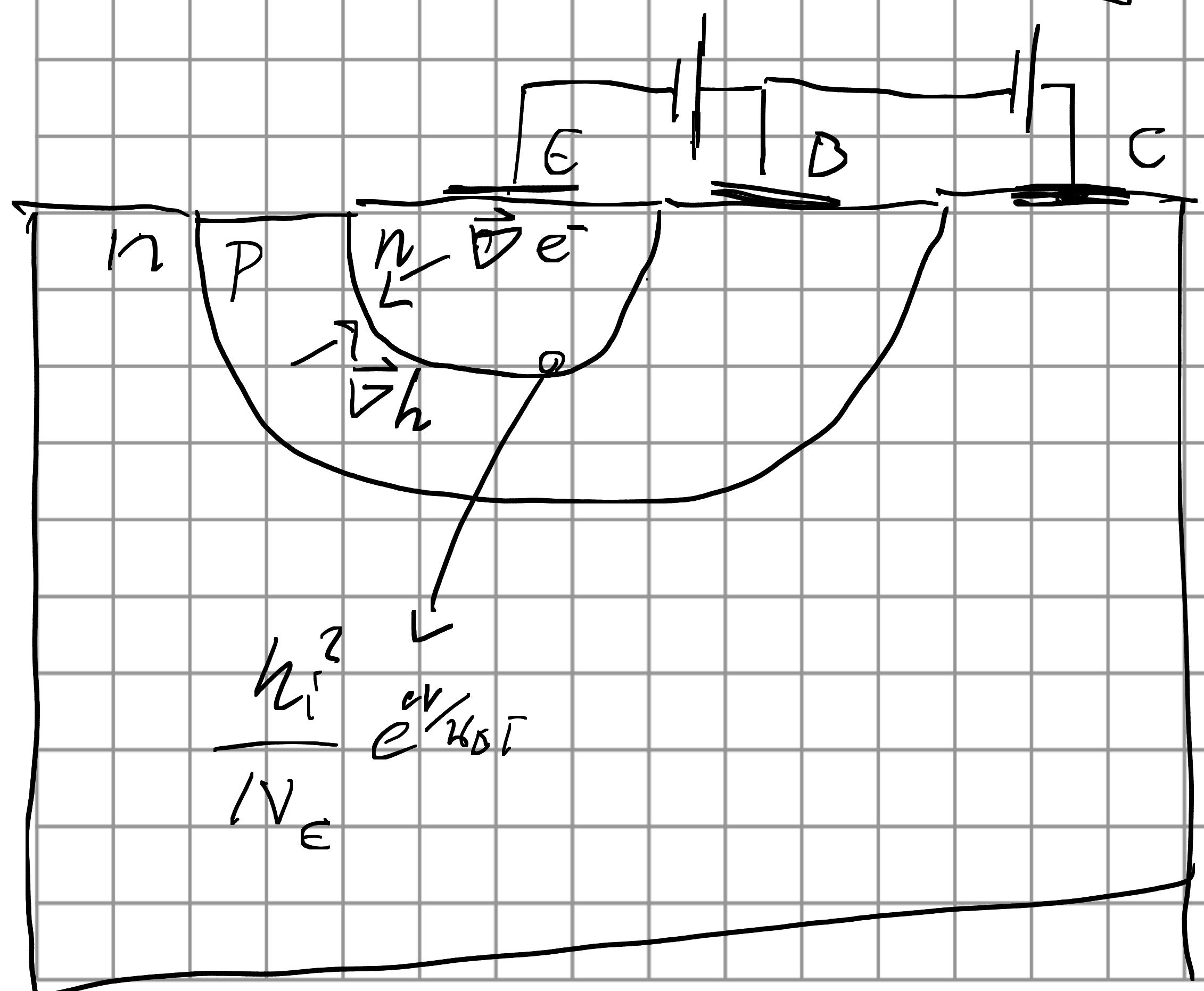
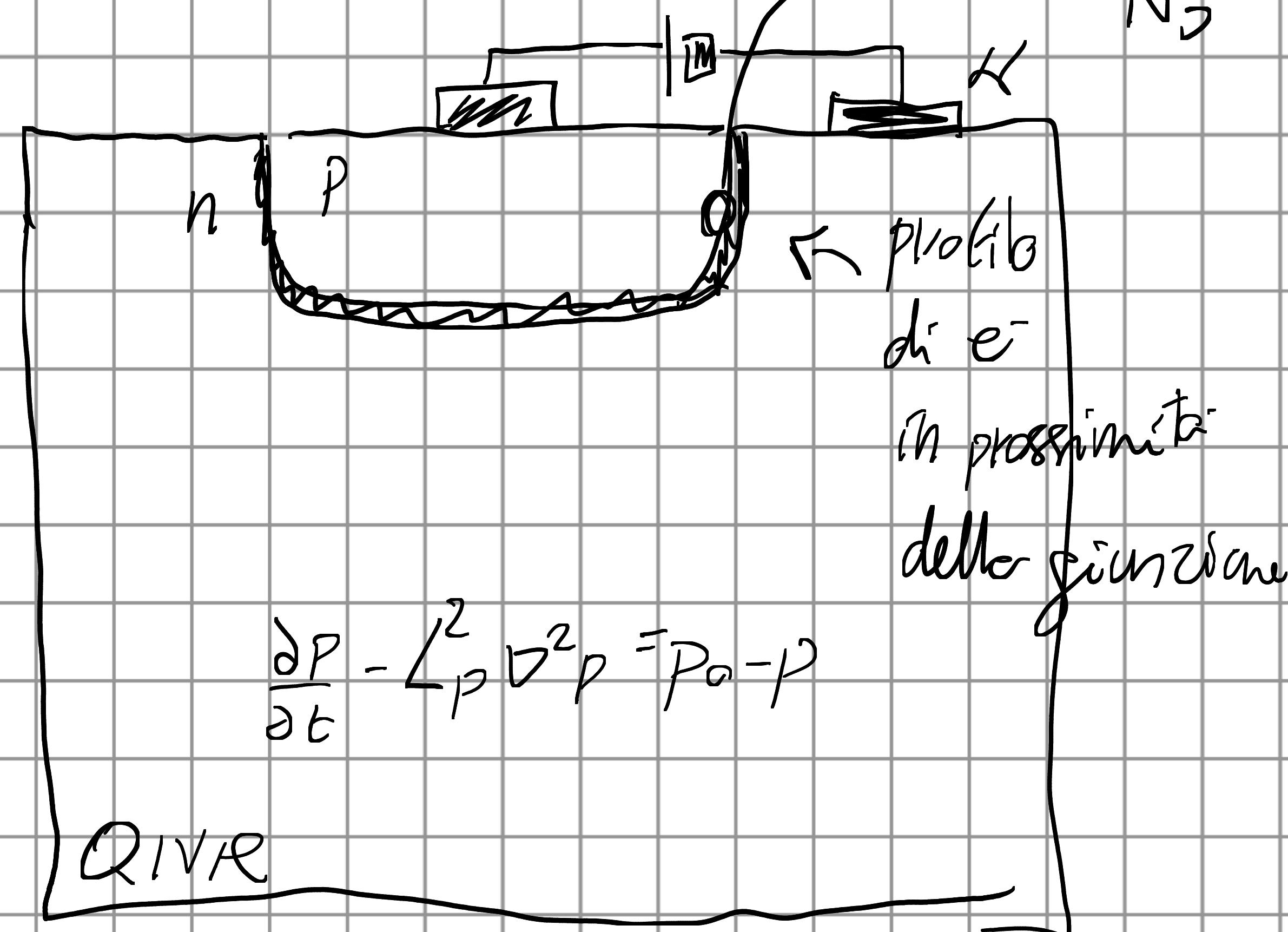
D → alta inversione → ($\approx 15 : 00$)

↓ continua

E → resistenza del diodo.

• DISPOSITIVI REALI.

$$\frac{n_i^2}{N_D} e^{-\frac{qV}{kT}}$$



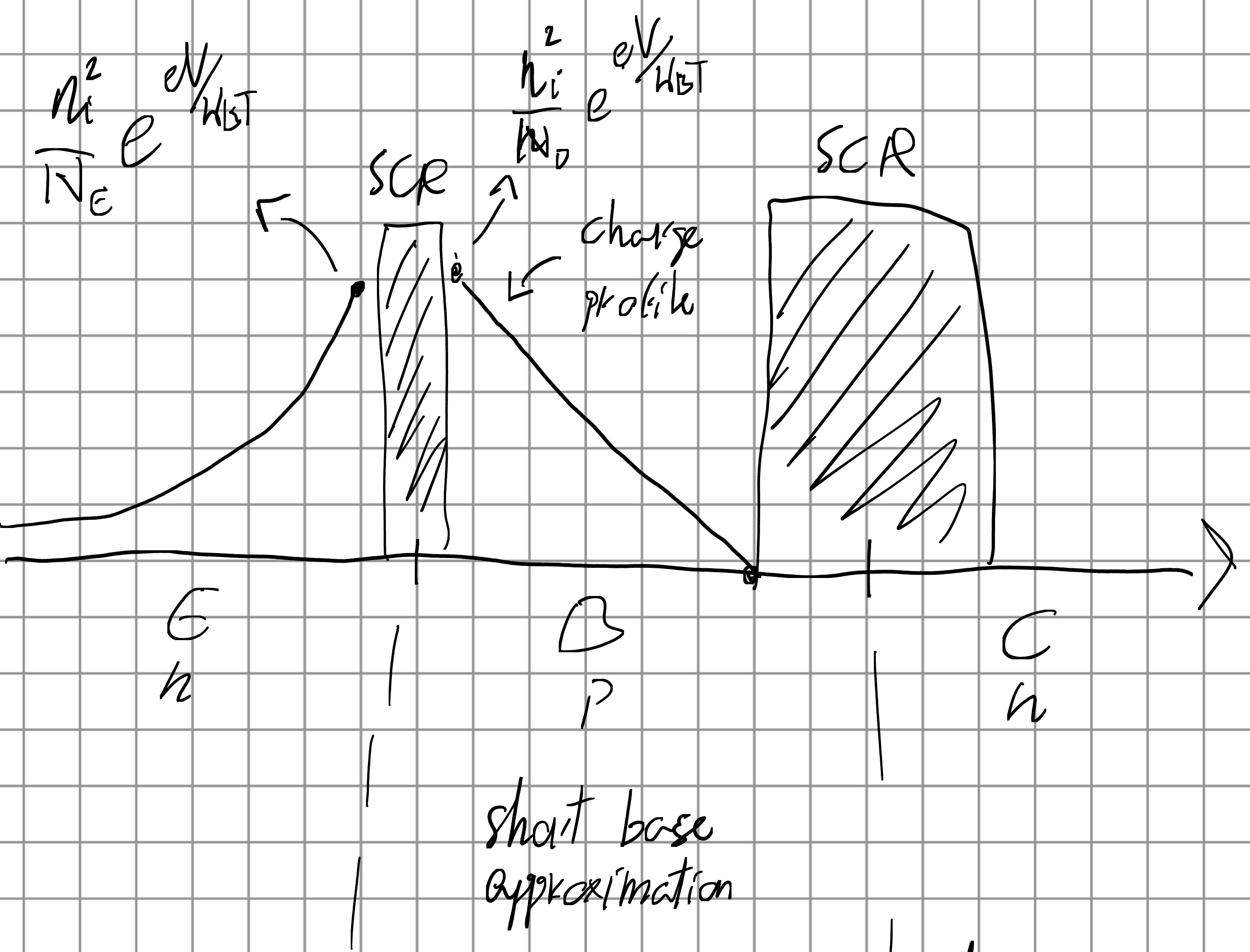
• TRANSISTOR nph. (~~*22:00~~)

$$V_{BE} > 0 \quad V_{CB} < 0$$

depl. zone tra E-D piccola

1

"B-C grande"



$$J_E = e \frac{D_E}{L_E} \left(e^{eV_{HBT}} - 1 \right)$$

$$N(x) = N_0 + A e^{-x/L} + B e^{x/L}$$

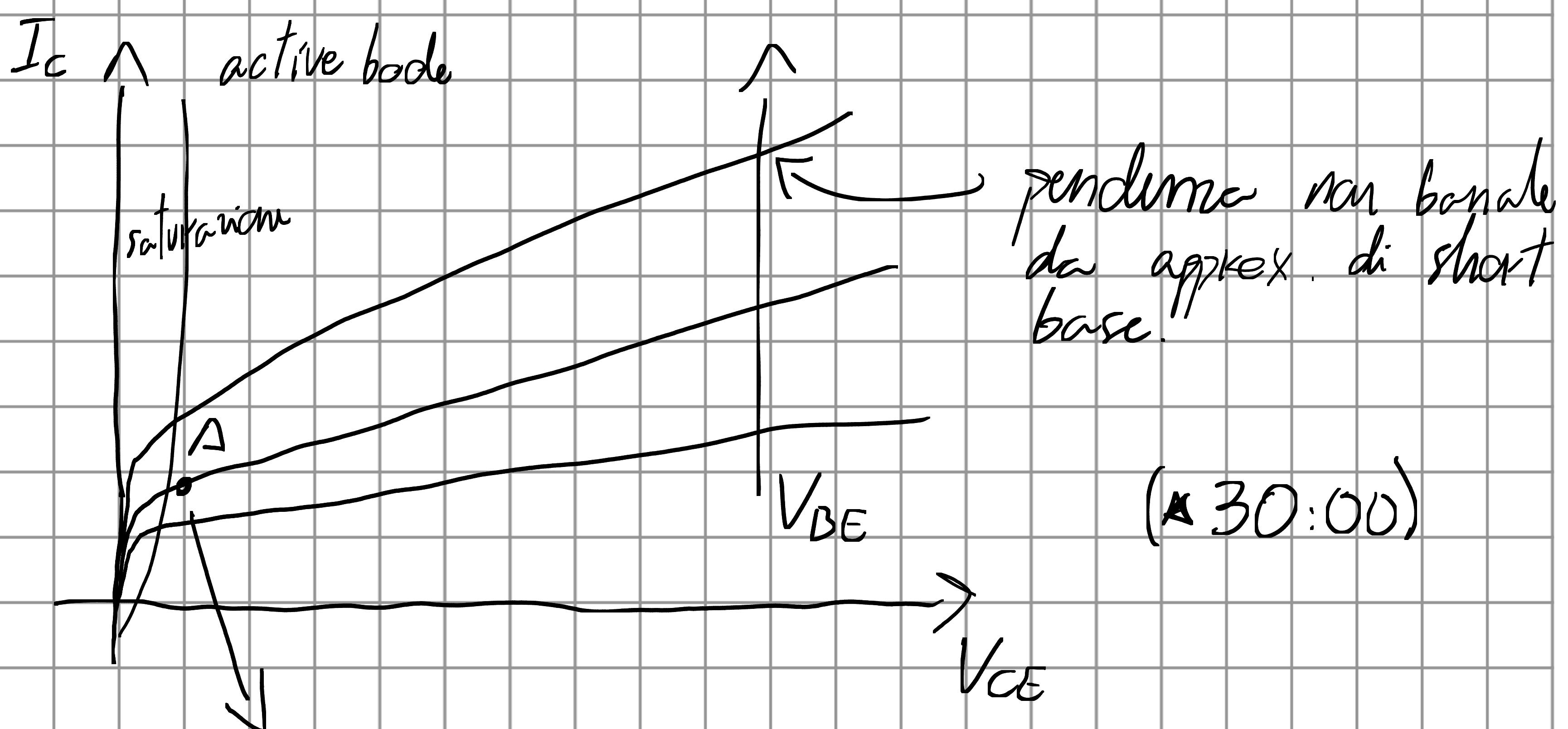
$$| J_h = e \frac{D_B}{L} \frac{n_i^2}{N_B} e^{eV_{HBT}}$$

$J_E \rightarrow$ dovuta solo dagli e- che raggiungono giunzione

I_b corrente che dip. da W : $I_e \propto \frac{1}{W}$

larghezza base

Effetto Early



$$V_{CE} = V_e - V_C = (V_e - V_B) + (V_B - V_C)$$

Al largo delimit. zone BC \Rightarrow pericolo elettronico
+ pendente in Base (cambio W , lo riduco)

Roddaro ha script per vedere funzionamento giuriani.

• LED.

Incapsulati in involucro trasparente.

Giunzione Pillola

A-H collegati solo da pillola filo di bondage

• FORWARD BIAS \rightarrow regione dove ricomb. coviche non trascurabile.

Coviche si ricaricano in SCR col commutatore

(coviche che posso da banda di cond. a valenza)

\hookrightarrow eretta luce nel passaggio

• FOTODIODO \rightarrow rilettore basato su diodo

Arriva γ

$E_\gamma < E_{gap} \Rightarrow \gamma$ passa, dà d. trasp.

$E_\gamma \geq E_{gap} \Rightarrow \gamma$ eccita e- da banda ad altra

- Ecco che c'è in giunzione, ha $E_{\text{built-in}}$, "c'è separato da buca" \Rightarrow ha corrente.

\hookrightarrow c'è eccitati in cond. da δ con $E_y > E_{\text{gap}}$, in prox. di giunzione.

\hookrightarrow Ha foto-corrente.

Foto-diode \rightarrow con giunzione molto larga (h 2D)

così ha foto-corrente grandi

Altro fattore \rightarrow estensione dep. zone.

\rightarrow piccola \rightarrow se dep. zone non estesa, non arriverà

\rightarrow grande \rightarrow penetra di +, + prob. che arrivino a giunzione in dep. zone.

- La luce sposta avrà catatt. diodo \rightarrow ha generazione extra

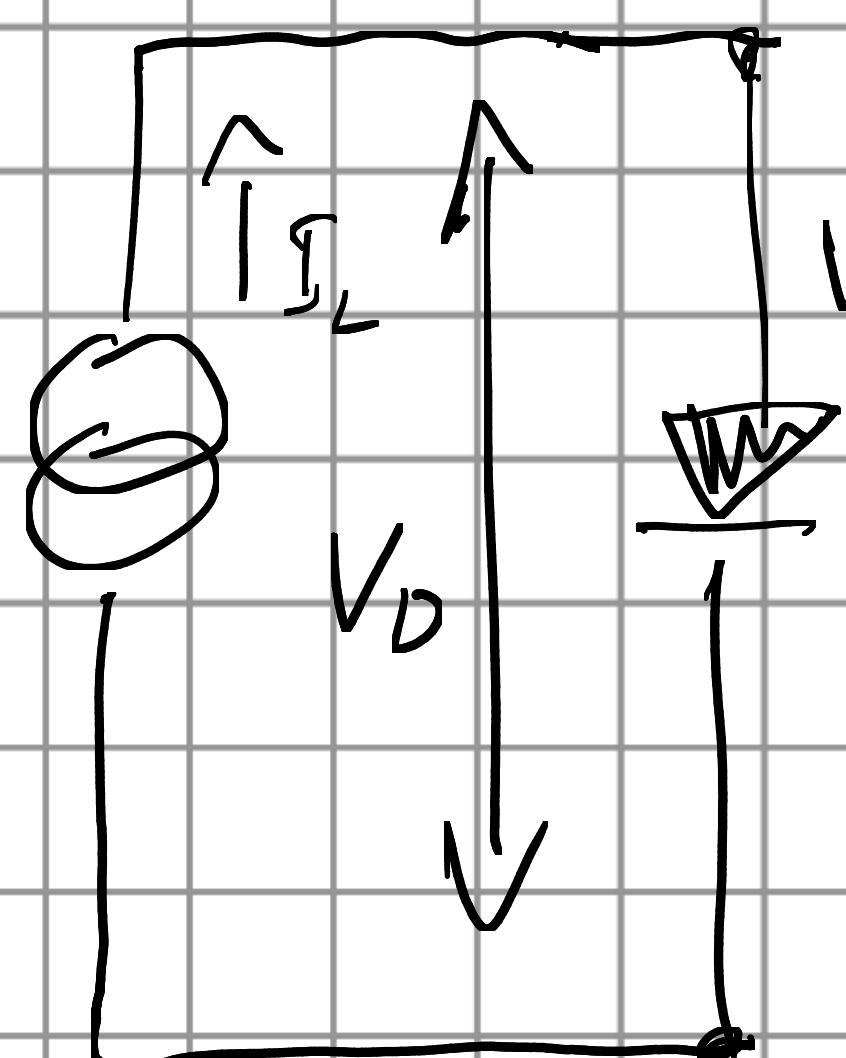
2 modi per rivelare luce con Iod. (* 93!00)

- Short Iod \rightarrow diodo cortocircuitato.

- Open Iod \rightarrow diodo non collegato \rightarrow DDP ci vuol capi se illuminato

Short-Open \rightarrow punti diversi in caratteristica.

- Short mode a livello circuitale:



$I_D \rightarrow$ background term

da sottrarre per calc. effetto luce.

\rightarrow potenza luce incidente

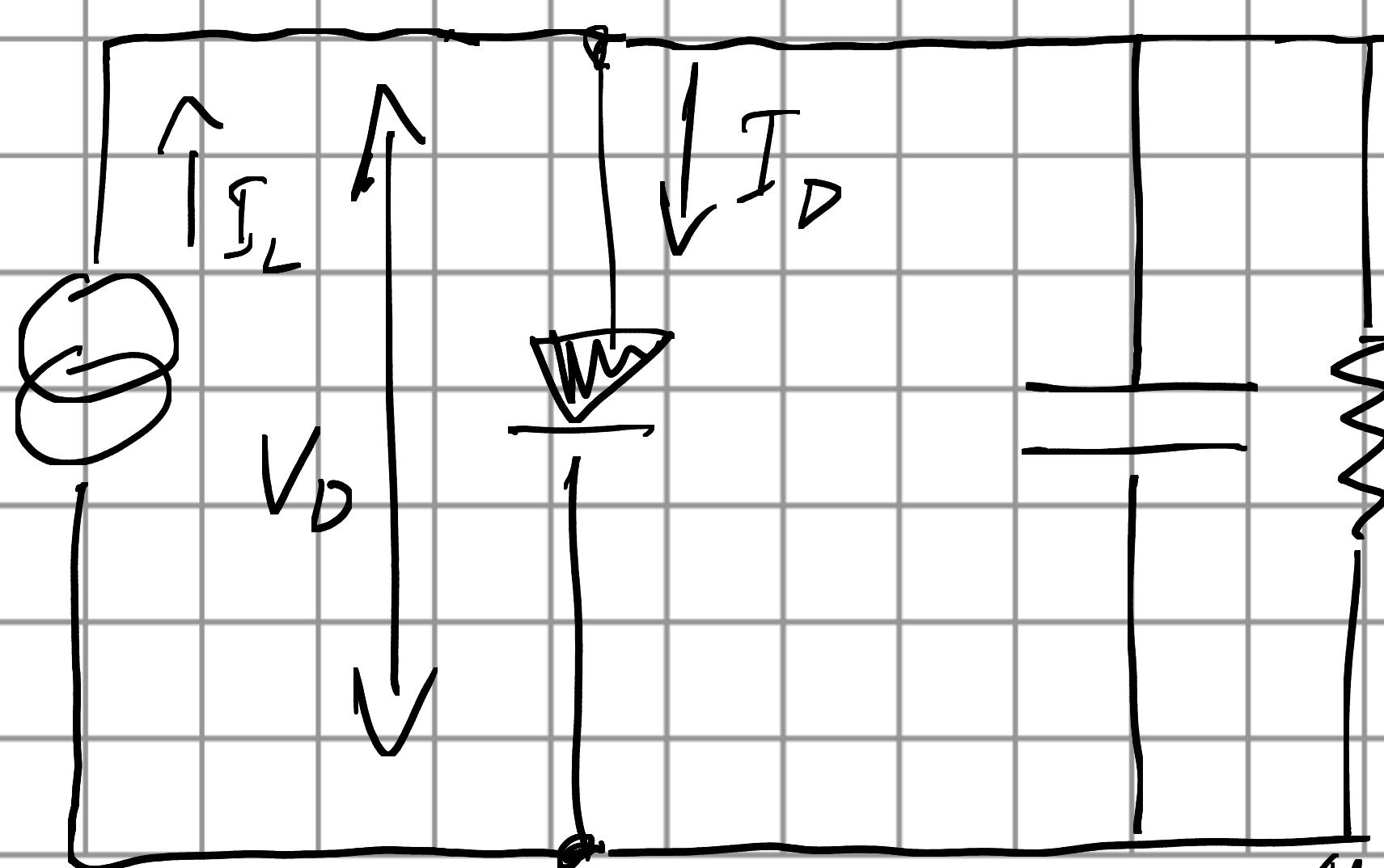
$$I_L = \gamma(V) \frac{W}{h\nu} e^{-9 \text{ carica}}$$

\downarrow L γ enegy factor incidente

quantum efficiency

(tabulato)

- Posso aggiungere un diodo condensatore.



amm + 2 resistenze

R_s in serie

\hookrightarrow tutte altre
resistenze nel circuito

\hookrightarrow canale prop. corrente // diodo

e^- non passano in giunzione ma "attraverso" \hookrightarrow leakage nel diodo

- Molti effetti, bisogna essere bravi a trarre l'effetto della luce.

Altre Modalità:

• Fotovoltaico (no bias) \rightarrow vantaggio: no generatore, circuito - ingombrante.

• Fotoconduttivo (reverse bias)

\hookrightarrow campo elettrico a giurazione + intenso
 \Rightarrow separa cariche + rapidamente

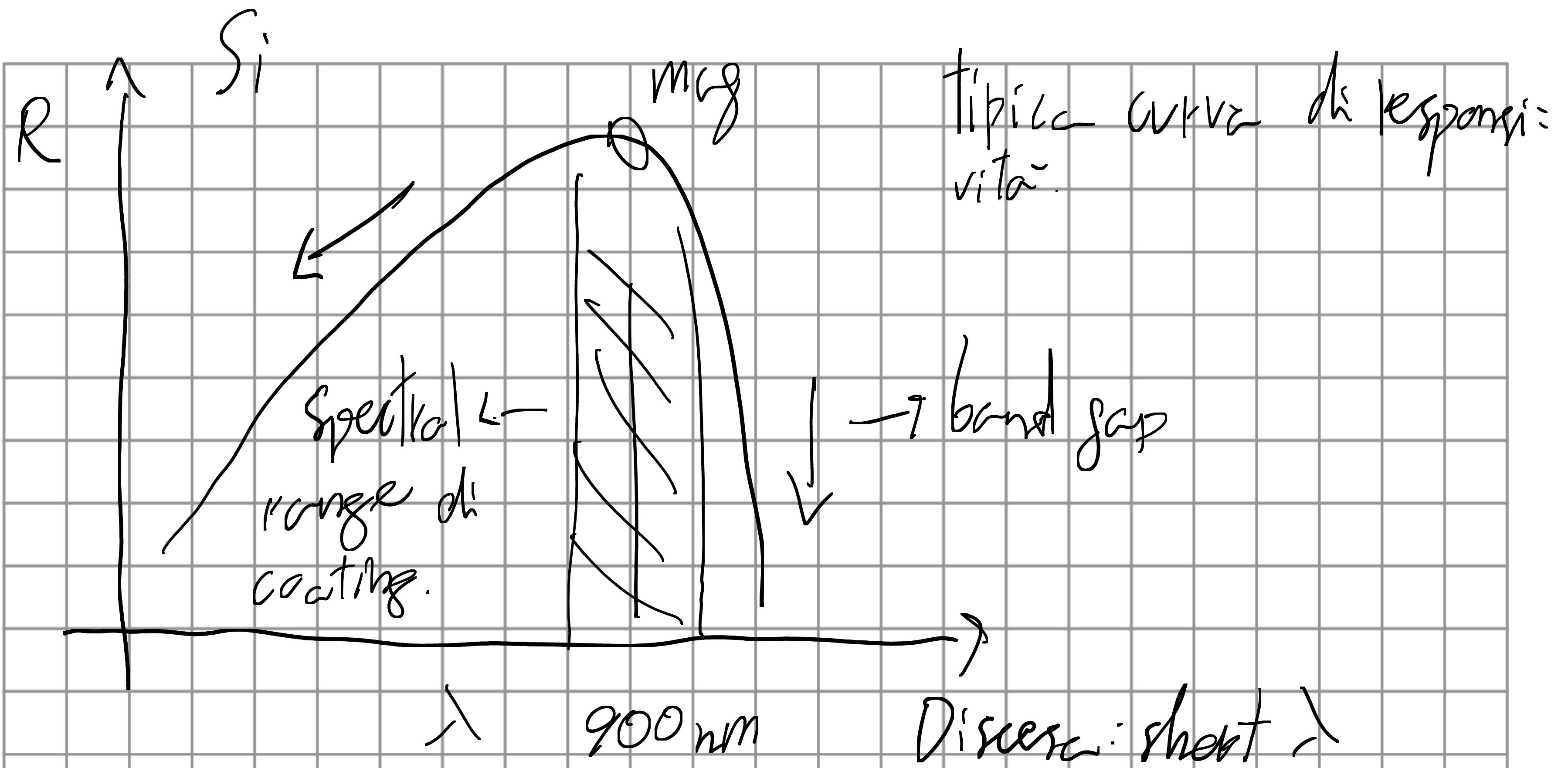
- Figure Merito Rivelatore:

• Responsività: quanti ampere misuro su Watt di luce incidente

$$R[\Delta_W] = R(\lambda)$$

• Corrente di buio: segnale di fondo.

• Tempo di risposta \rightarrow limitati (sempre) dei condensatori



- Rigomb. coriche su disegli (su superficie del dispositivo)
- Assorbimenti lontani da gittazione
- Cause esterne \rightarrow coperture anti riflessi

Anti-reflection coating

No riflessione, ma in interv. \hookleftarrow
vallo di λ molto ristretto.

\hookrightarrow Si $n > 3 \Rightarrow$ molta riflessione \Rightarrow serve reflection coating

• ALTRI PHOTO RIVELATORI

Fotomoltiplicatori → Pallettari *(01:00:00)

Bolometri → rivelano luce tramite cambiamenti di T

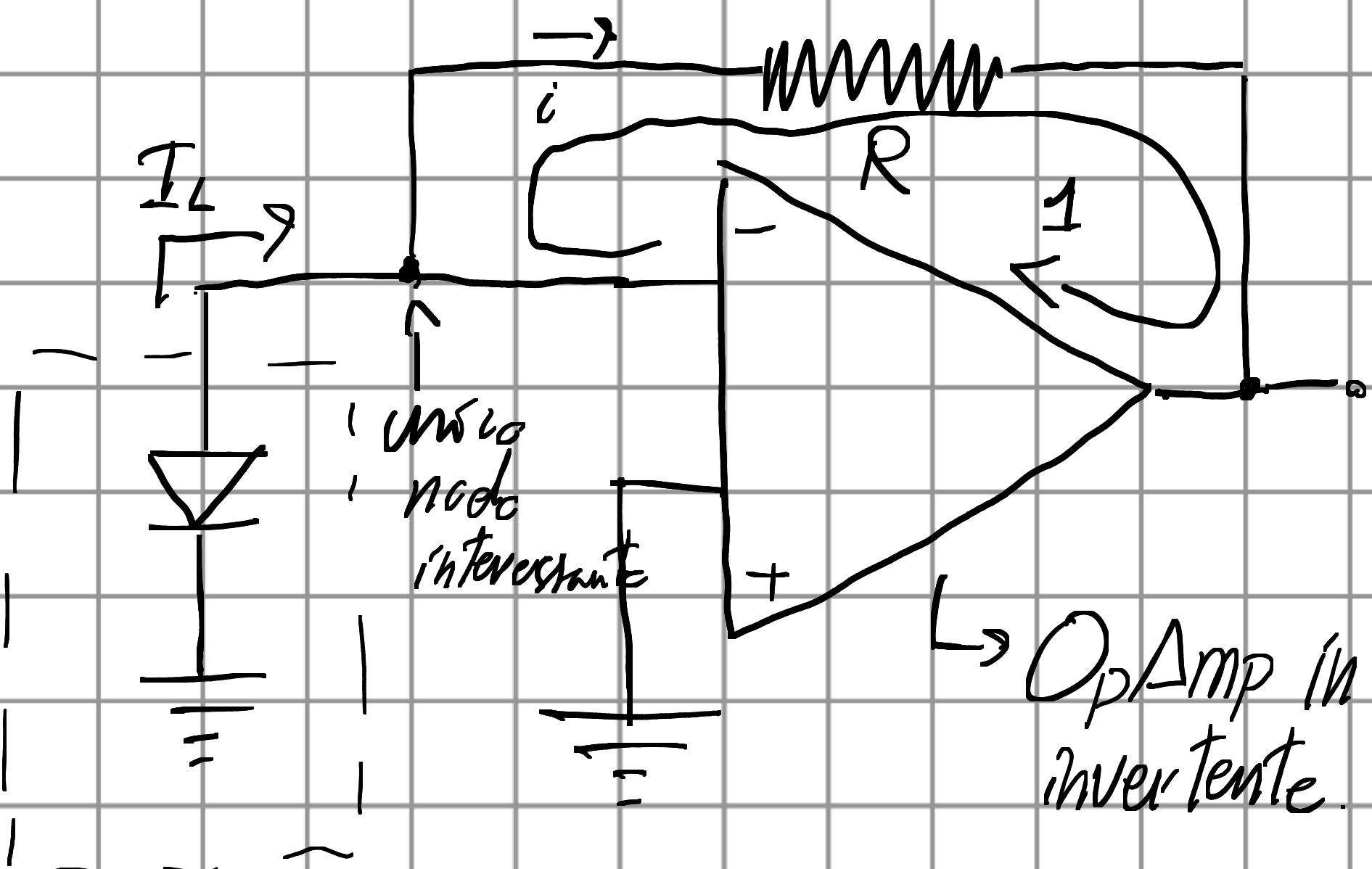
→ rivelano luce attraverso cambiamento di T dovuto ad essere w/ detector

Dispositivi meccanici

Celle di Galaxy

• CIRCUITI CON OPAMP.

- Convertitore corrente - tensione



OpAmp in config. → valgono golden rule
invertente.

black box → genera corrente $I_L = \frac{U}{hV}$ e

$$1. V_- - V_{out} + R_i = 0 \Rightarrow V_{out} = -R_i V_-$$

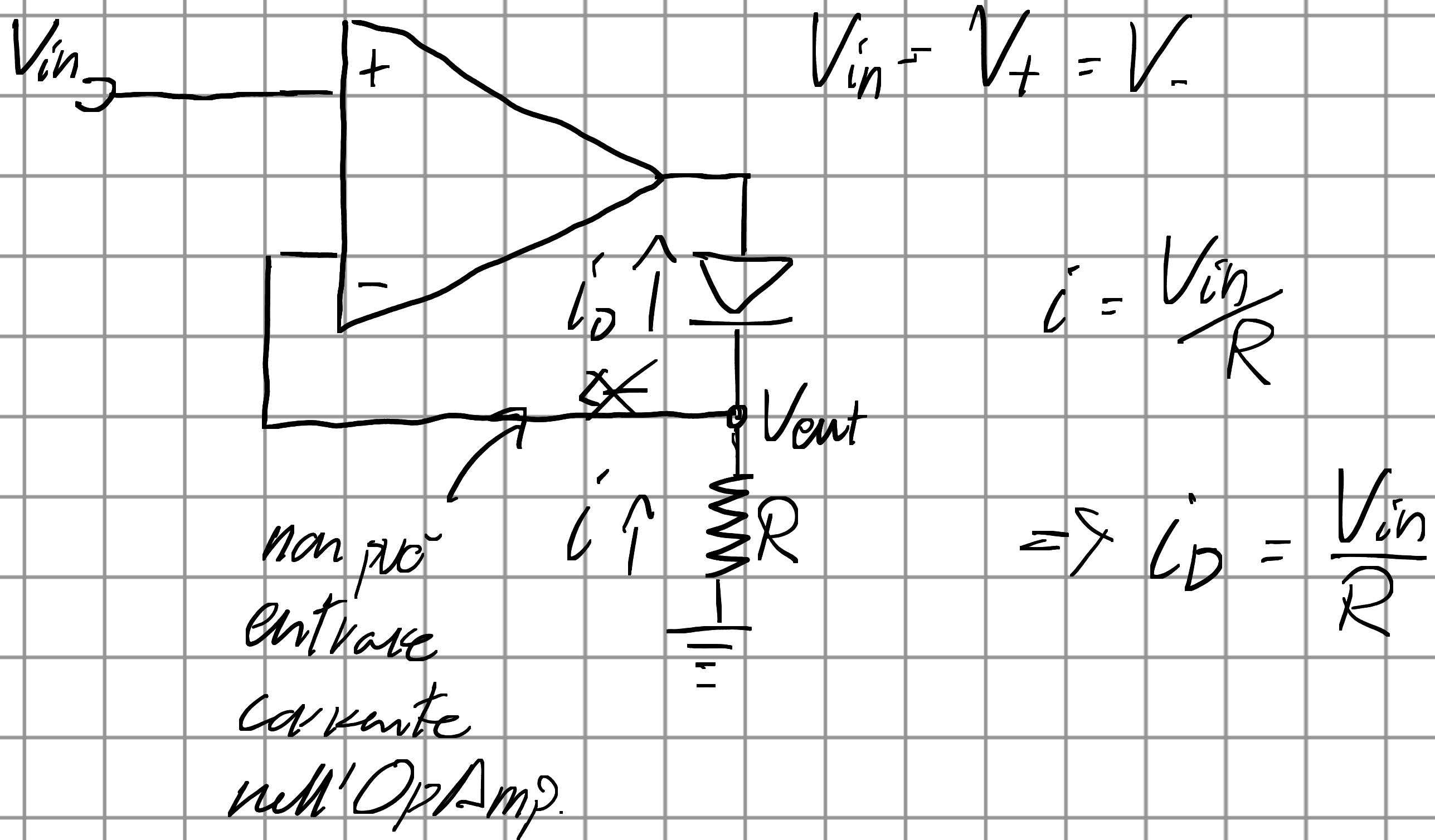
$$V_- = V_+ = 0$$

Nodo $I_L = +i'$

$$V_{\text{out}} = -R i_L$$

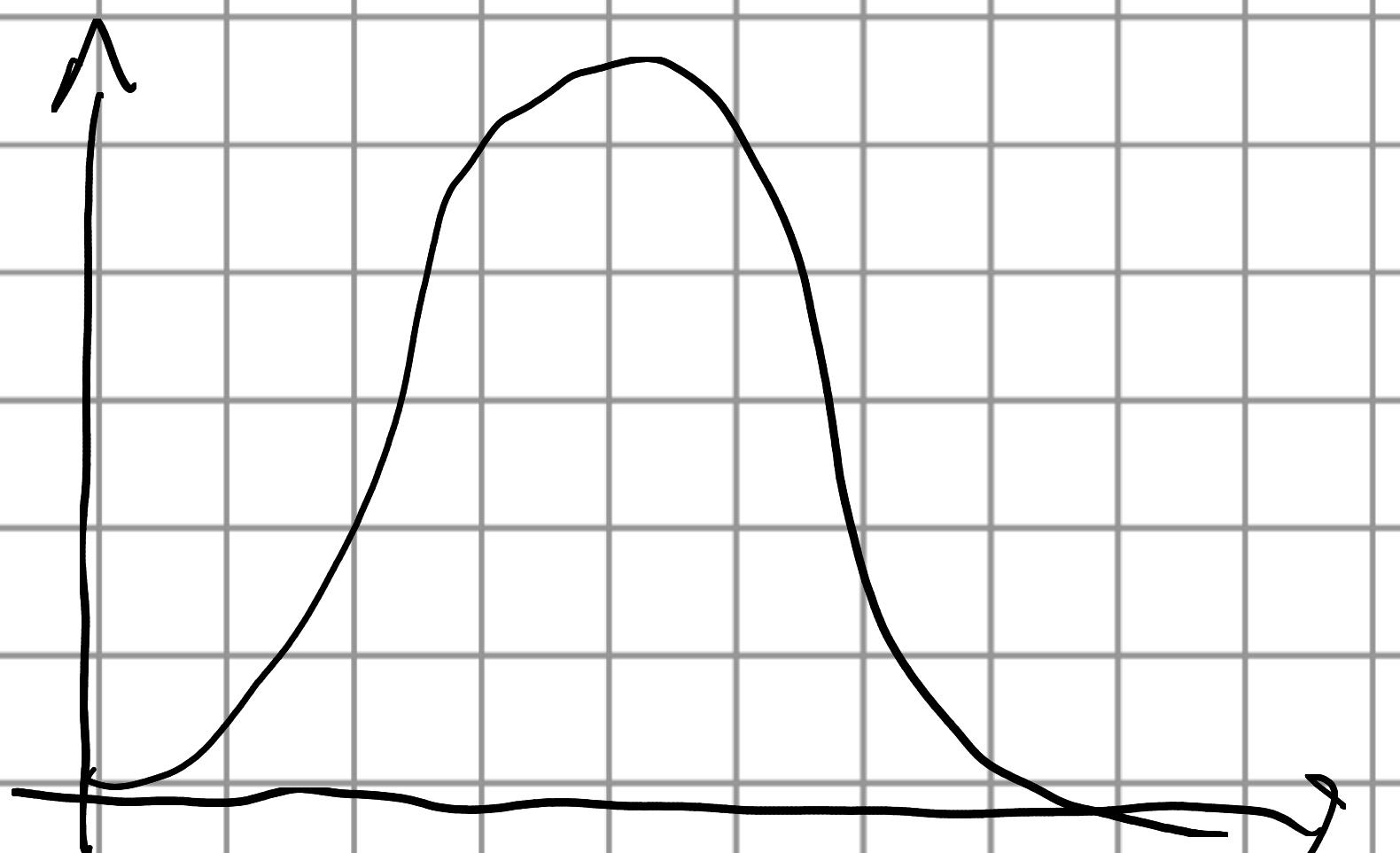
- Aggiungo $C \parallel a R \rightarrow$ stabilizza (sistema problemi per variazioni troppo rapide)

• CONVERTITORE TENSIONE - CORRENTE.



OpAmp: + stabile rispetto al drive diretto

• STIMA PLANCK - COSTANT



Sposti di LED

↳ stima dati da distribuzione dei γ .

Dist - Gaussiana :

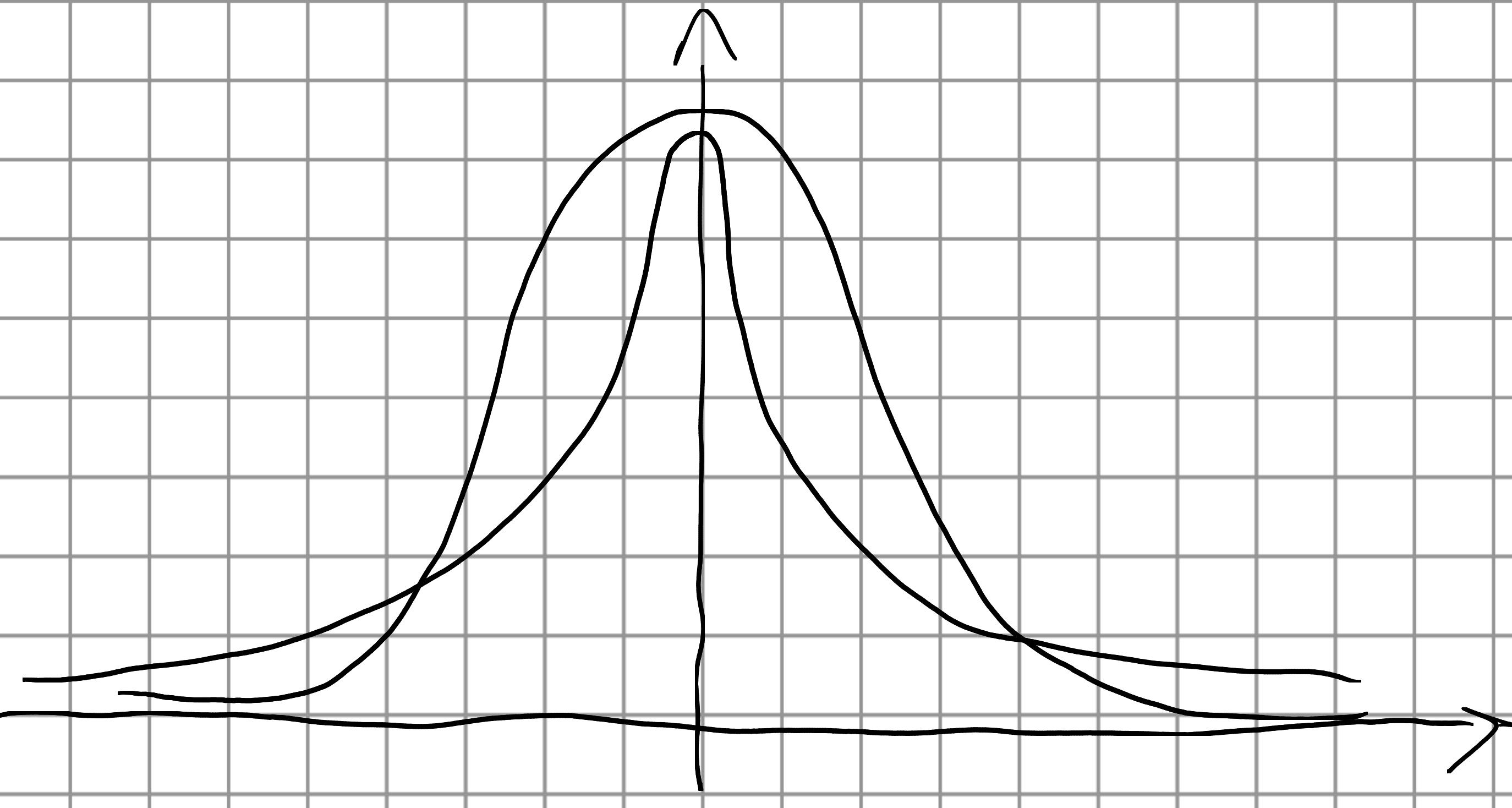
$$\Delta e^{-\frac{(x-x_0)^2}{2\sigma^2}}$$

↳ Allargamenti → effetti fermi

Dist - Lorentziana :

$$\frac{\Delta \gamma}{(x-x_0)^2 + 2\gamma^2}$$

↳ Allargamento → stato con tmp. di decay finito prima di ricombinarsi



- Voigt dist \rightarrow ha peso e dist. va da Gauss
Lorentz

peso \rightarrow dice quanti sono gaussiani e
quanti lorentziani.

Dist. brutta $\rightarrow \alpha = HWHM$

\hookrightarrow Altrimenti, se conosci modello, fatto con L o G

Dice quanti sono gauss e lorentz.

L, G. max diff. in code, se non le raccogli
bene sei fatte, non le distingu.

Lez 02 OPTOELECTRONICS.

• FIELD EFFECT TRANSISTOR (FET)

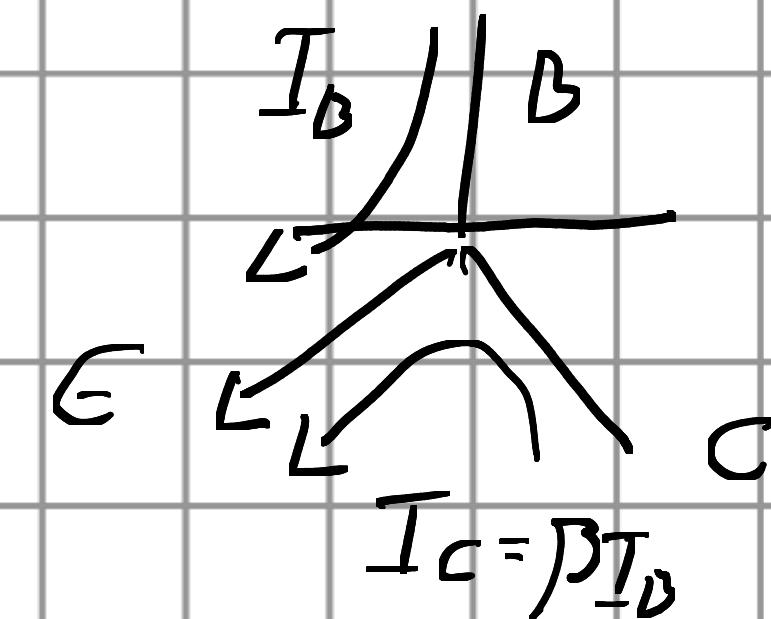
↳ Trasforma analogiche in digitali.

Bipolar Junction Transistor (BJT)

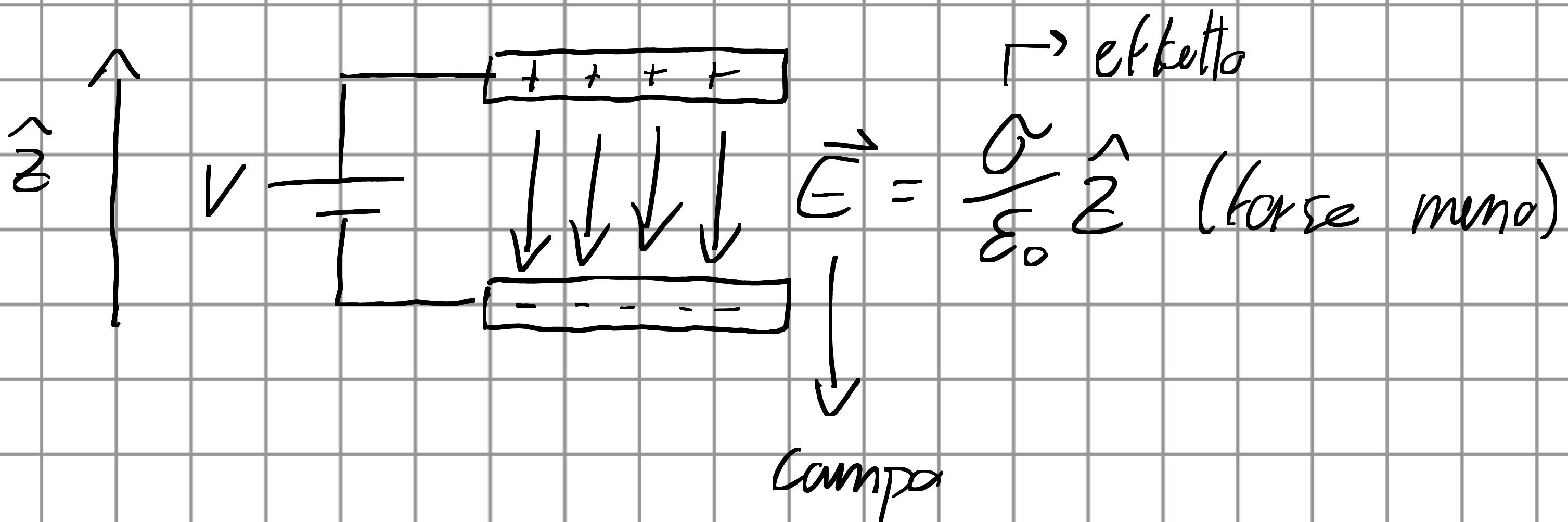


pianino pn ; 3 contatti B, E, C

regione attiva $I_C = \beta I_B$



- Dose per FET → condensatore



Grazie con possibilità di controllare carica con campo
e campo con carica.

↳ legato a come conduce tra le piastre.

- Condensatore metallivo ($\approx 08:00$)

$$N_{3D} \simeq 10^{23} \text{ cm}^{-3} \simeq 10^{19} \text{ m}^{-3}$$

$l \simeq 1 \mu\text{m}$ spessore di carica

$$C = e \cdot N_{3D} \cdot l = e \cdot 10^{23} \text{ m}^{-2}$$

$$|\vec{E}(0)| \simeq 10^{15} \frac{\text{V}}{\text{m}} \rightarrow \text{ond'onda (fulmine } \sim 10^6 \frac{\text{V}}{\text{m}})$$

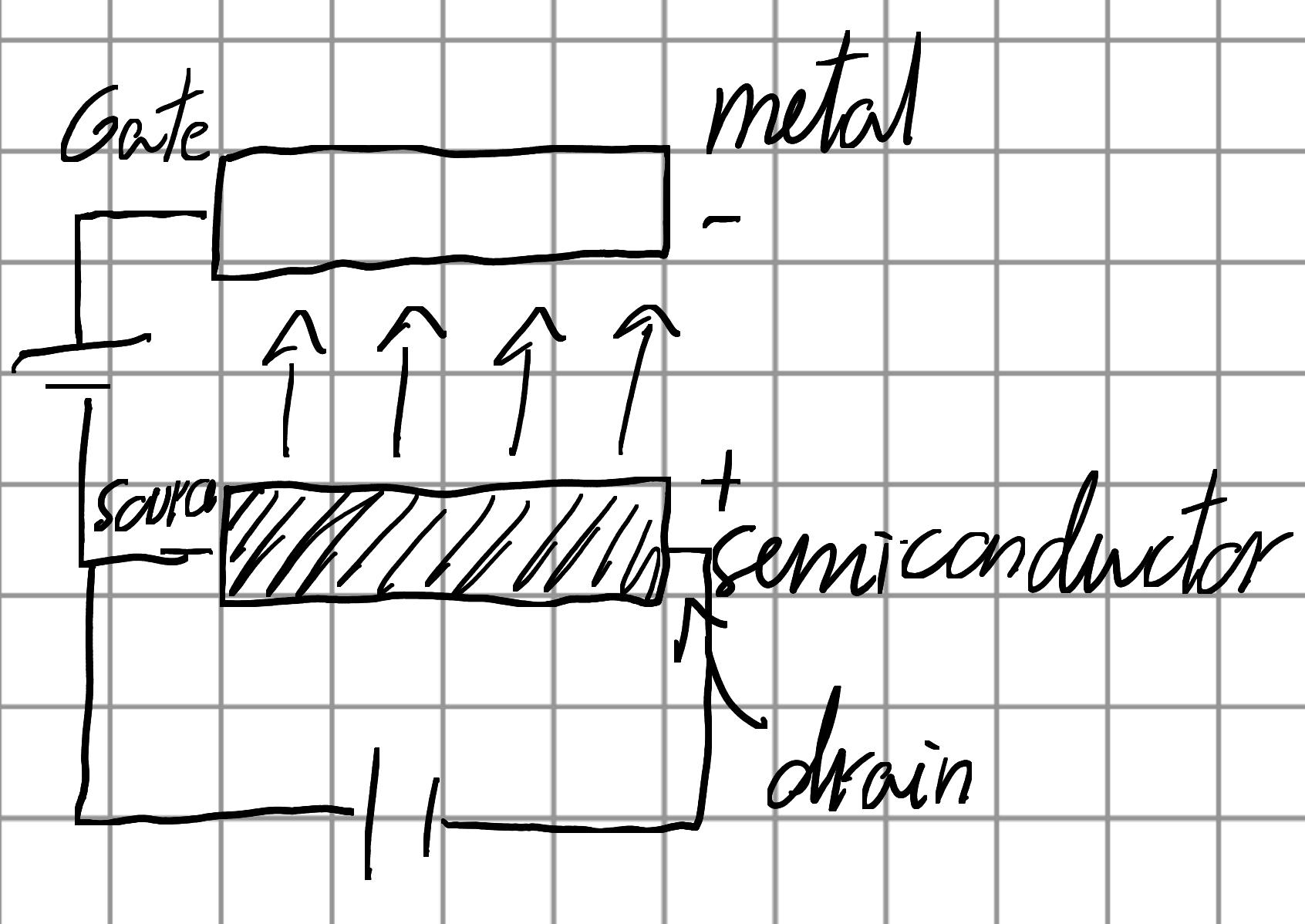
\hookrightarrow non ha niente a disposizione per generare campi così intensi da produrre una.

- Tighetto con piastra datta da semiconduttore.

$$\circ N_{3D} \simeq 10^{15} \text{ cm}^{-3} \rightarrow |\vec{E}| \simeq 10^7 \frac{\text{V}}{\text{m}} \text{ a la pesca fata}$$

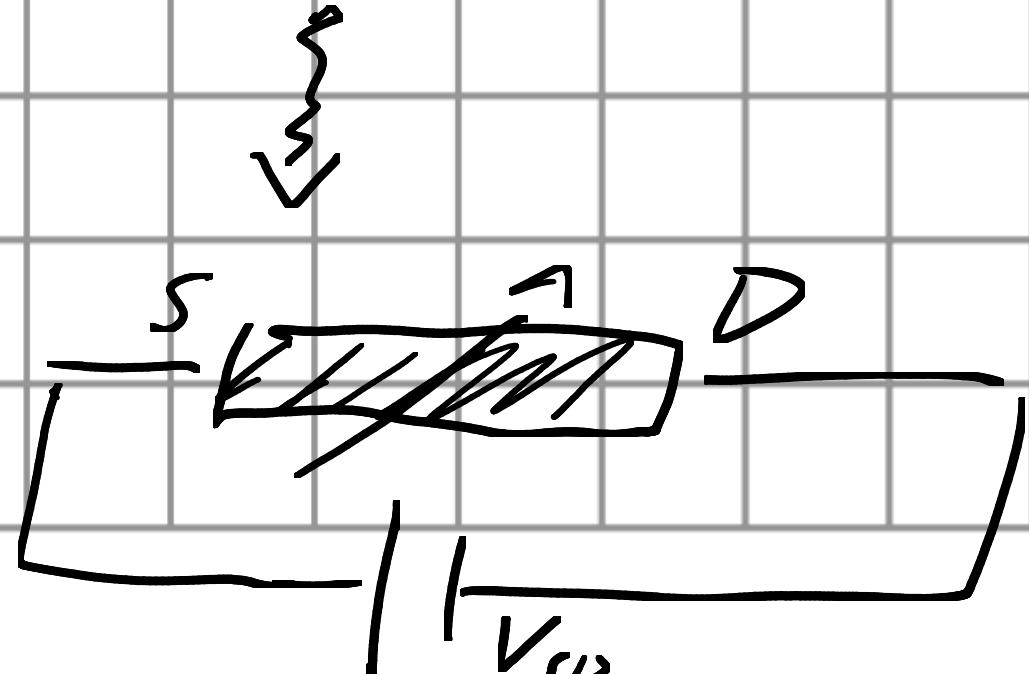
Ho quindi:

! ($\approx 13:00$)



S-D \rightarrow semicand che cond.

carica su semicand
controllata da \vec{E} in cond.



\rightarrow schematizzabile come R variabile

- Molti tipi

JFET → junction FET

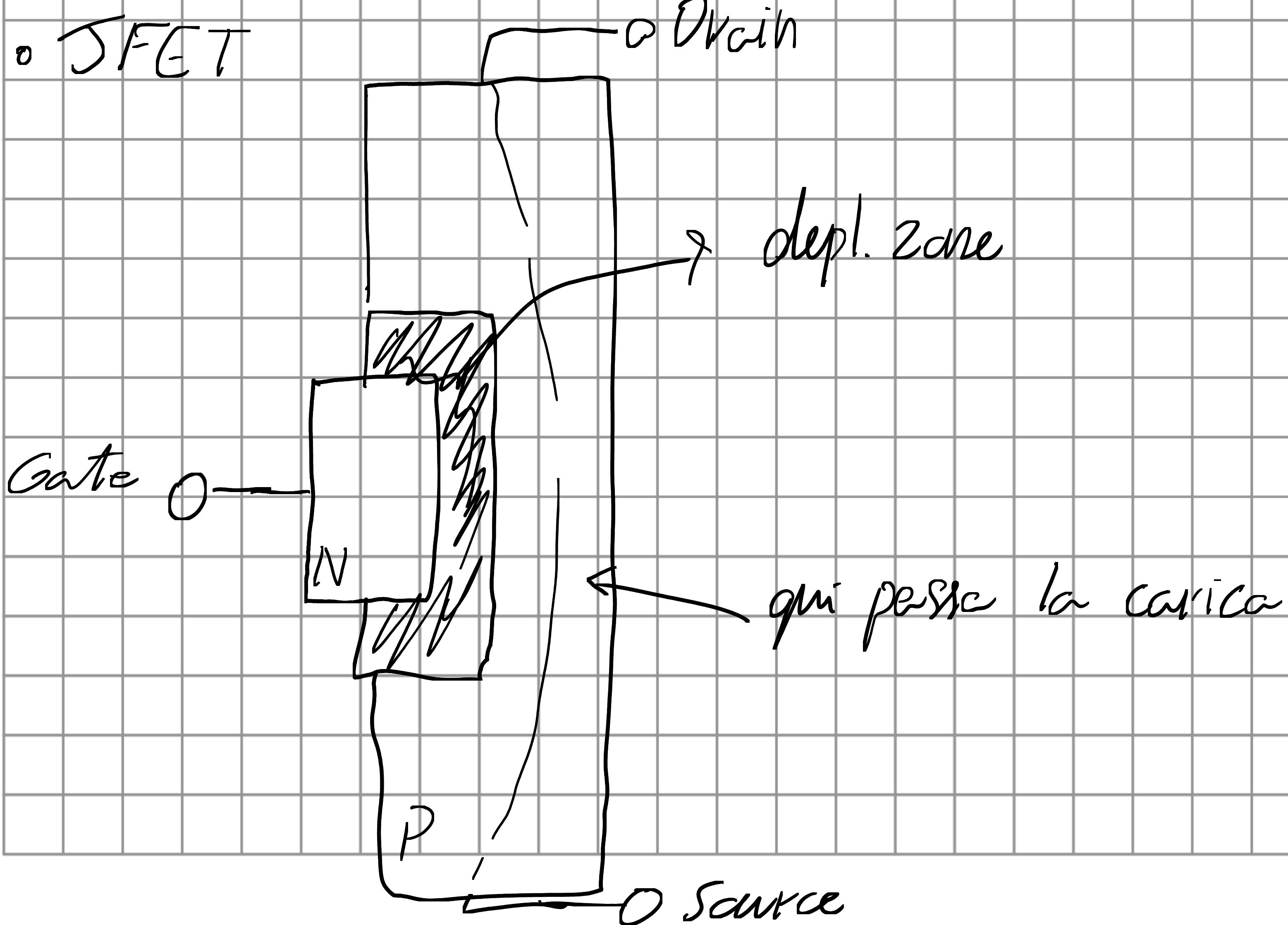
↳ simile a quanto visto, ma usa giunzioni p-n

MOSFET → metal oxide semiconductor FET

CMOS \downarrow \downarrow \downarrow
complementary

- FGT - [N-channel] → drogaggio del semicond.
 P-channel]

• JFET



- Estensione d. 2. $\rightarrow \alpha$ pot. applicato a juntione

$$W = \sqrt{\frac{2\epsilon}{S} V_G \left(\frac{1}{N_A} + \frac{1}{N_D} \right)}$$

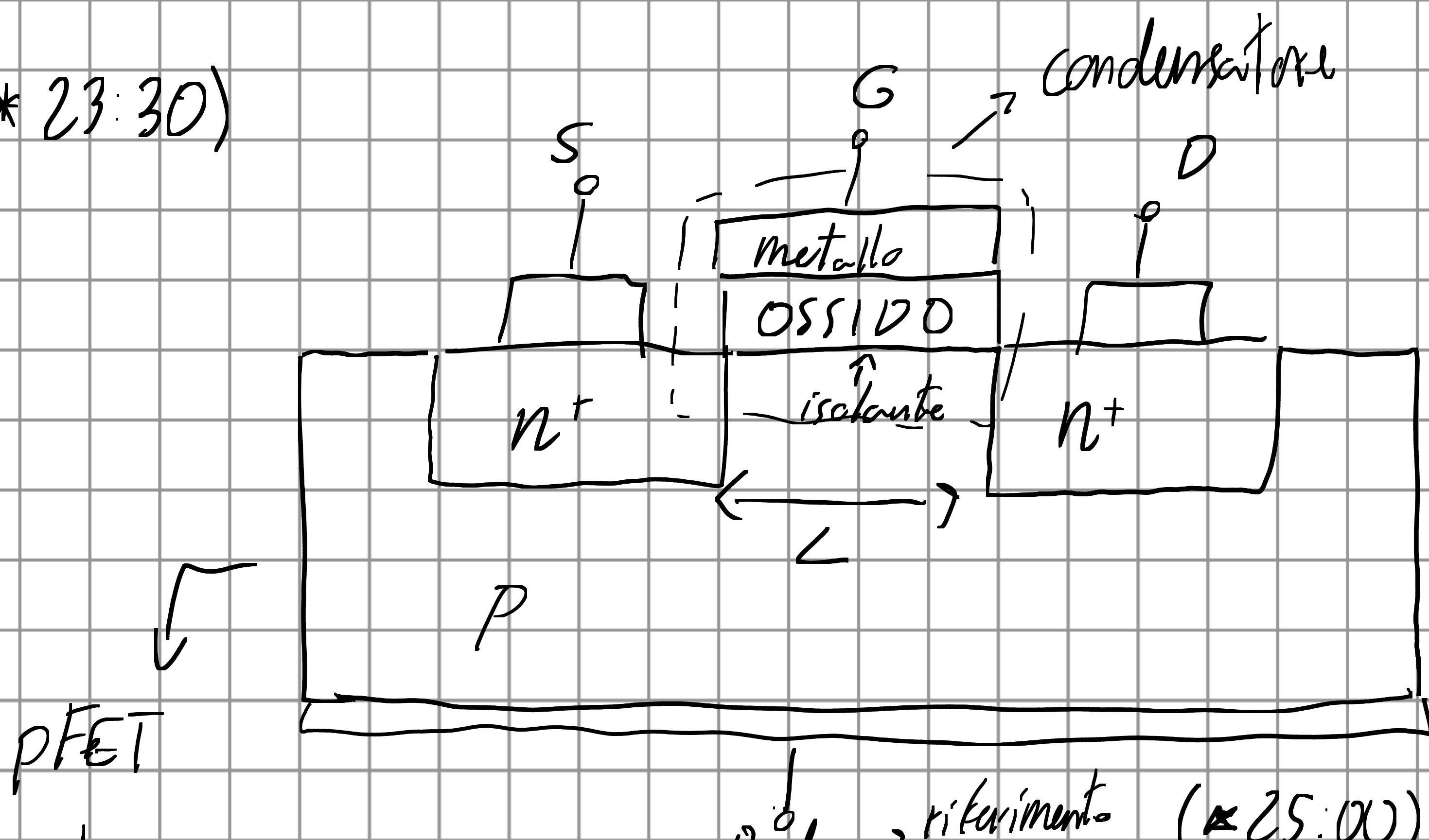
$W \uparrow \Rightarrow$ estensione p zone (dove passa corrente tra S e D) diminuisce.

Funziona solo in reverse

$V_G \uparrow$ (in reverse) $\Rightarrow W \uparrow \Rightarrow L \downarrow \Rightarrow$ conduzione \downarrow
 (* 22:00)

o MOSFET \rightarrow più simile a schema condensatore iniziale

(* 23:30)



Body \rightarrow ritiramento (* 25:00)
 comune di pot.

ad arricchimento \rightarrow normalmente non conduce e deve applicare dd p per farlo condurre.

- PFET \rightarrow a svilamento.

IV-Mosfet

L \rightarrow normalmente conduce \rightarrow applica V_{Gate} e posso ridurre carica nel canale finché il sistema non conduce più (recuperi immagine in slide dw, pitanti o internet)

• FET in nanoelettronica \rightsquigarrow Transistor in grafene
($\Delta 28:00$)

TMD \rightarrow TRANSITION METAL DICHALCOGENIDE

Si usano per forze cese piccole \rightarrow riduce capacità \Rightarrow + veloce
 \hookrightarrow meno footprint.

Gate applica solo campo \Rightarrow mi serve ossido per isolarlo

! \rightarrow senza flusso di carica

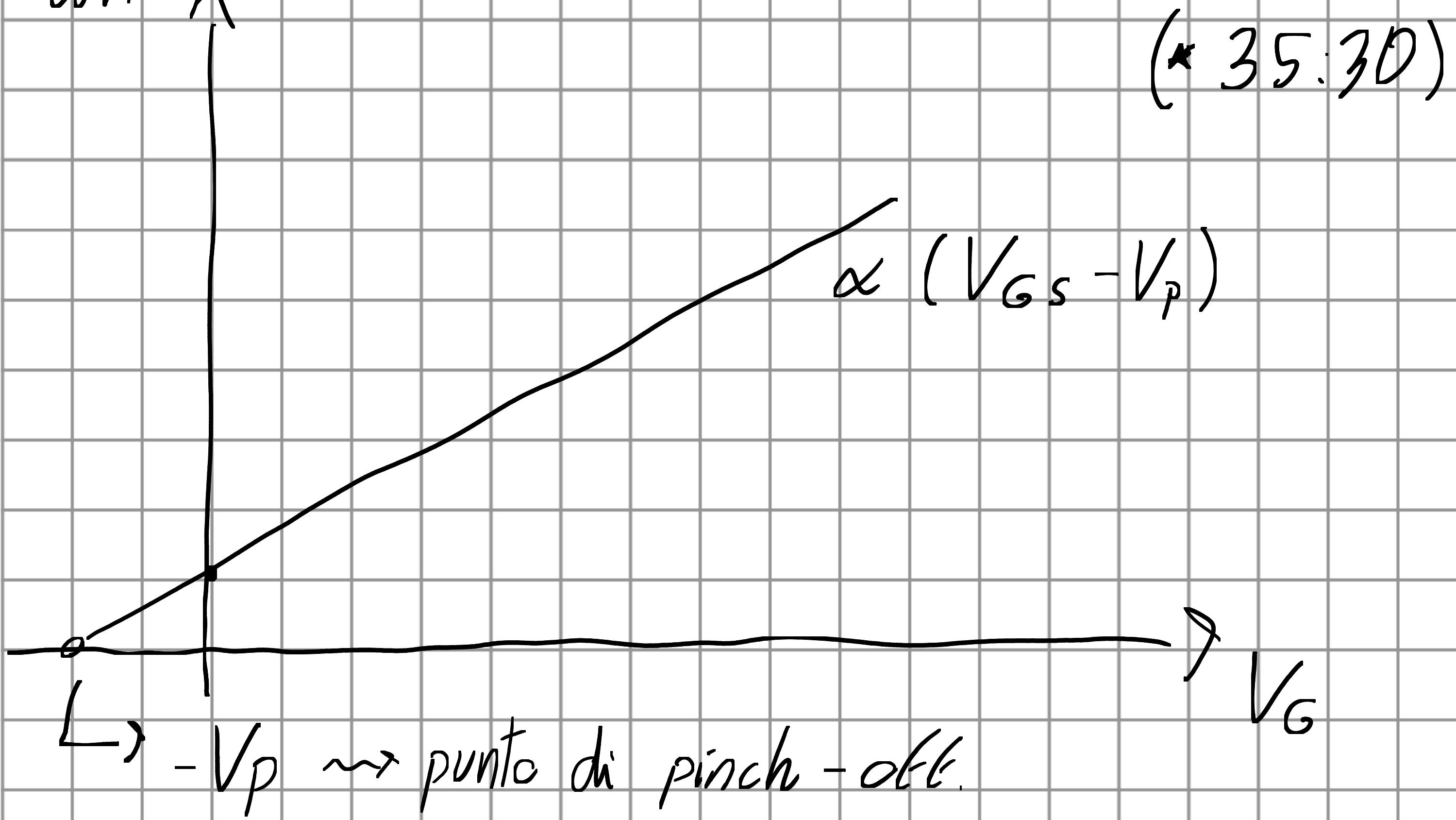
- Lo uso per esperimenti di fisica fondamentale

Grafene \rightarrow semimetallo (cond.-val. bands si toccano solo in 1 punto)

$\Rightarrow e^-$ che propagano nel grafene seguono eq. di Dirac
eq. per particelle relativistiche \rightarrow fanno esperimenti di G.R.

• FUNZIONAMENTO FET

Catena



I_D

$V_{GS} > 0$

$V_{GS} = 0$

$V_{GS} < 0$

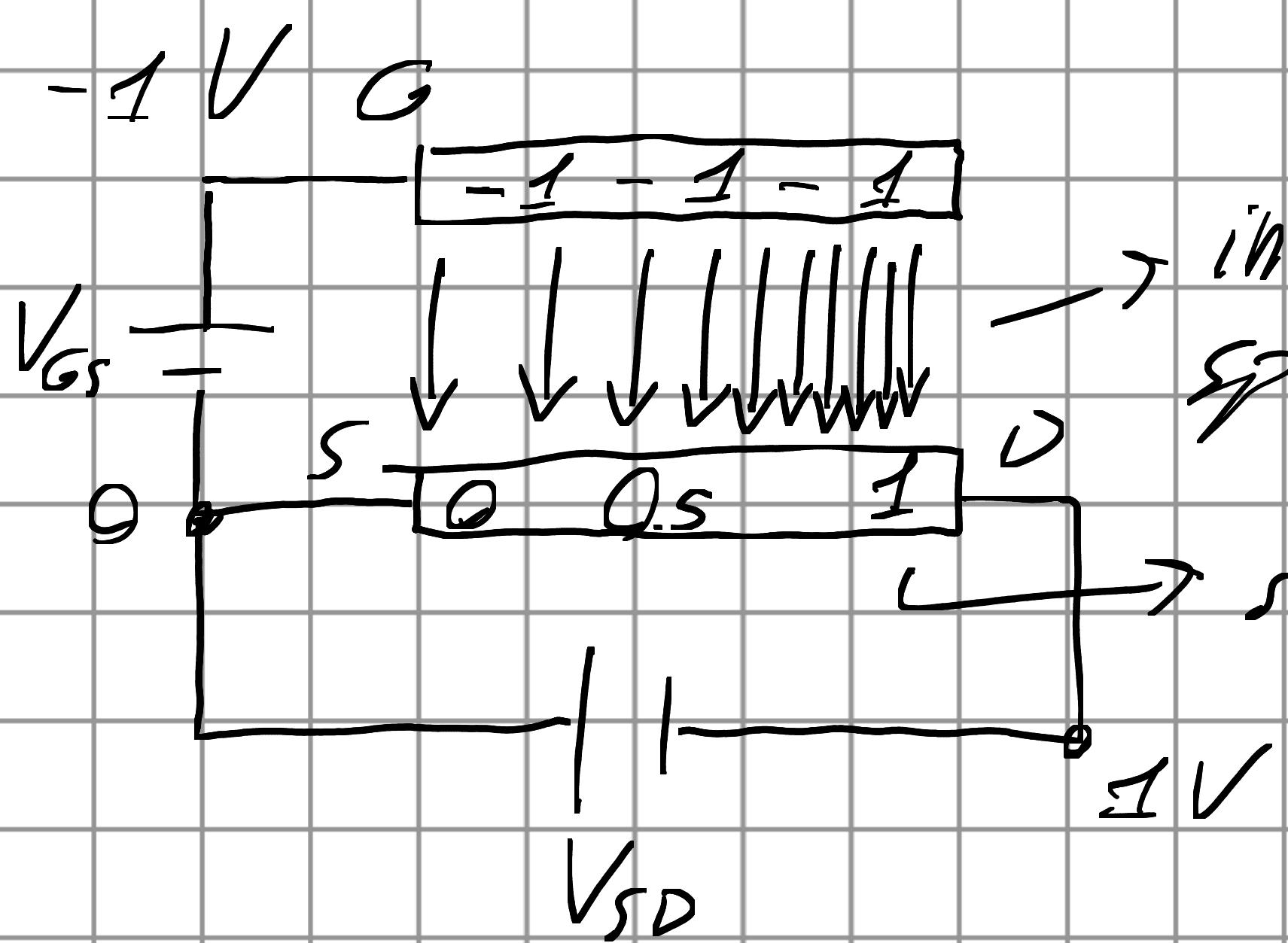
Posso controllare con V_G come chi SD come voglio in questo range.

V_{SD}

$$I_D = A(V_{GS} - V_P) \cdot V_{SD}$$

con $R \propto \frac{1}{n_{ch}} \rightarrow$ densità di portatori di carica sul canale.

EFFETTI DI SELF GATING



intensità di campo aumenta
spostandosi verso il drain

salta da pot. da S a D

$$I_D = A \left(V_{GS} - V_P - \underbrace{\frac{V_{SD}}{2}} \right) V_{SD}$$

(≈ 40.00)

fino a

(≈ 42.10)

Voltaggio Medio su
canale

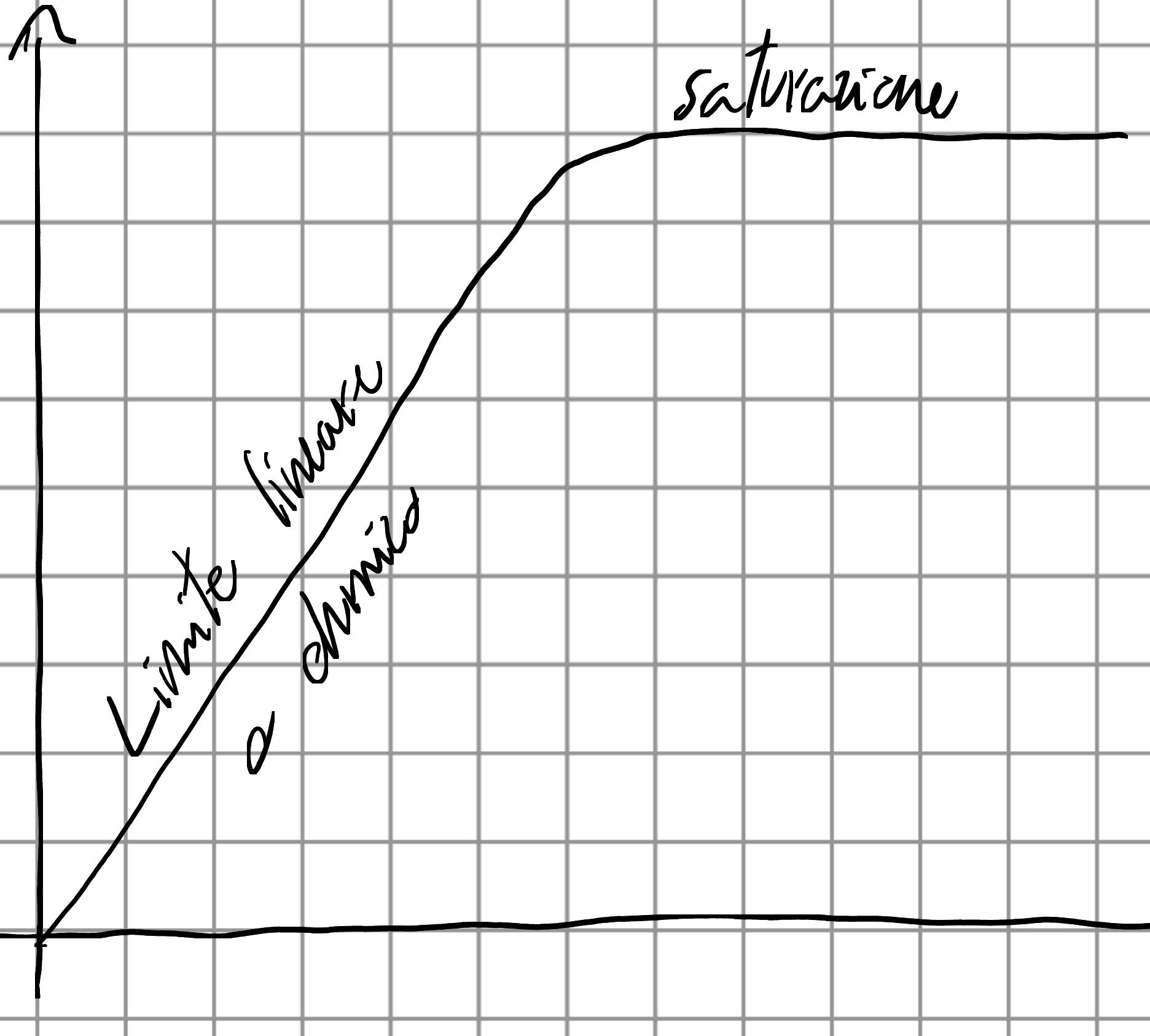
→ sposta curva

- Effetto principale → campo **disancorato**

→ che raggiunge **idealmente** punto
di pinch-off.

Ottengo:

I_D



saturation inizia dove

$$\frac{dI_D}{dV_{SD}} = 0$$

$$\frac{d}{dV_{SD}} (I_D) = \Delta (V_{GS} - V_P - V_{SD}) = 0$$

↑
verso
cd. sopra

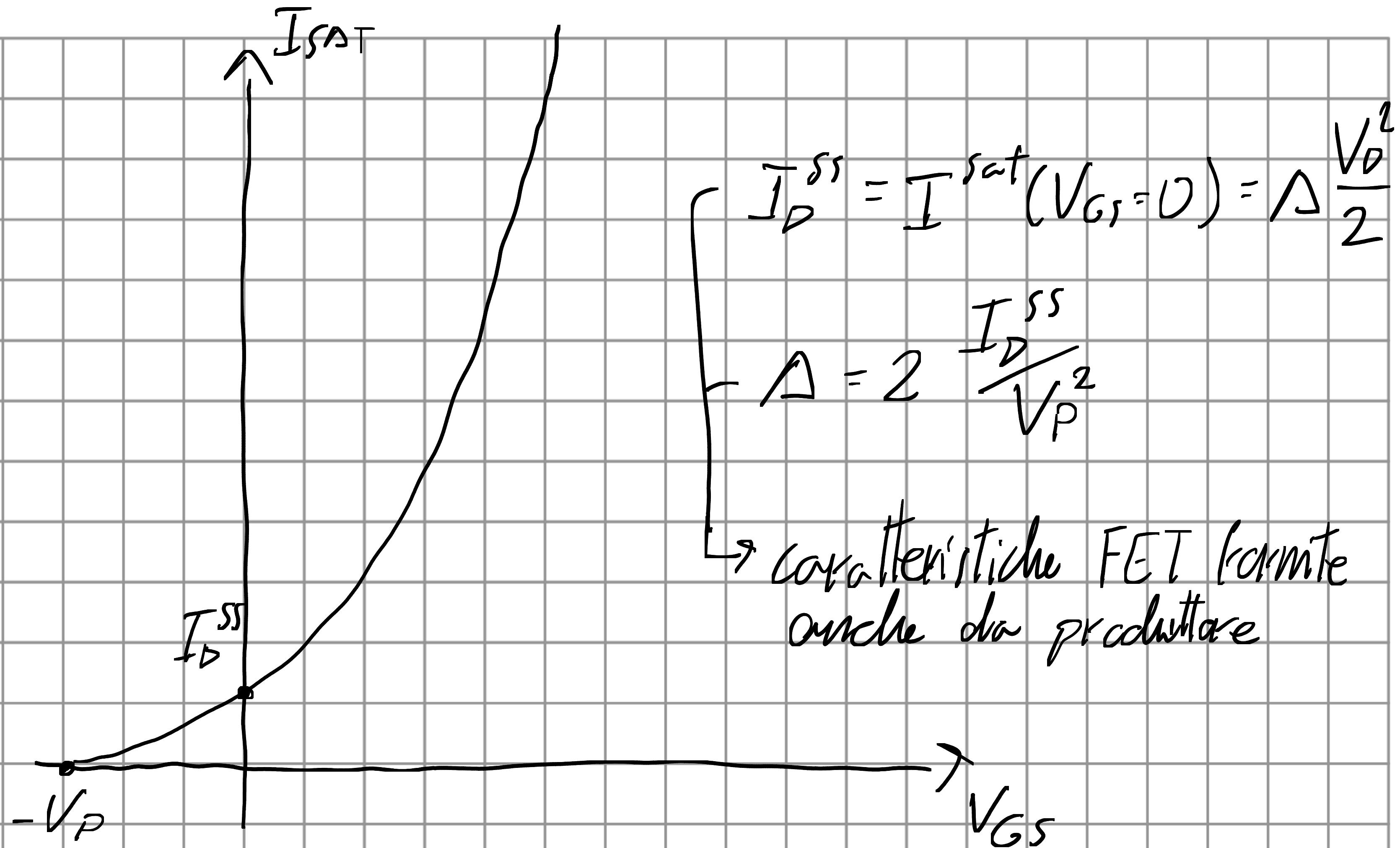
→ identifica prima punto in cui
ha sat.

I_{sat} ?

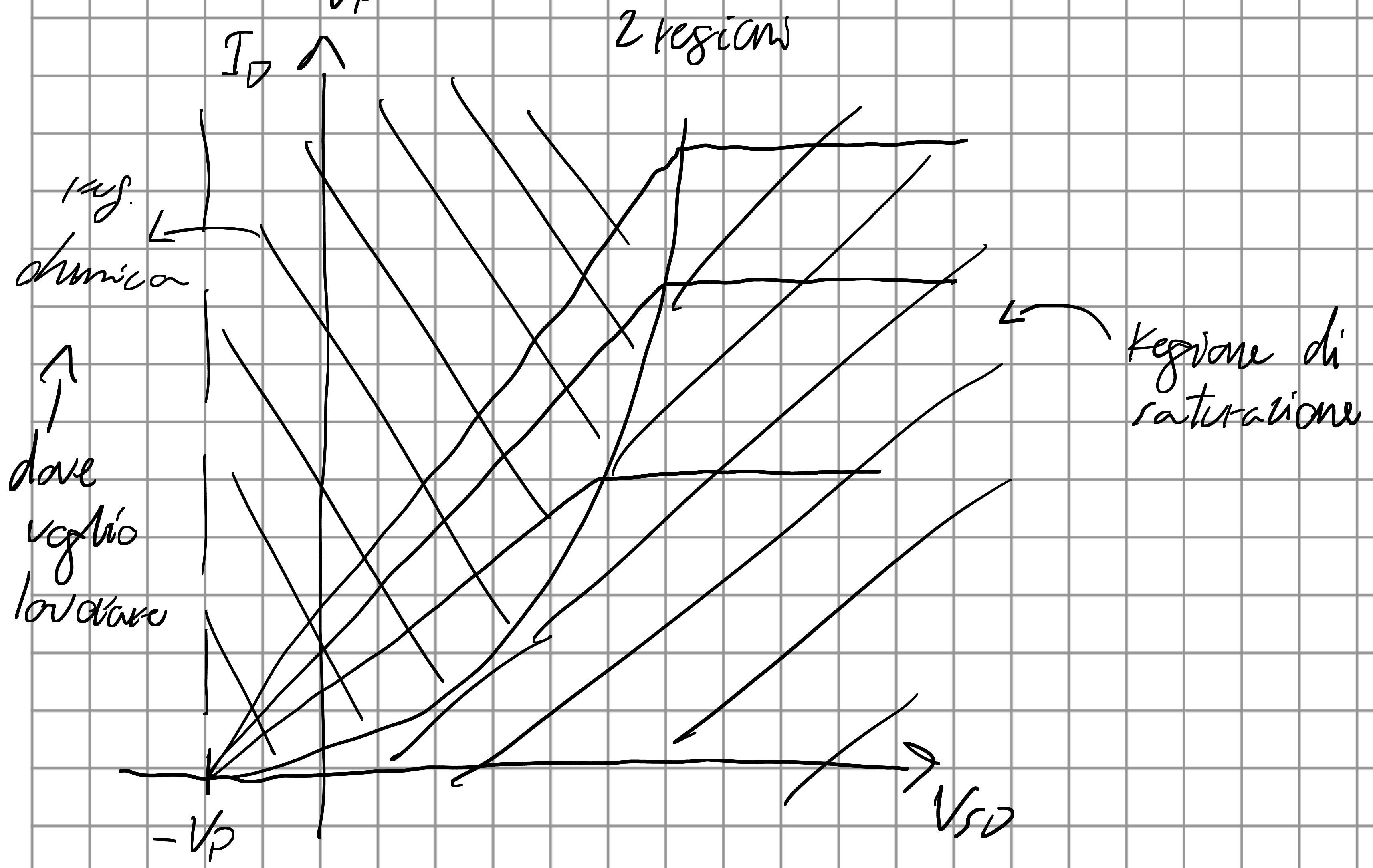
$$I_D (V_{SD} = V_{GS} - V_P) = \Delta \left[(V_{GS} - V_P)^2 - \frac{(V_{GS} - V_P)^2}{2} \right]$$

(★ GS: 30)

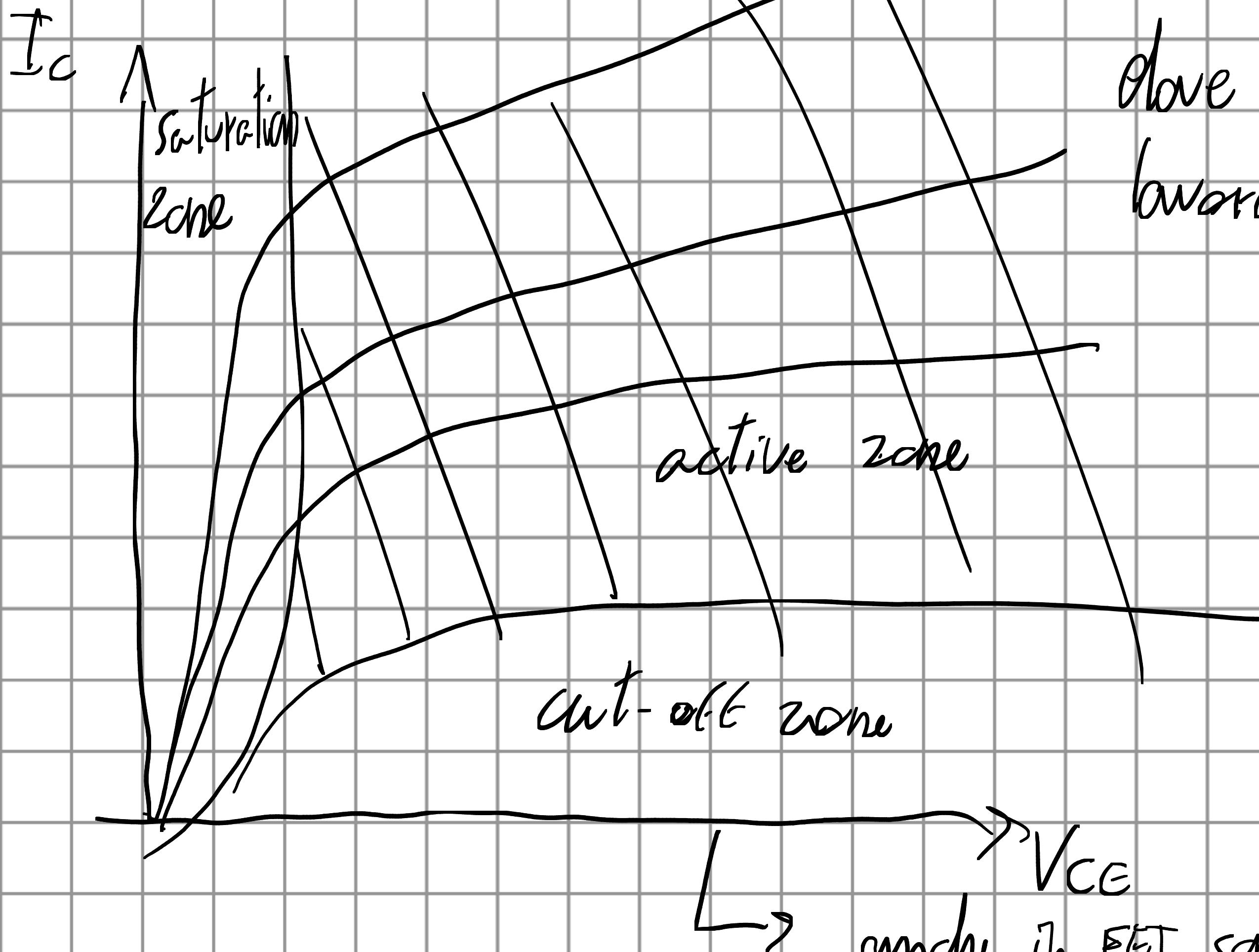
$$= \frac{\Delta}{2} (V_{GS} - V_P)^2 = I_{sat}$$



$$I_D = 2 \frac{I_D^{ss}}{V_P^2} [V_{GS} - V_P - \frac{V_{SD}/2}{2}] \quad (\text{AGF:00})$$



Pensando al BJT

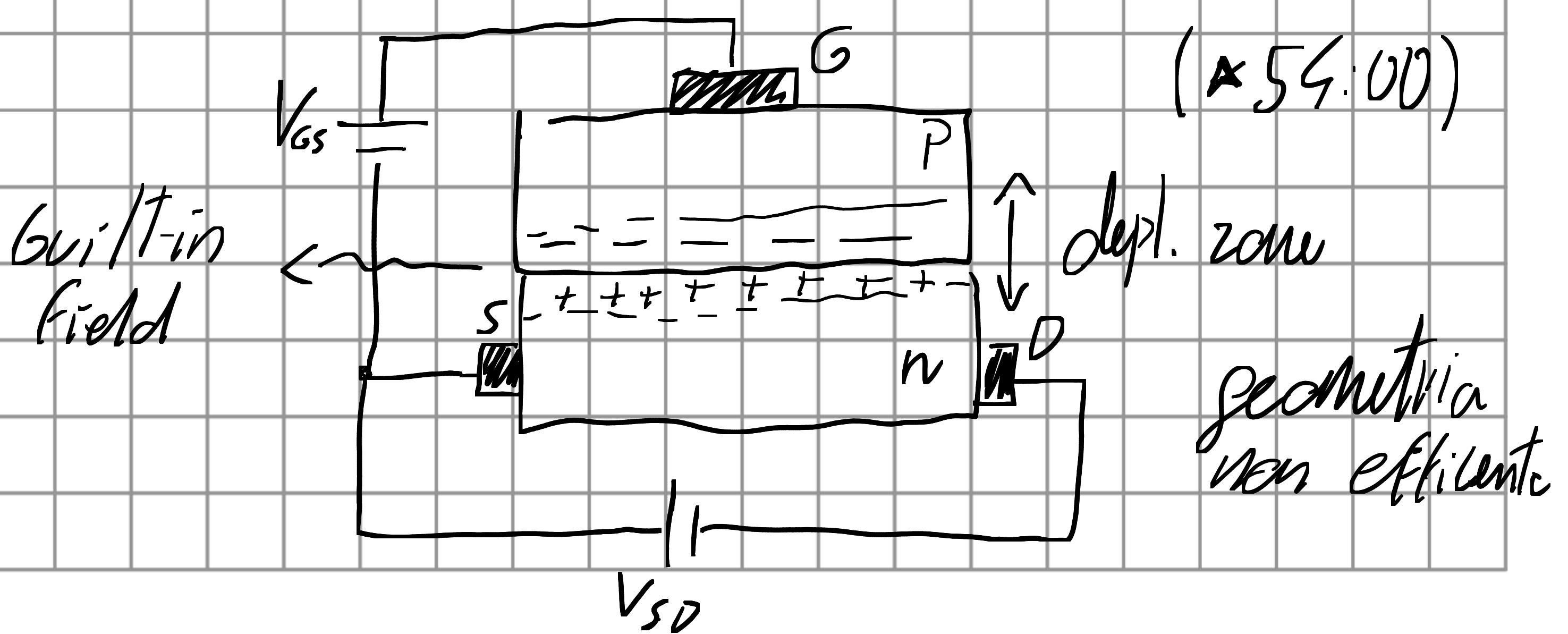


BJT \rightarrow Amplificatori

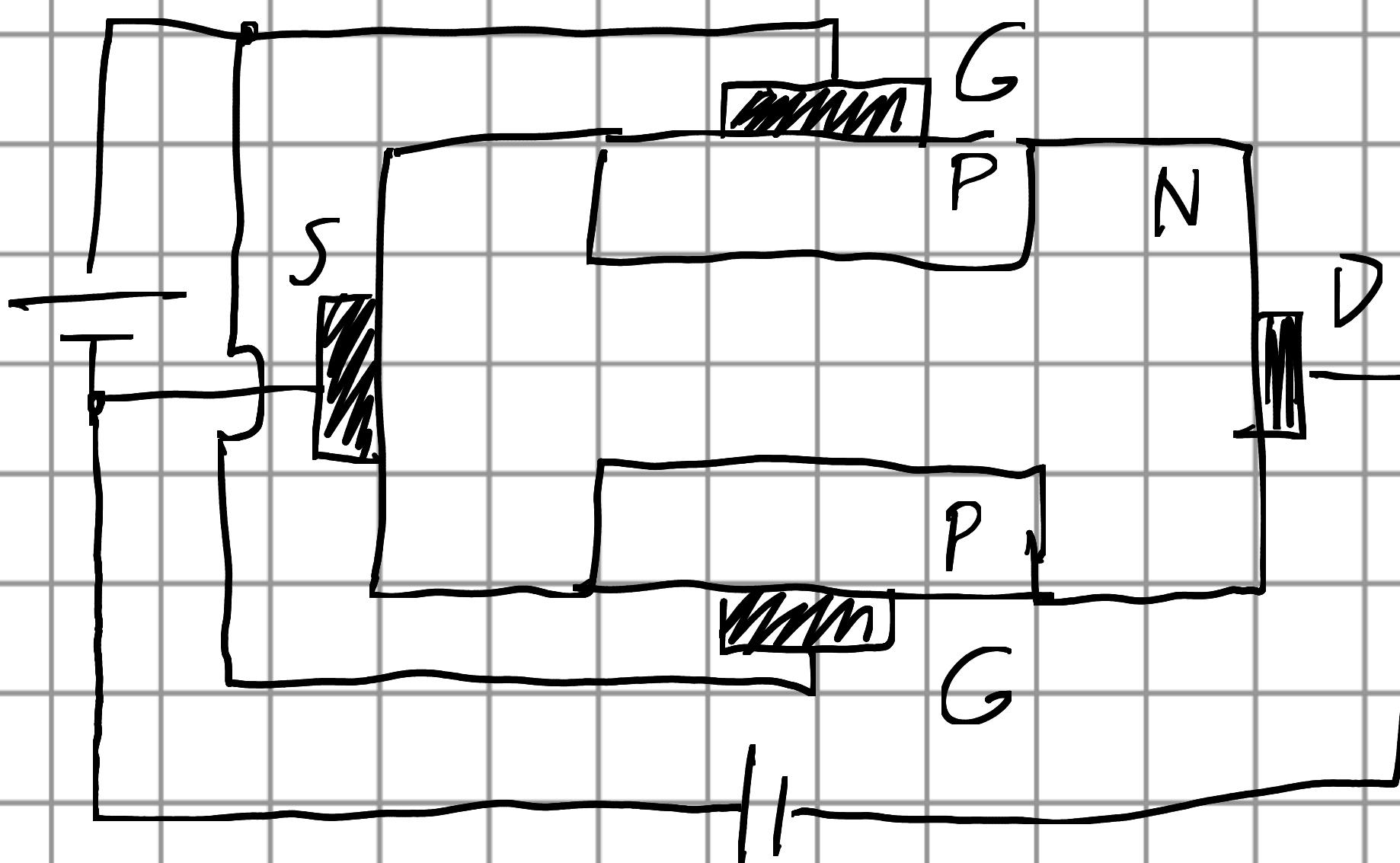
FET \rightarrow Switch (interruttori)

- COSTRUZIONE FET

- JFET



17 luglio:



Così applico
effetto di
svuotamento
per 2 lati

$$V_{GS} = 0$$

$$V_{SD} = 0$$

- Se applico V_G abbastanza forte da ampliare dep. zone?

restringo
canale

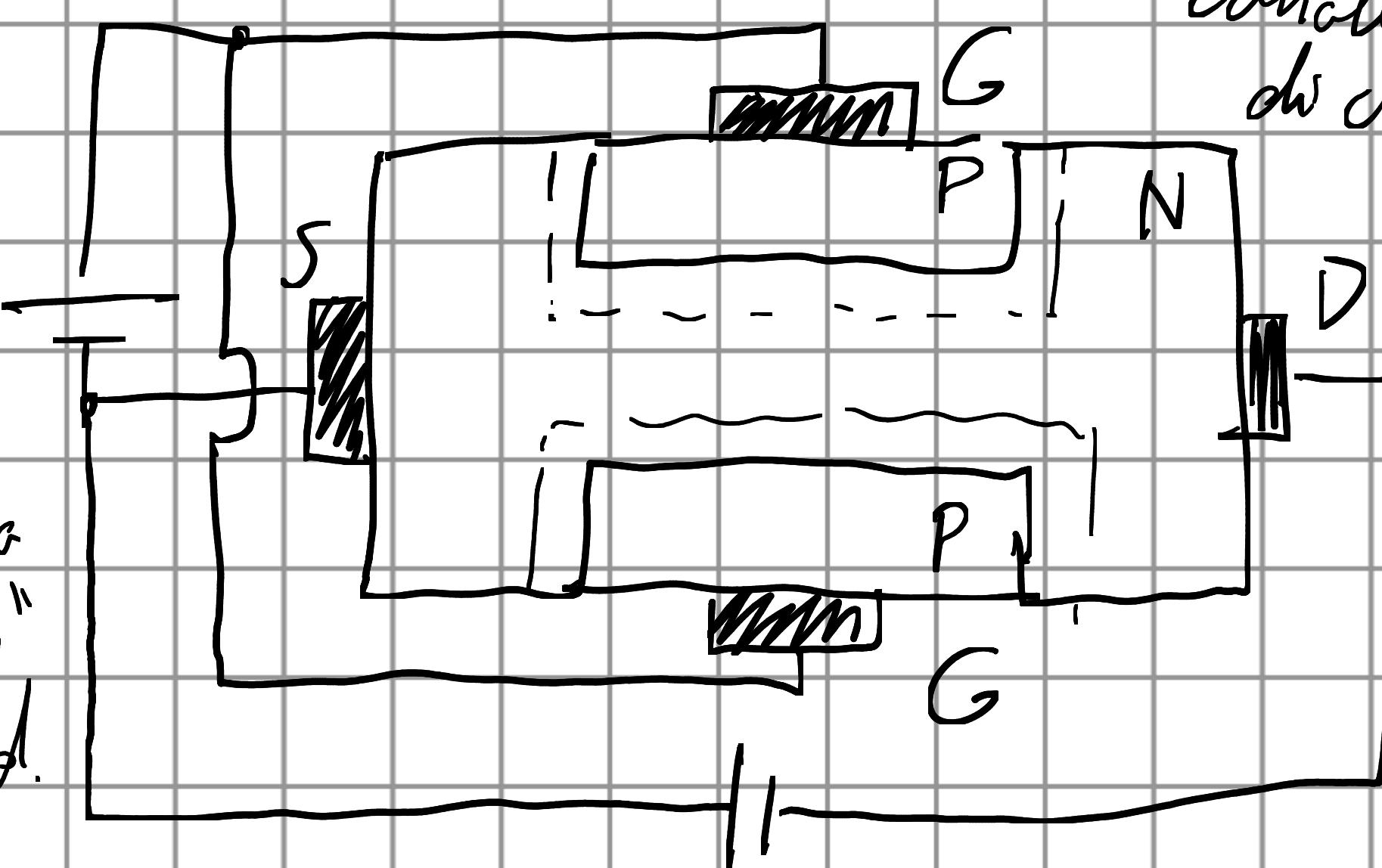
di canale

$$V_{GS} \neq 0$$

$$V_{SD} = 0$$

con architettura
doppia "chiudo"
canale di canale
da 2 lati
contemporaneamente

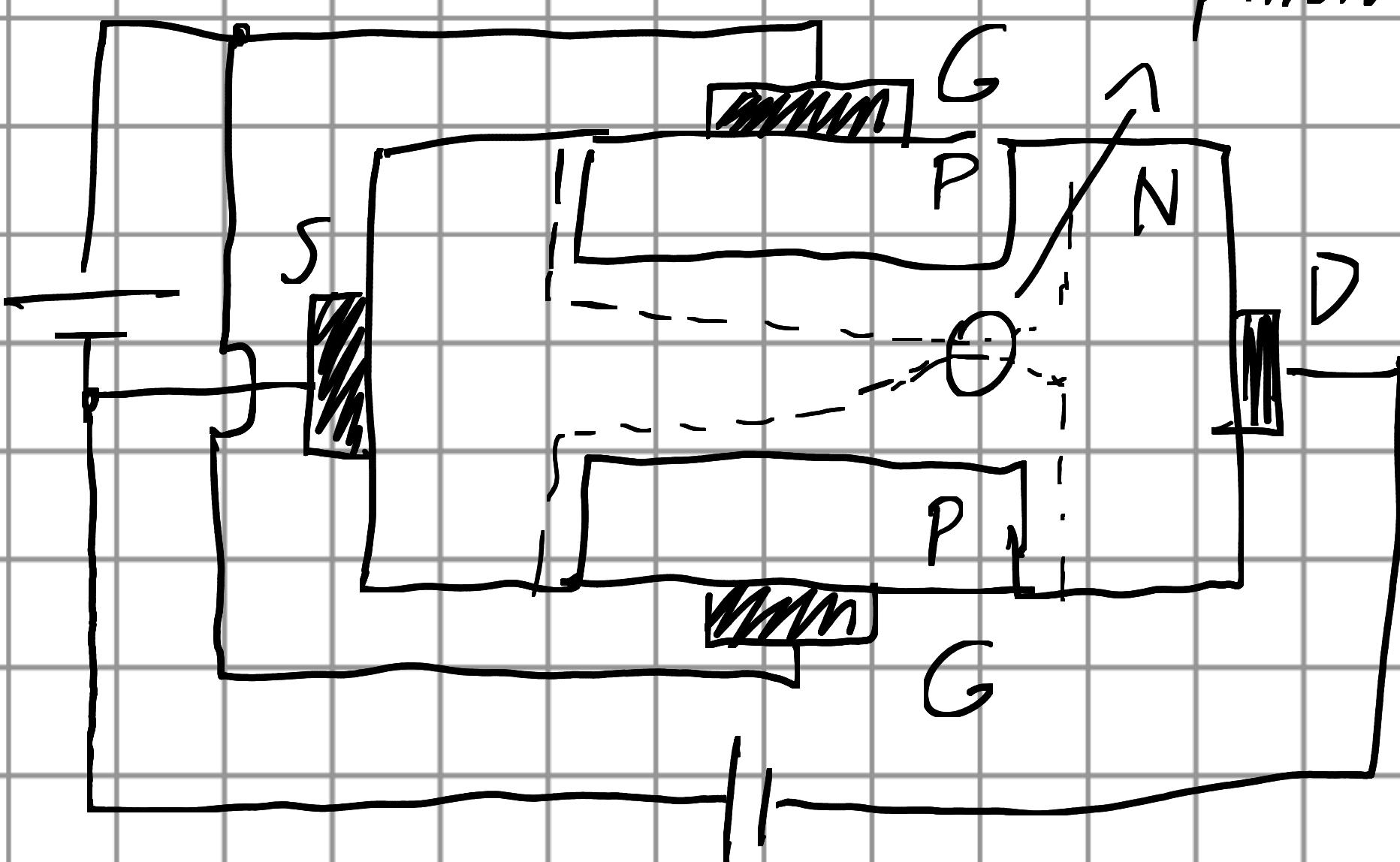
(A)



non ha
canale

pinch-off point

↓
(B)
+ efficiente



$$V_{GS} \neq 0$$

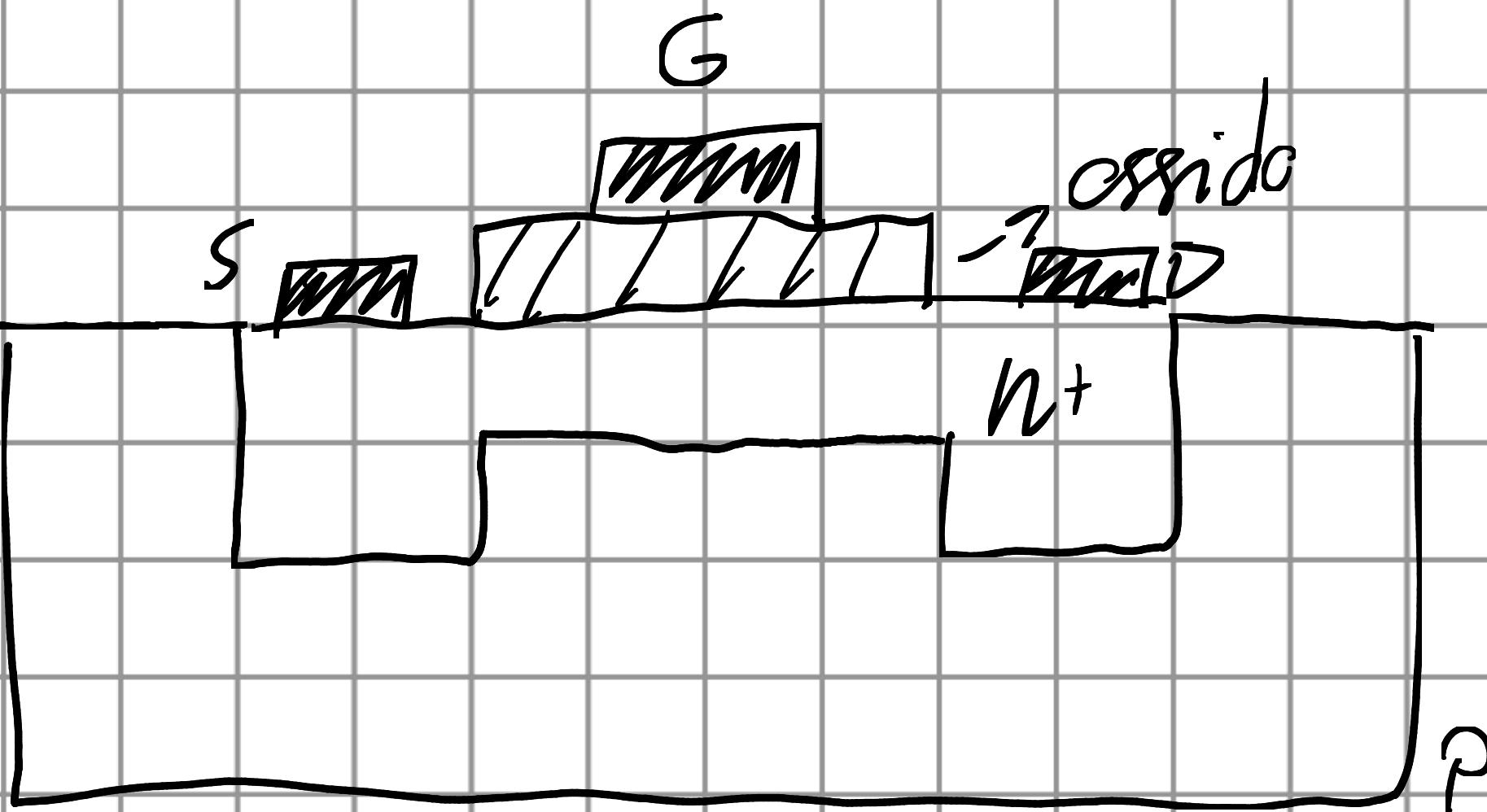
$$V_{SD} \neq 0$$

modula geo.
dep. zone



o I MOSFET

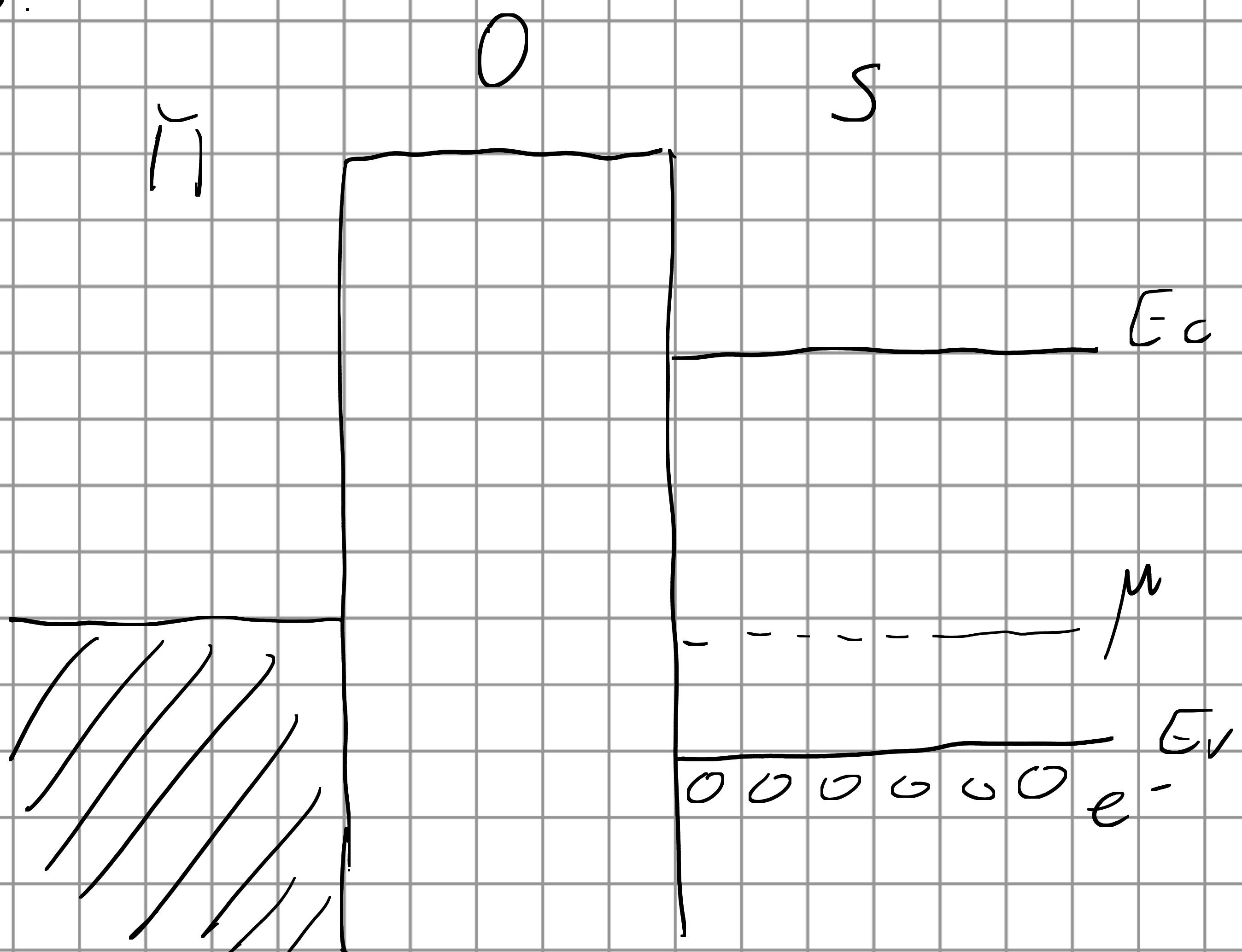
(a sviluppo)



→ e' fatto
così per i
processi di
costruzione
usati per
drogarlo.

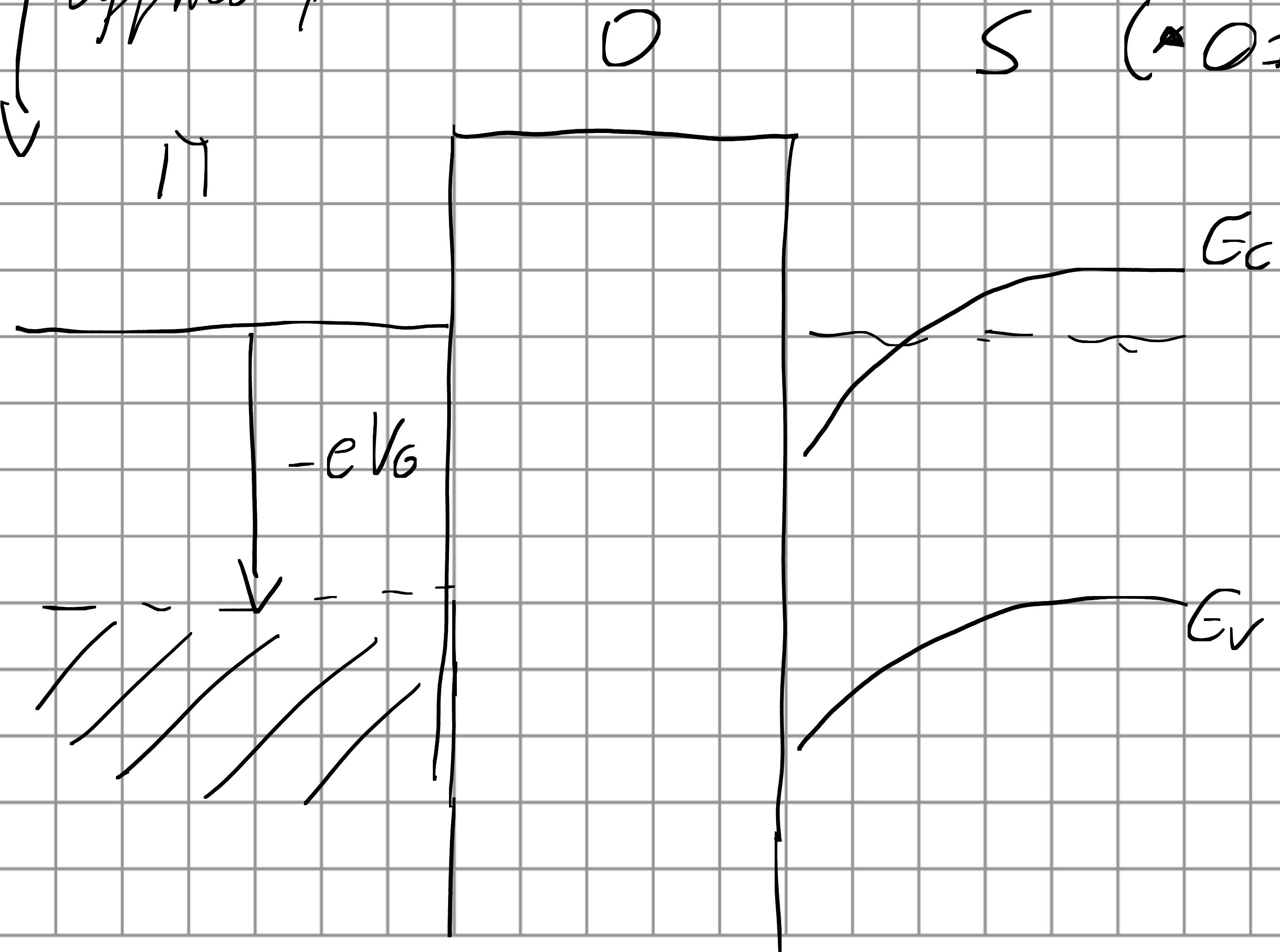
Grazie comunque → penetrazione
finita.

bands:



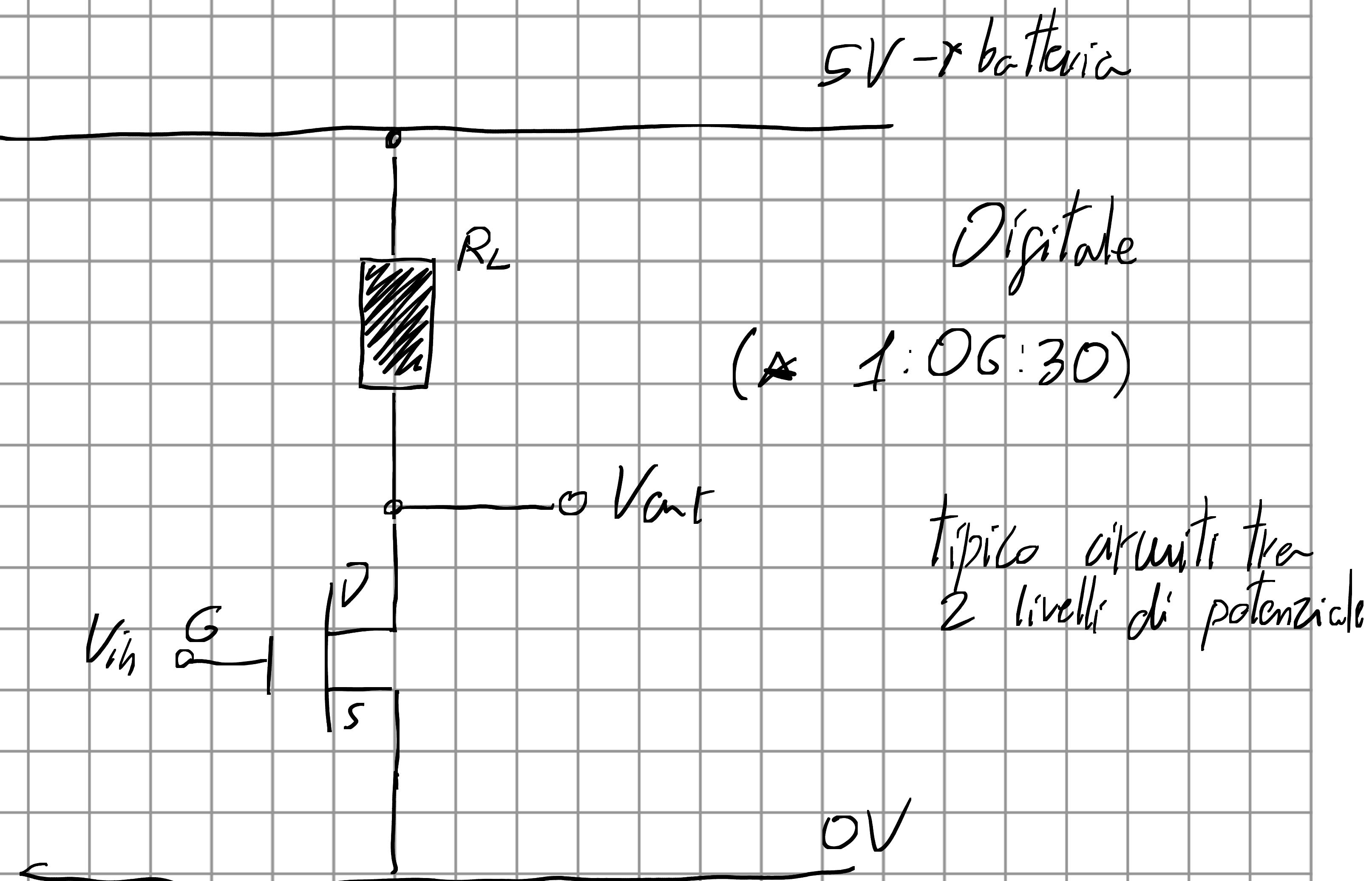
(applico pot)

S ($\Delta 01:05:00$)



Campo elettrico determina bande e cambia la loro popolazione

- FET \rightarrow collegano analogico con digitale.



170SFET \rightarrow porta logica \rightarrow porta NOT

IN	OUT	invertente	input	output
1	0		1	1
0	1		0	0
V _{in}	V _{out}			
5V	OV			
OV	5V			

FET \rightarrow N-NDOS ad arricchimento (non conduce)

\hookrightarrow conduce applicando V_{GS}

- $V_{in} = 0V$ ($\simeq 0$ logico) \rightarrow fet non cond.

$$V_{out} = 5V$$



flottante

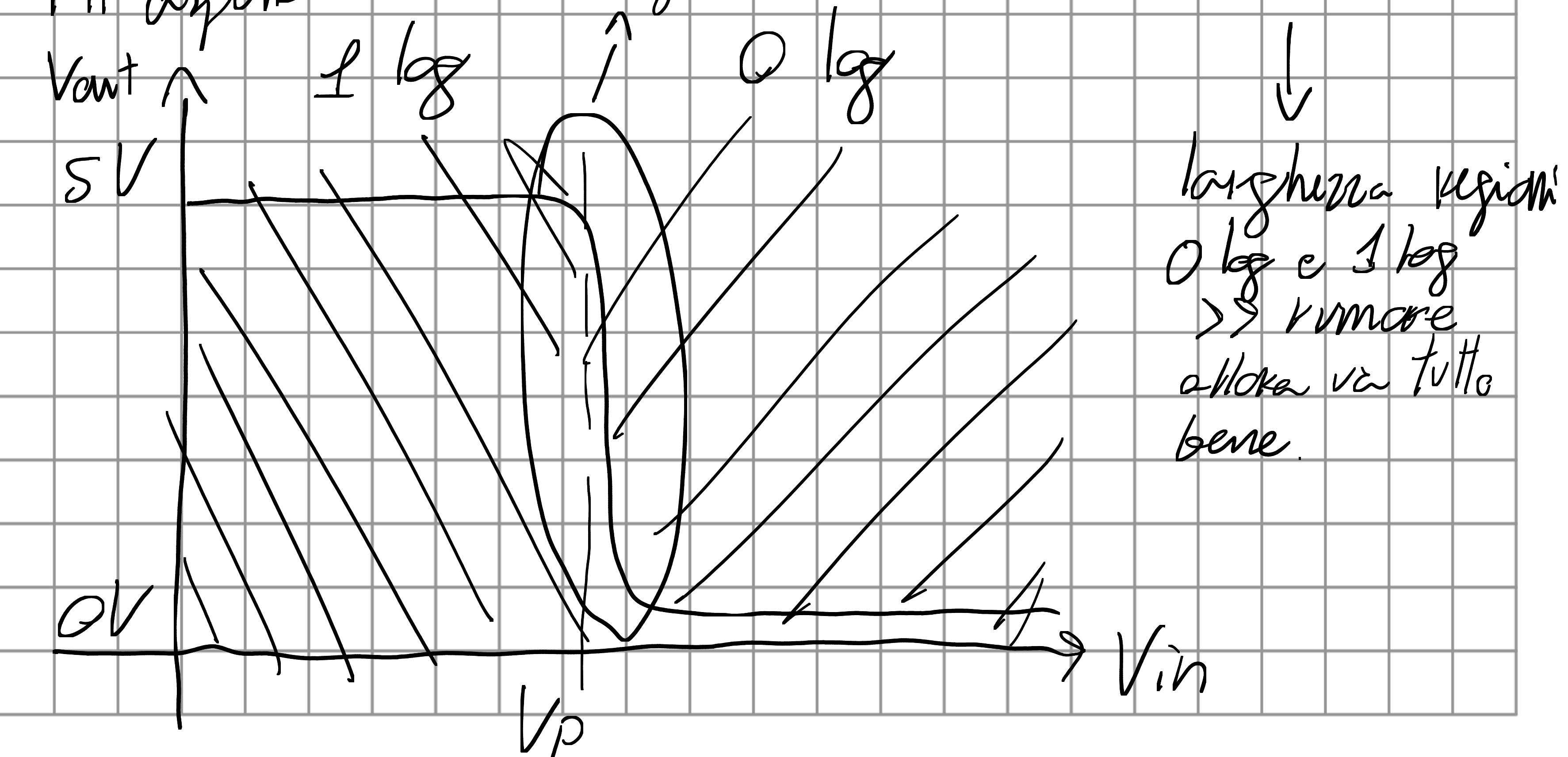


- $V_{in} = 5V \rightarrow$ fet conduce (anche bene, R_{FET} piccolo)

\Rightarrow circuito porta NOT *partitacea*

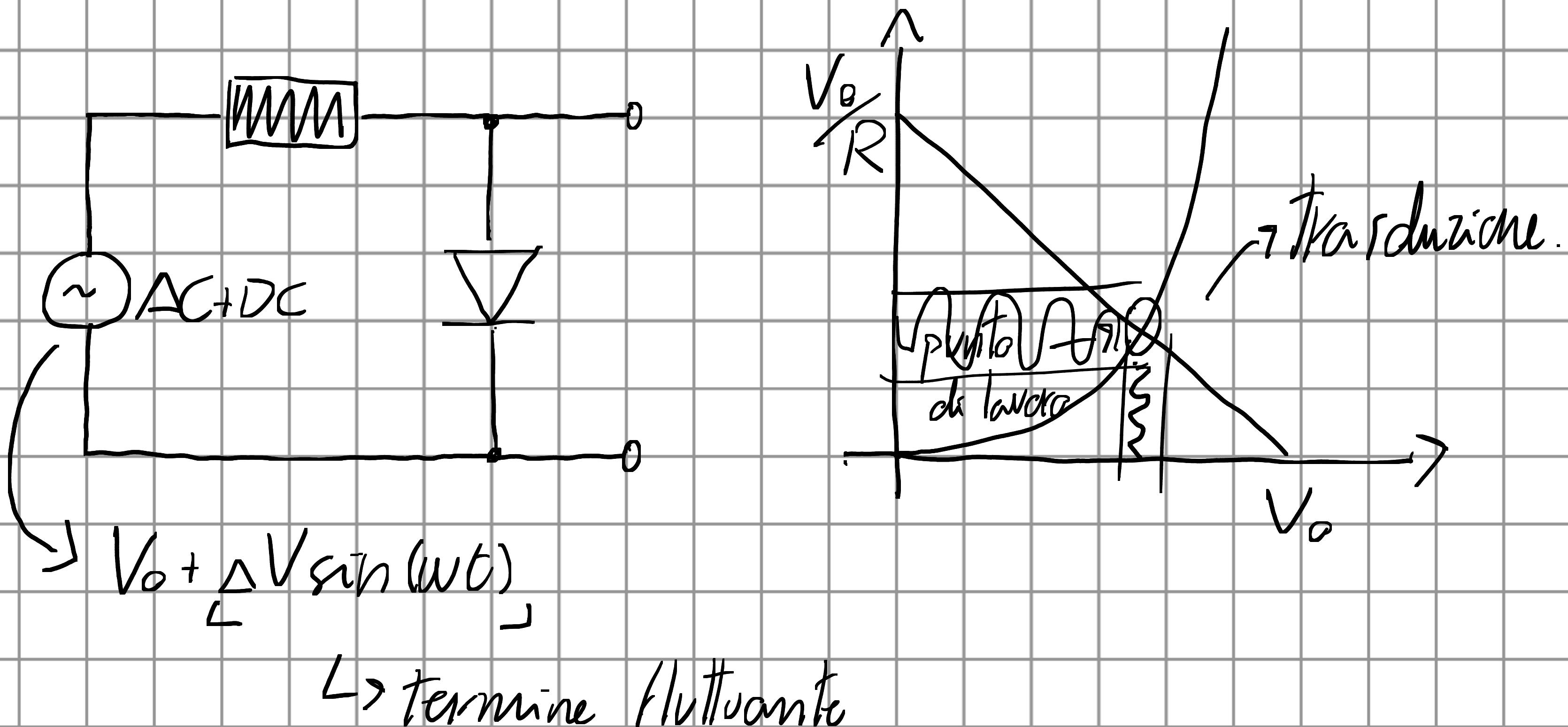
$$V_{out} = \frac{R_{FET}}{R_{FET} + R_L} \simeq 0$$

- Il suo aspetto
regione non ben definita nel mezzo



(A 01:16:00) Pull up / Pull down

• EFFETTI DINAMICI



- Come variano i potenziali nel tempo?

$$V(t) = R \cdot I + V_D(I) \xrightarrow{I_0 + \delta I} RI_0 + R\delta I + V_D(I_0 + \delta I)$$

sviluppo I^o ordine $\Rightarrow RI_0 + R\delta I + V_D(0) + \frac{dV_D}{dI} \delta I$

\hookrightarrow linearizzo attorno oscillazione

separa componenti in AC & DC

$$\frac{dV_D}{dI} = \text{resistenza dinamica giunzione} = k_D$$

- riceviamo coest. ang. tangente curva catod. in punto ch' lavoro. $\equiv f_D$

Separo AC - DC \rightarrow risolvo separatamente.

\hookrightarrow importante ampl. $V_{in} \ll 1$ (se no vede non linearità della risposta (exp. like) doppia)

$$I = I_s \exp\left(\frac{eV}{2kT} - 1\right)$$

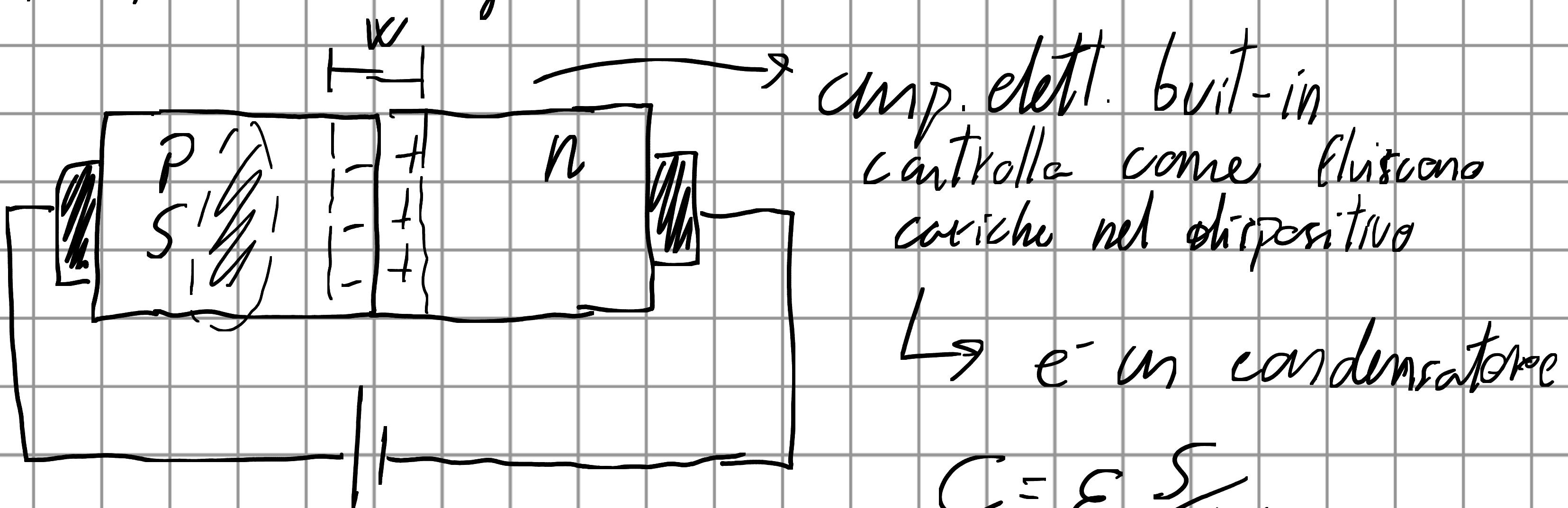
$$V \sim 26 \text{ mV}$$

$$\frac{dI}{dV} = \frac{I_s e}{2kT} e^{\frac{eV}{2kT}} \rightarrow f_D = 2 \frac{k_T}{e} \frac{1}{I_s e^{\frac{eV}{2kT}}} \frac{1}{I}$$

$$\approx 2 \frac{V_T}{I}$$

- Quali altri effetti rallentano risp. doppia?

i) Capacità di giunzione



$$W(V) = \sqrt{\frac{2e}{\epsilon} V \left(\frac{1}{N_D} + \frac{1}{N_S} \right)}$$

$$C = \epsilon \frac{S}{W}$$

$$V_0 + \delta V; W_0 + \delta W$$

- Diodo in reverse: $C(V) = \frac{C_0}{(1 + \sqrt{\frac{V}{V_0}})^m}$ zero-bias capacity

$m = \frac{1}{2}$ abrupt

\rightarrow barrier

\rightarrow junction neta

$m = \frac{1}{3}$ graded ($\star \text{O1:13.00}$)

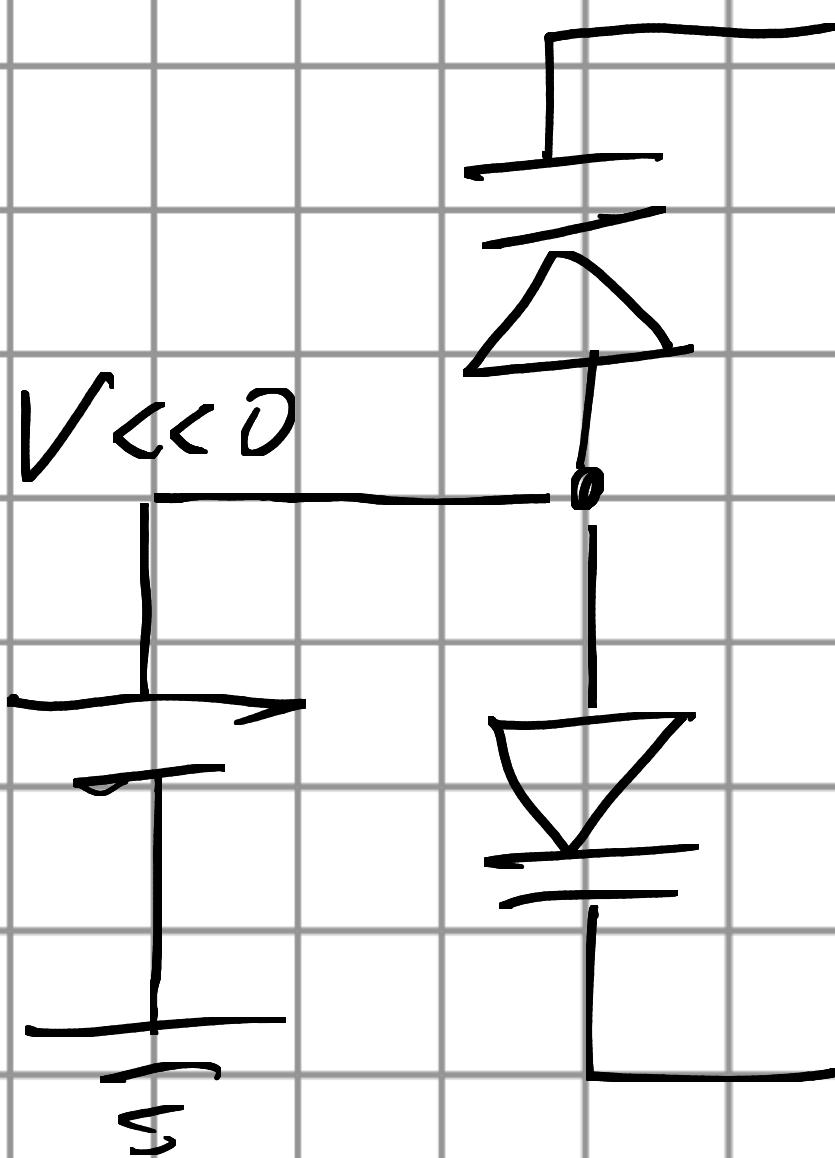
\rightarrow non neta

- Diodo varicap

\rightarrow reverse \rightarrow

cond. variabile \rightarrow applico V diverso \rightarrow ottengo C diversa

config. tipica



- Ha anche capacità di diffusione.

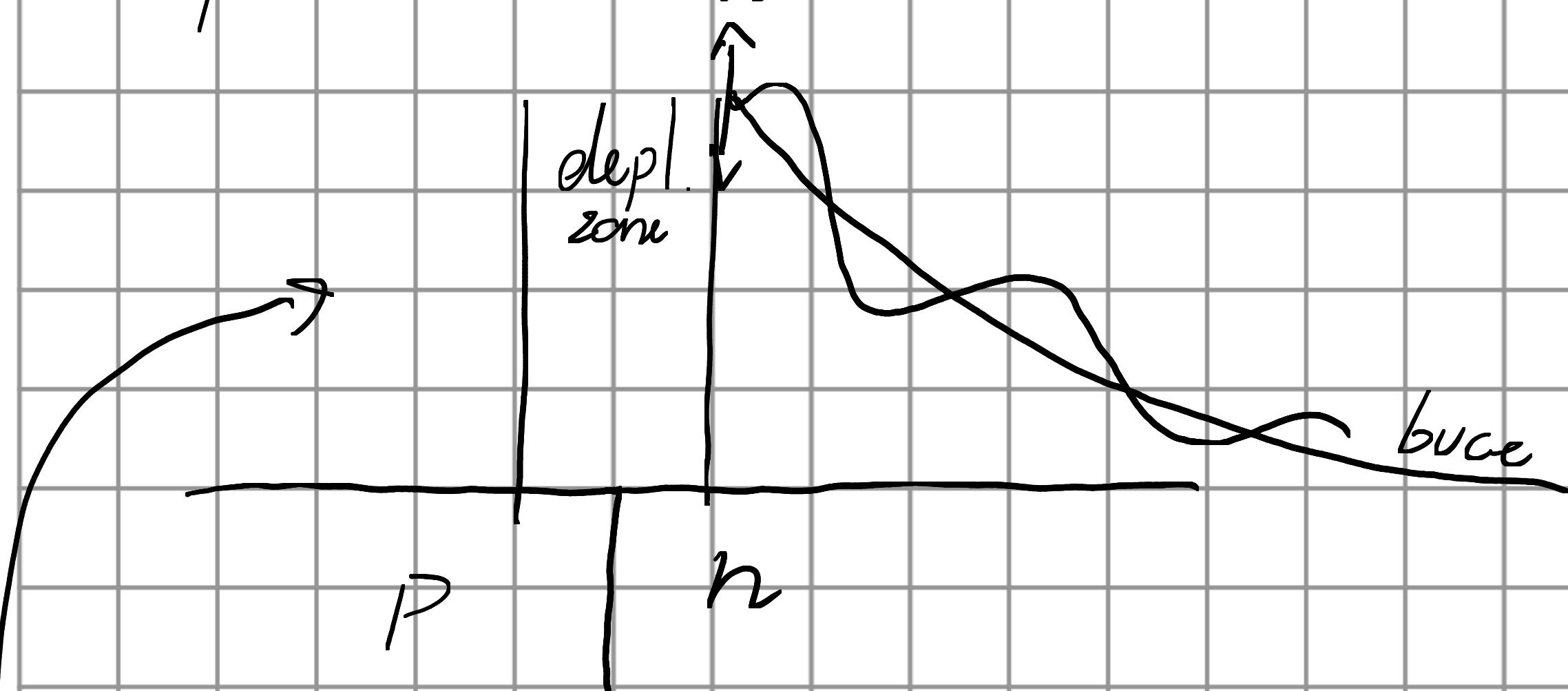
Lez 04

• EFFETTI DINAMICI DELLE GIUNZIONI

- resistenza dinamica

- capacità di giunzione \rightarrow diodi varicap = condensatori variabili (pol. in reverse)

- capacità di diffusione



port. minoritari innalzati attraverso giunzione.

$$p(x) = \frac{n_i^2}{N_D} + \frac{n_i^2}{N_D} \left[e^{\frac{qV}{k_B T}} - 1 \right] \cdot e^{-\frac{x}{L_p}}$$

Applico pct. dinamico $V = V(t) \Rightarrow p(x) = P(x, t)$

$$P(0,t) = \frac{n_i^2}{N_D} e^{\frac{qV(t)}{k_B T}}$$

\hookrightarrow funzione diffusione minoritari oscilla mentre decresce exp.

CASO 1D: $\frac{\partial P}{\partial t} - D_p \frac{\partial^2 P}{\partial x^2} = \frac{P_0 - P}{\tau_p}$, assumendo $P = P_{dc} + P_{ac} e^{i\omega t}$

$$\frac{\partial P}{\partial t} = i\omega P_{dc} e^{i\omega t} + \frac{\partial P_{dc}}{\partial t} (\text{cost})$$

\uparrow
funzione
armonica

$$D_P \frac{\partial^2 P}{\partial x^2} = D_P \frac{d^2 P_{DC}}{\partial x^2} + D_P e^{int} \frac{d^2 P_{AC}}{\partial x^2}$$

$$\frac{P - P}{E_P} = \frac{P_0 - P_{DC}}{E_P} - \frac{P_{AC} e^{int}}{E_P}$$

- Trovo eq. in cui posso separare termini AC e DC:

$$\underbrace{i\omega P_{AC} e^{int} - D_P \frac{d^2 P_{DC}}{\partial x^2}}_{\text{cav}} - D_P e^{int} \frac{d^2 P_{AC}}{\partial x^2} = \underbrace{\frac{P_0 - P_{DC}}{E_P}}_{\text{DC}} - \underbrace{\frac{P_{AC} e^{int}}{E_P}}_{\text{AC}}$$

Separo DC, AC, mi concentro su parte dinamica:

$$i\omega P_{AC} e^{int} - D_P e^{int} \frac{d^2 P_{AC}}{\partial x^2} = - \frac{P_{AC} e^{int}}{E_P} \quad \begin{array}{l} \text{eq. diff.} \\ \text{per term.} \\ \text{AC} \end{array}$$

$$- D_P \frac{d^2 P_{AC}}{\partial x^2} = - \frac{P_{AC}}{E_P} (1 + i\omega t_P) \quad \begin{array}{l} \text{caso stat.} \\ L_P^2 = - D_P t_P \end{array}$$

$$\Leftrightarrow - \frac{D_P \cdot E_P}{1 + i\omega t_P} \frac{d^2 P_{AC}}{\partial x^2} = - P_{AC}$$

$$\leftarrow \tilde{L}_P^2 = - \frac{D_P t_P}{1 + i\omega t_P}$$

$$\Leftrightarrow - \tilde{L}_P^2 \frac{d^2 P_{AC}}{\partial x^2} = - P_{AC} \quad \tilde{L}_P \in \mathbb{C}$$

$$\tilde{L}_P \in \mathbb{C} \Rightarrow P(x, t) \propto e^{-\frac{x}{\tilde{L}_P}}$$

$\Rightarrow \operatorname{Re}\{\tilde{L}_P\} \rightarrow$ funz. decrescente exp.-like
 $\operatorname{Im}\{\tilde{L}_P\} \rightarrow$ funz. oscillante

• Corrente: $J \propto \frac{1}{L_P}$ statico

$\Rightarrow J \propto \frac{1}{L_P}$ dinamico

$$J_{\text{dyn}} \propto \frac{\sqrt{l + i\omega L_P}}{L_P^{\text{stat.}}}$$

Allora $\delta I = \frac{\delta V}{V_{\text{din}}} \cdot \sqrt{1 + i\omega C_P} \underset{\text{piccolo}}{\approx} \frac{\delta V}{V_{\text{din}}} \left(1 - i \frac{\omega C_P}{2} \right)$

$$\delta I \approx \frac{\delta V}{V_{\text{din}}} - i\omega \frac{C_P}{2V_{\text{din}}} \delta V$$

$$Y = \frac{\delta I}{\delta V} = \frac{1}{V_{\text{din}}} + i\omega C_D$$

$$C_D = \frac{C_P}{2V_{\text{din}}}$$

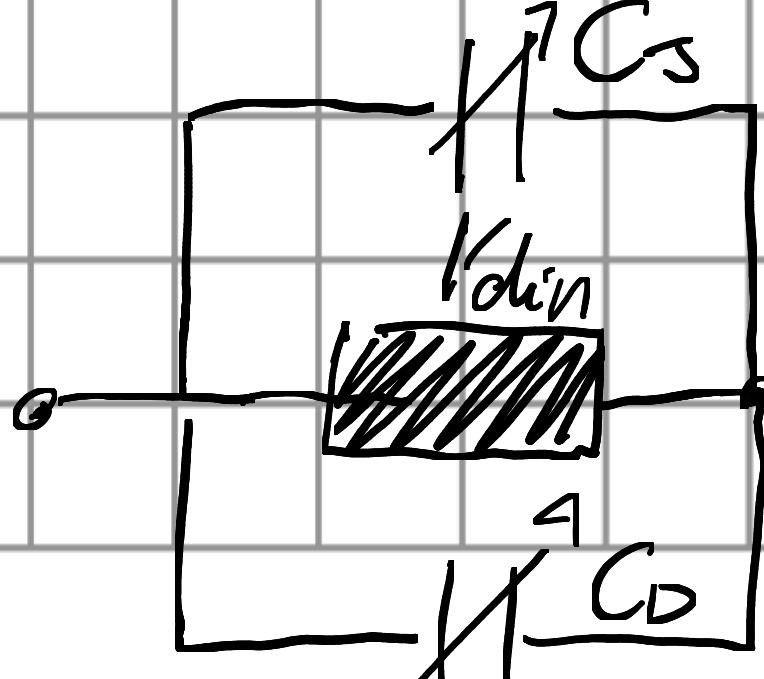
Per diodo: $V_{\text{din}} \approx \frac{k_B T}{e} \frac{1}{I}$ $C_D \approx \frac{C_P}{2} \frac{e}{k_B T} \frac{1}{I}$

esplcitando eq. 5 trascurando 1:

$$C_D \approx \frac{C_P}{2} \frac{e}{k_B T} I_s e^{\frac{eV}{k_B T}}$$

dipendente dal
voltage

- Modello realistico diodo:

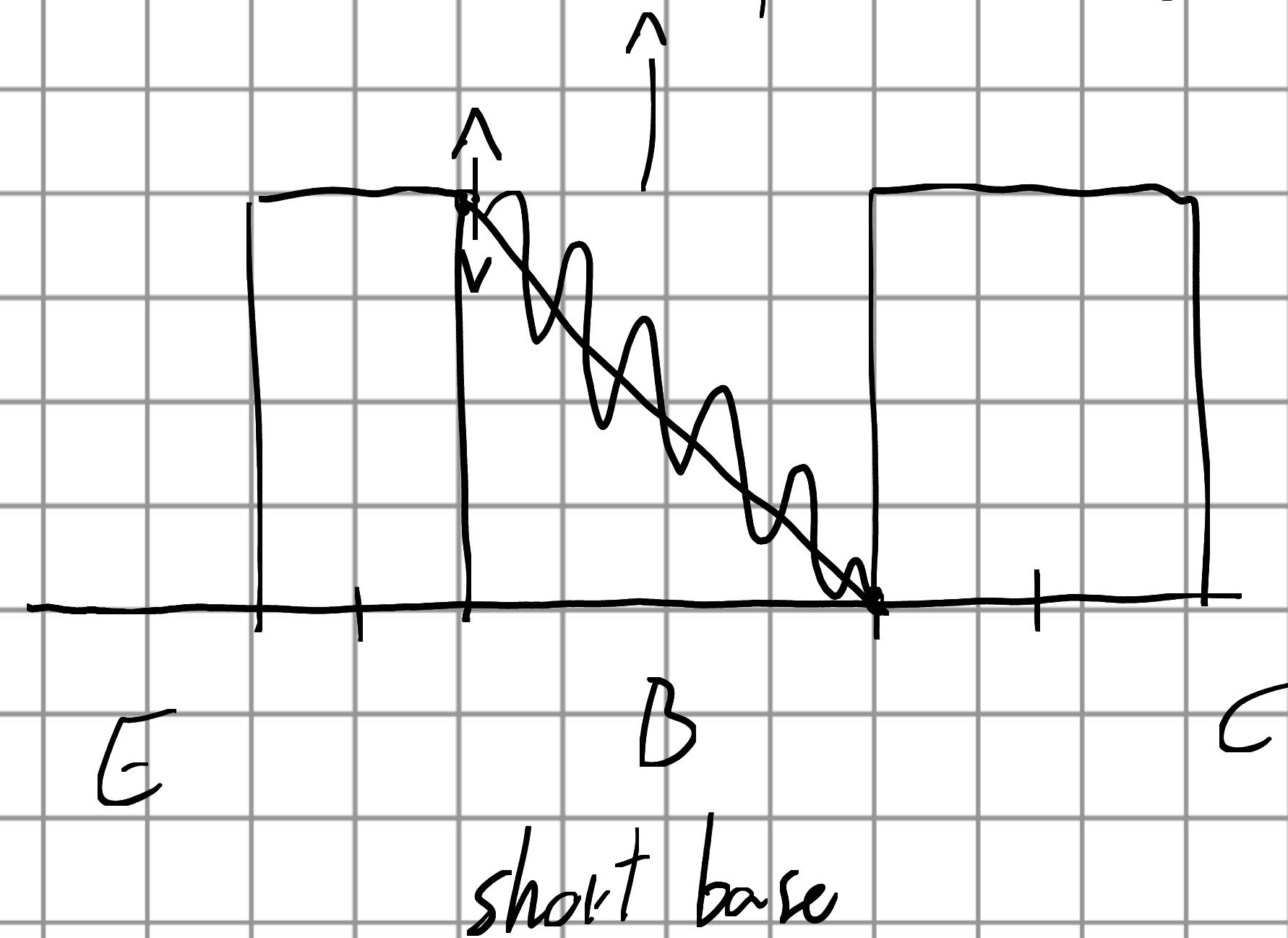
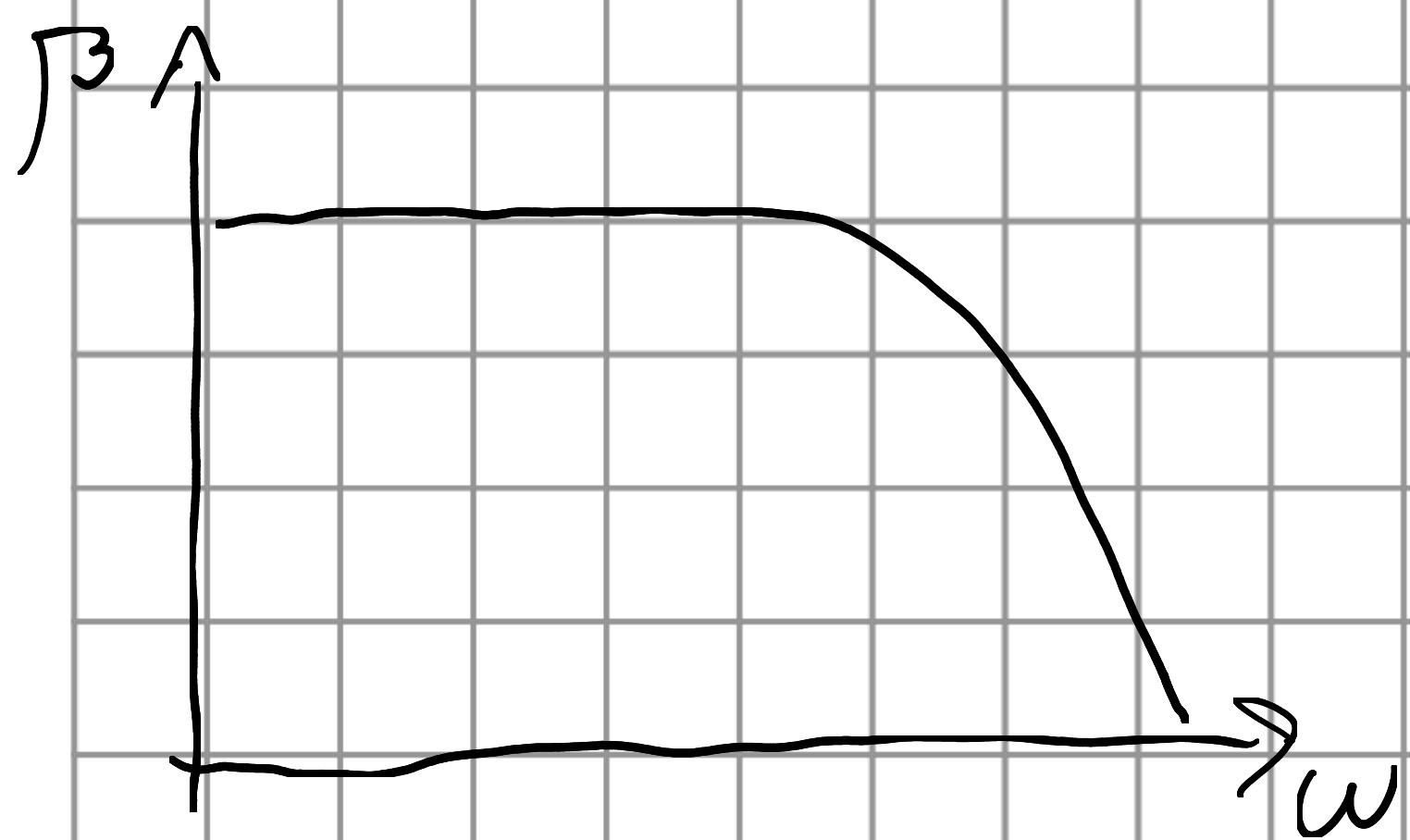


- TRANSISTOR BJT (2 giunzioni)

osc. smorzate verso C
davanti a pot. AC (*)

1. Giunzione C_{BE} , C_{BC}

2. Diffusione (peggiore)



(A) smorzate \rightarrow no osc. a C
 \Rightarrow filtro perde comp. AC.

ELETTRONICA DIGITALE (Bob Widlar was wrong)

i) Preserva (molto bene) l'informazione.

ii) Semplicità del design (facilmente ricomponibile)

1 GB $\sim 10^{10}$ BIT \rightarrow SENZA ERRORI

NOISE? (da fastidio!) \leftarrow

\hookrightarrow Come fa una a fare 10^{10} op. senza essere affatto da rumore?

DNA \rightarrow informazione immagazzinata in maniera discreta

Filamento DNA di lunghezza ~ 1.5 GB (dati)

1g DNA ~ 215 PB $\sim 10^{15}$

\hookrightarrow massima immagazzinamento di informazioni,
ma lento

- Elettronica (2 elementi) + veloce

Sonde Voyager $\sim 25 \cdot 10^{12}$ m

Trasmette con sorgente a 20W a 160 $\frac{\text{Bit}}{\text{s}}$

- Scalabilità (Cerebra VSE2 grande come un piatto)

$\hookrightarrow 2.6 \cdot 10^{12}$ componenti (transistor)

ATM, IT300 $\sim 146 \cdot 10^9$ componenti

OpAmp \leadsto μA7471 - TI \rightarrow 20 transistor

notevole differenza con digitale

Ogni OpAmp ha le sue part. caratt.

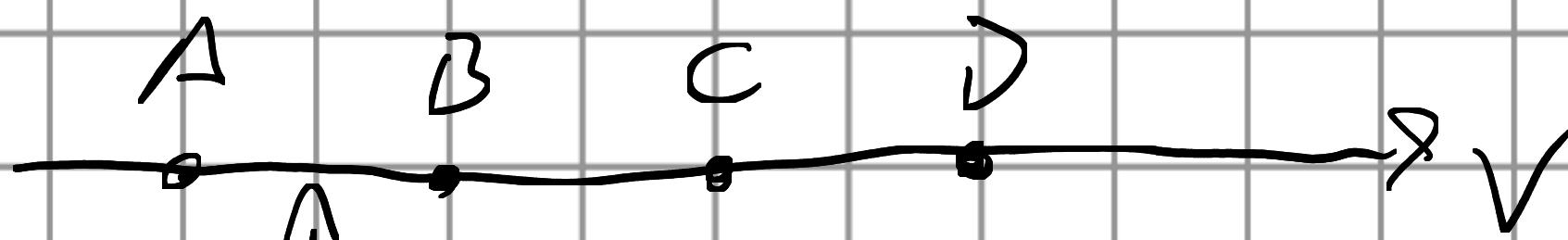
\hookrightarrow non è così con digitale \rightarrow funziona su standard

Se ho bisogno di cose specifiche \rightarrow posso trovare
comp. analogiche
migliori

Analogico tratta meglio applicazioni specifiche.

Ampl. Josephson \rightsquigarrow superconduttori e elett. analogica.

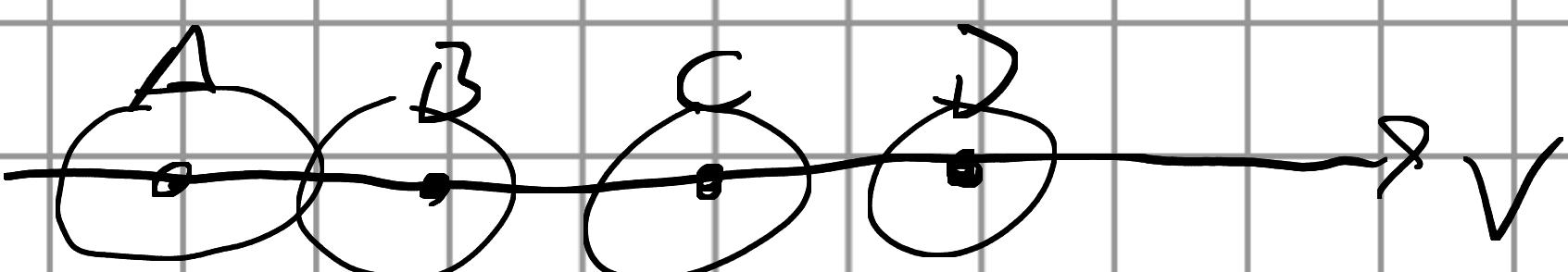
- IDEA DI BASE: DISCRETIZZAZIONE.



$1.5 \rightarrow$ Disegno ad A e B?

- Det. soglie, i.e. intorni ammissibili.

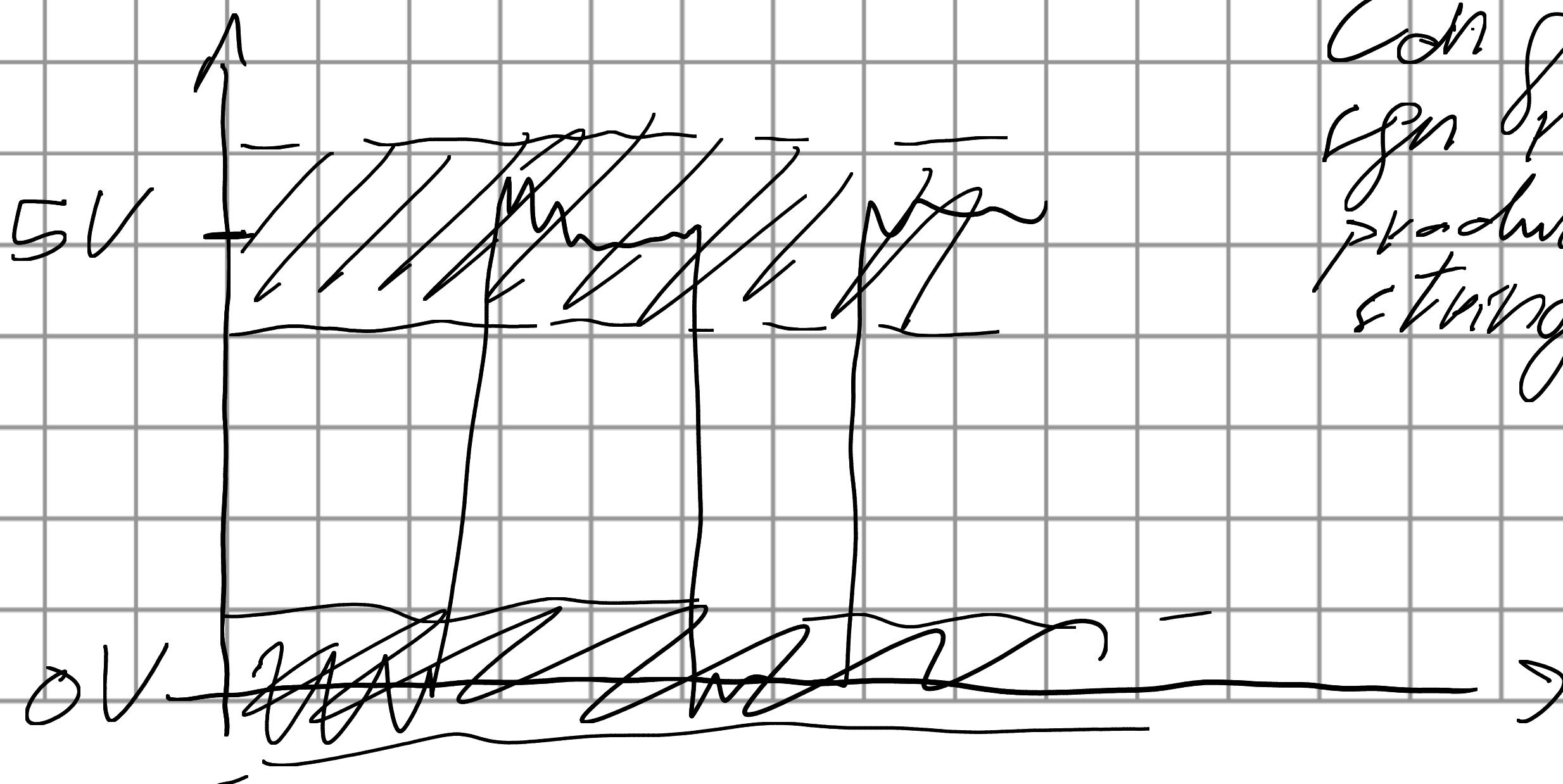
\hookrightarrow DISCRETIZZAZIONE CON MARGINE DI RUMORE



\hookrightarrow margini di rumore, intervalli di tolleranza

\hookrightarrow se maggiori del rumore, lo elimina.

- Standard:



Con gli intervalli
ogni rumore si fa
produrre la stessa
stessa binaria

- E' importante fissare il sampling. ($\approx 46:60$)

Se rumore troppo grande? (i.e. segn troppo piccolo)

• TECNICHE DI CONTROLLO

Setting: computer (2) che parlano tra loro.

Prob. che si trasmettano bit con errore è 10^{-4}
 10^{-4} grande (ne trasm. 10^{10} !)

• PARITY CHECKSUM \rightarrow stringa di bit e ha aggiunto 1 in più:

bit aggiuntivo $\begin{cases} 1 & \text{se } \#1 \text{ in stringa dispari} \\ 0 & \text{se } \#1 \text{ pari} \end{cases}$

- es. 10 bit:

10110011100 source

↓
10110011100

errore $\Rightarrow \#1$ pari \rightarrow dispari

control. bit
controllo
bit
stringa

Se ho 2 combi stringhe non cambia! Non ha
messo nulla!

Ma prob. di 2 bit sbagliati?

$$P_0 = 10^{-4}$$

$$P = \binom{11}{2} P_0^2 (1-P_0)^9 = 55 \cdot 10^{-8} = 55 \cdot 10^{-7} \ll P_0$$

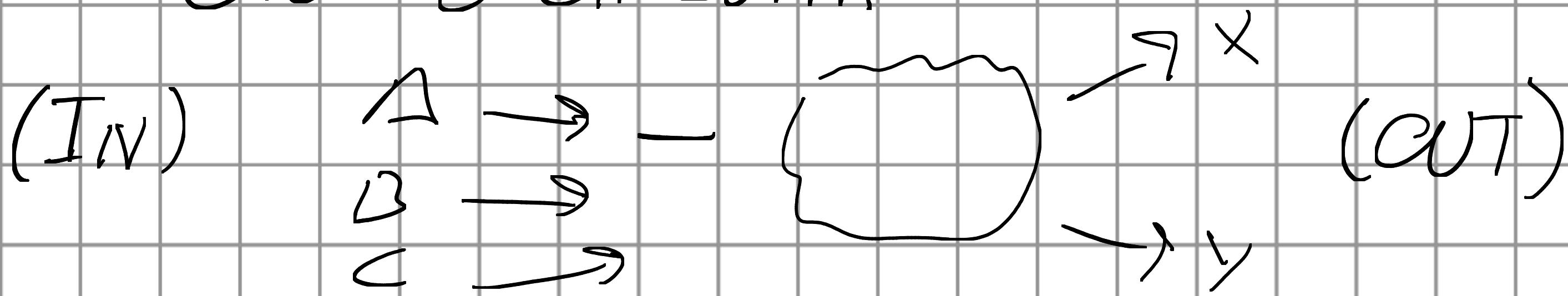
↓
11 bit (tipico processo binomiale)

Da 10^{-4} a $55 \cdot 10^{-7}$! (* 53:30)

↓
Bit checksum è trattato come un bit della
stringa nel calcolo probabilistico

(* 55:30) Se voglio pulire sgn → analogico
" " operazioni efficienzi → digitale.

• LOGICA E CIRCUITI.



mi chiedono
come X, Y siano
legati a A, B, C .

- Tante descrizioni equivalenti.

1. Logica astratta $X = A \cup B$

2. Funzioni Booleane, algebra di Boole

$$X = f(A, B)$$

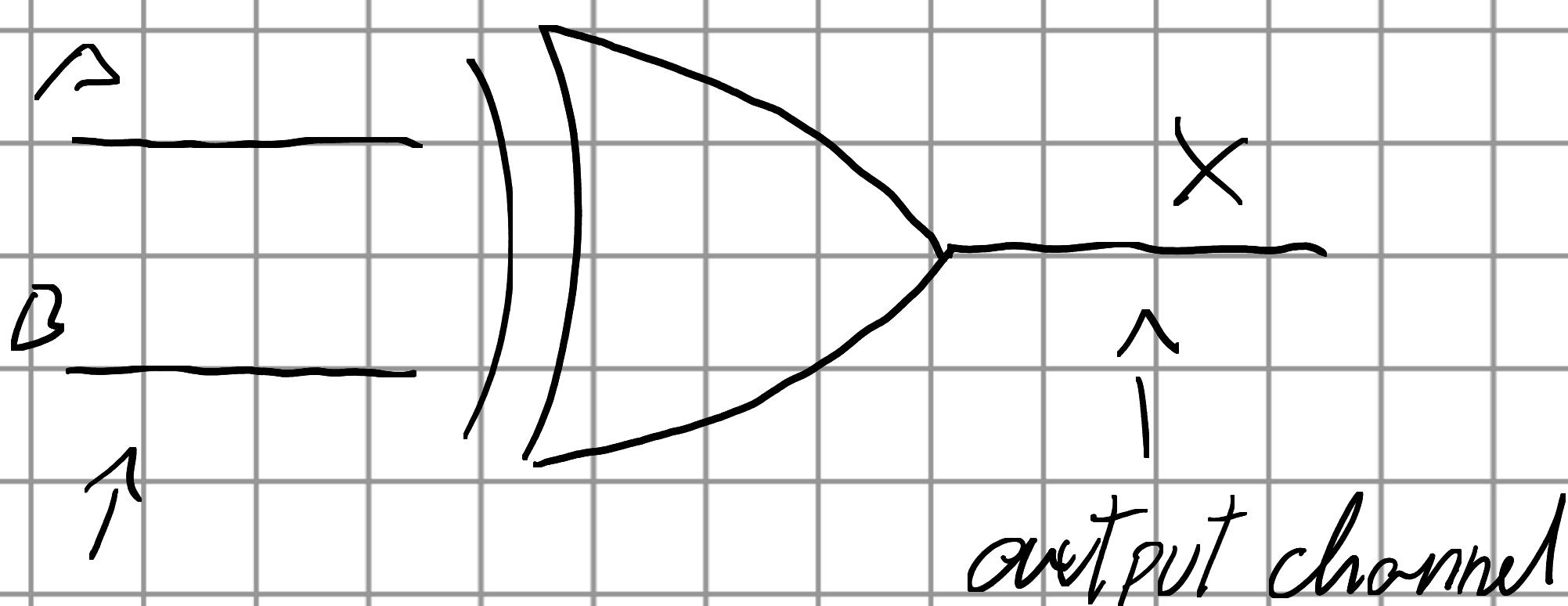
$$\begin{array}{c|c} & 1 \\ \hline 1 & 1 \end{array}$$

hanno val. discrete

0/1

FALSE/TRUE

3. Circuiti logici

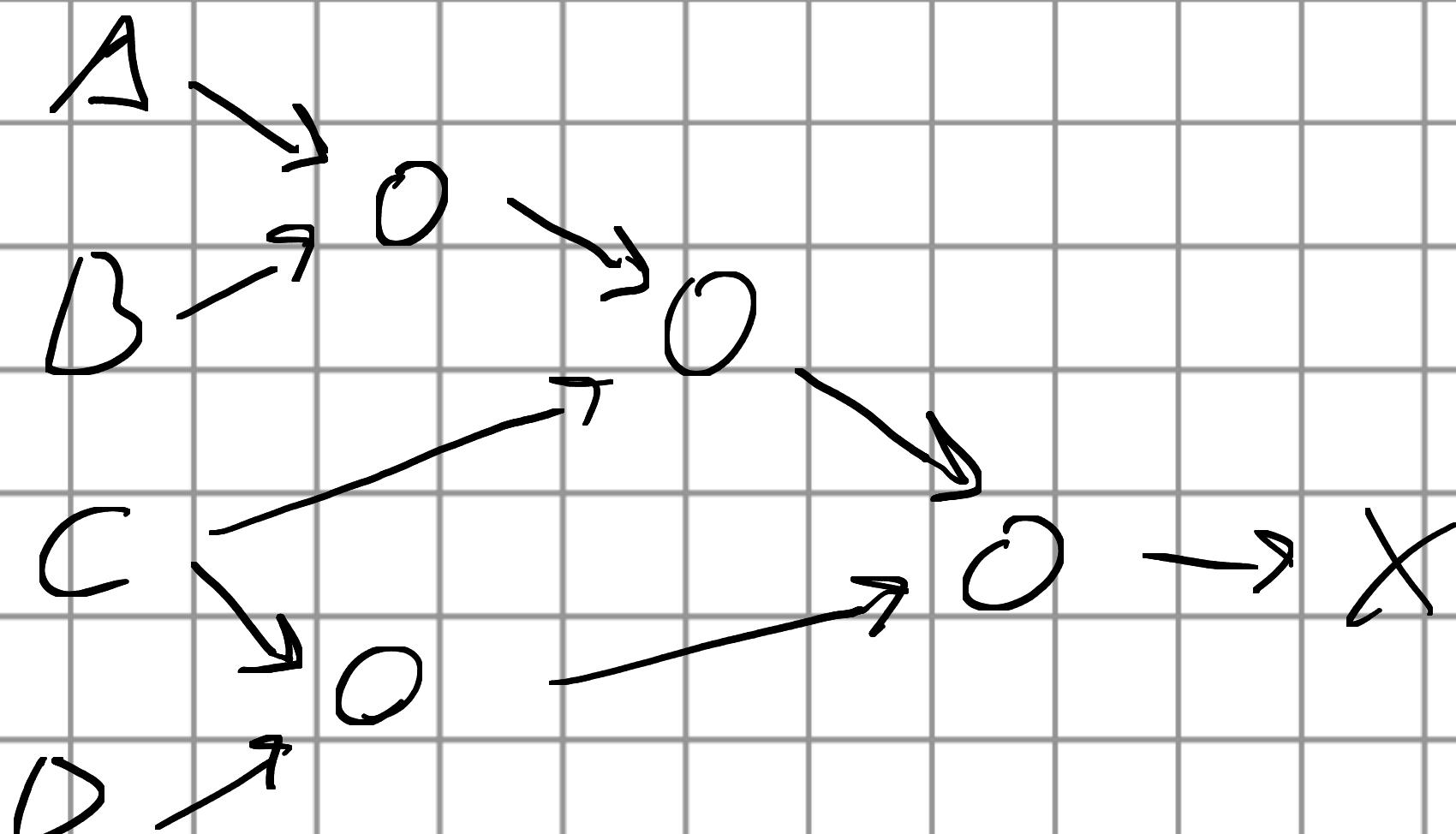


2 input channels

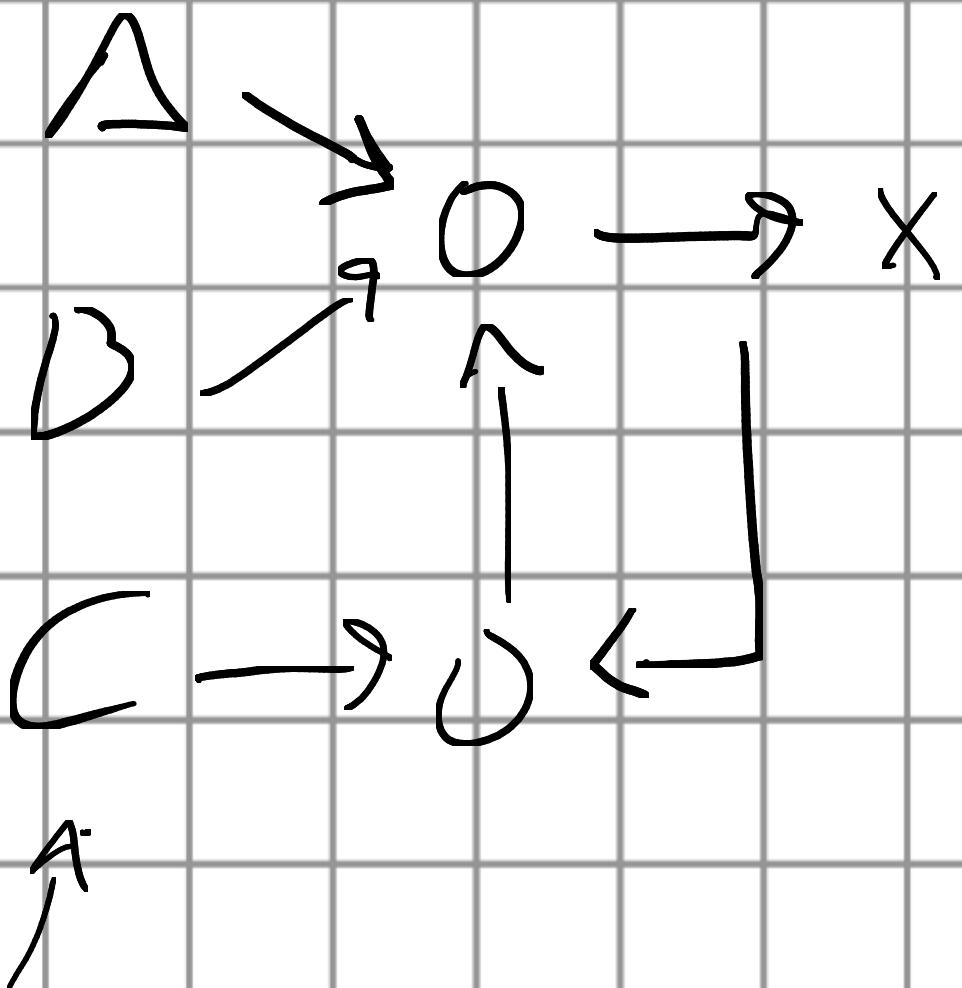
2 tipi:

i) Circuito combinatorio.

+ input



ii) Circuito sequenziale



Variabile che controlla stato del circuito

↳ feedback

• OPERAZIONI LOGICHE POSSIBILI

↳ porte logiche (molte possibili per combinare gli input)

• PORTA BUFFER. → 1 input

↳ Tabelle di verità.

Δ	X
0	0
1	1

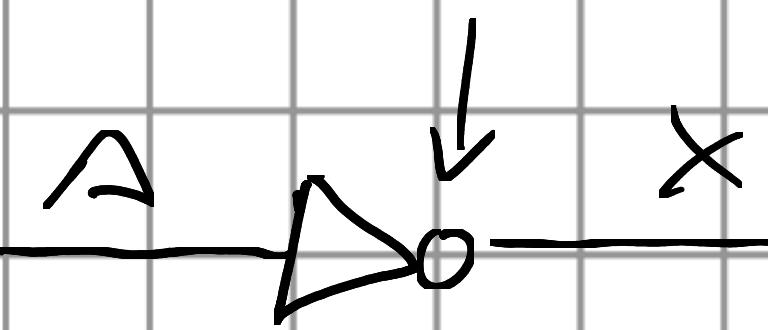
$$\text{Logical level} = \Delta = X$$

• PORTA NOT

Δ	X
0	1
1	0

1'Veganzone

per il no sempre negazione

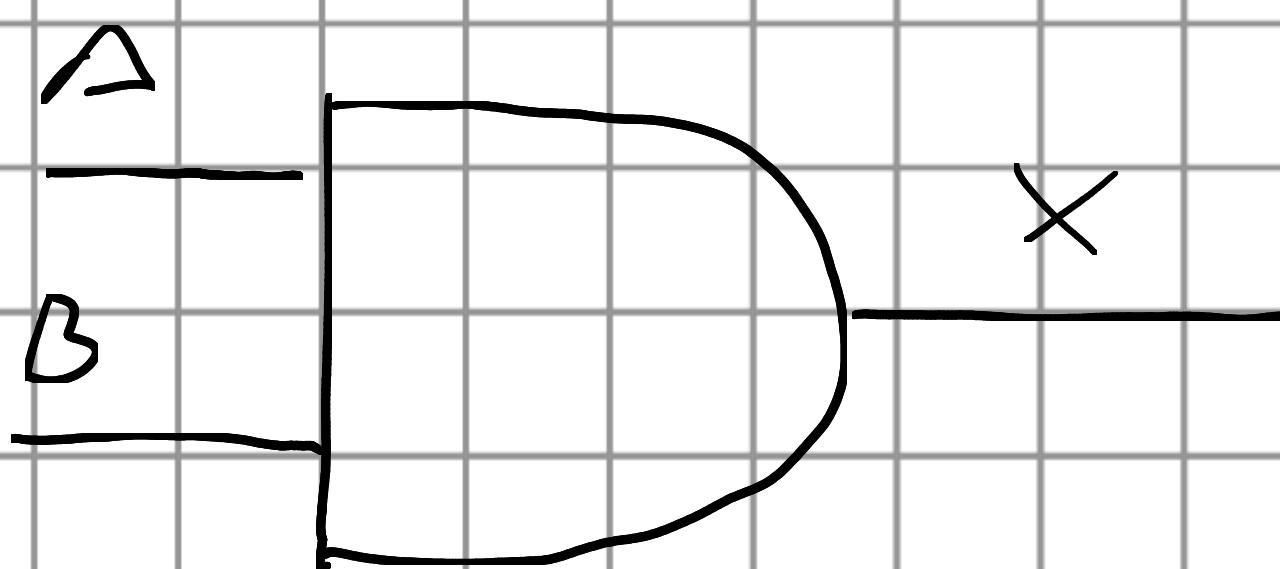


$$\begin{aligned} X &= !\Delta \\ X &= \neg \Delta \\ X &= \overline{\Delta} \end{aligned}$$

- Parte a 2 input. (1 output.)

• PORTA AND.

A	B	X
0	0	0
1	0	0
0	1	0
1	1	1

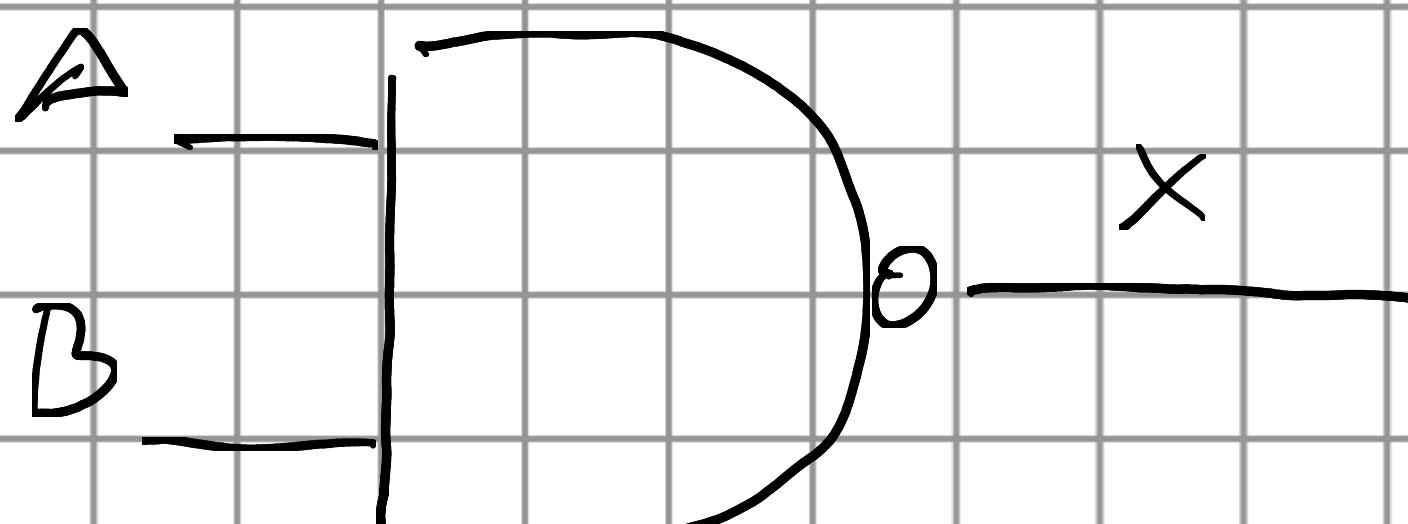


$$X = A \wedge B, A * B, A \cdot B$$

↪ /'AND = operazione di prodotto

• NAND

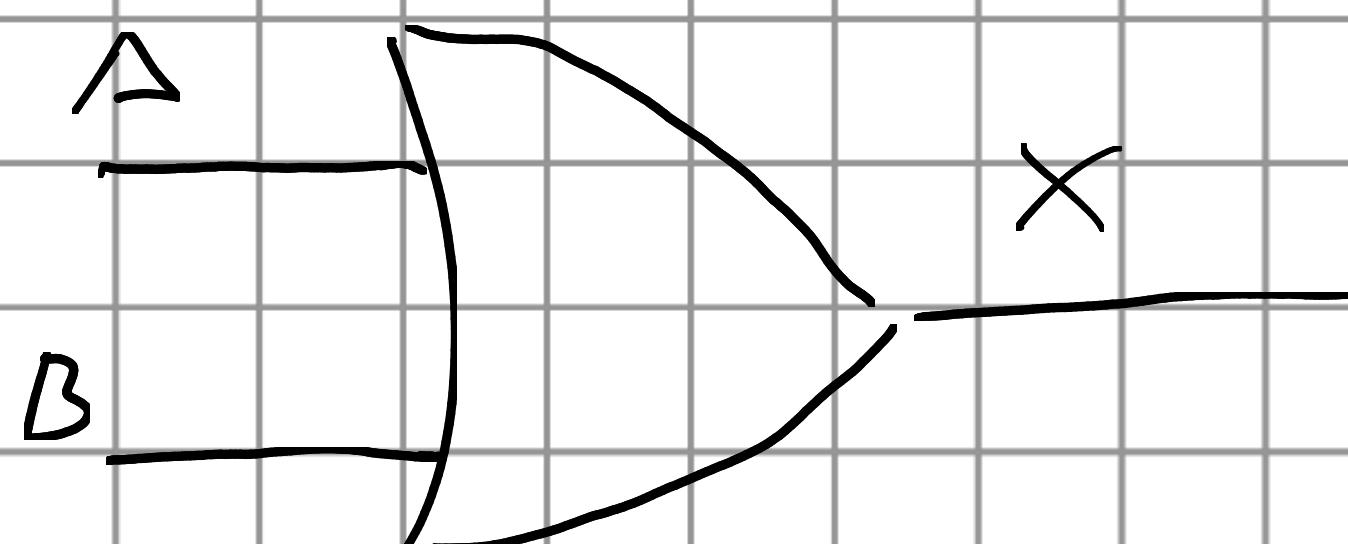
A	B	X
0	0	1
1	0	1
0	1	1
1	1	0



$$X = \neg(A \wedge B)$$

• OR

A	B	X
0	0	0
1	0	1
0	1	1
1	1	1

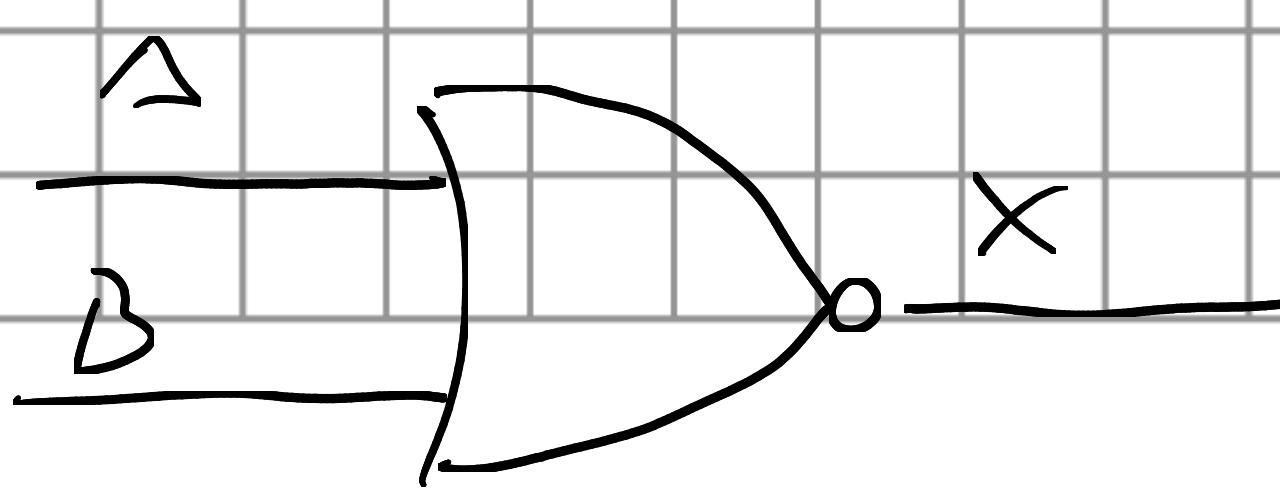


$$\begin{aligned} X &= A \vee B \\ &= A \cup B \\ &= A + B \end{aligned}$$

↪ q. di somma logica
(circa)

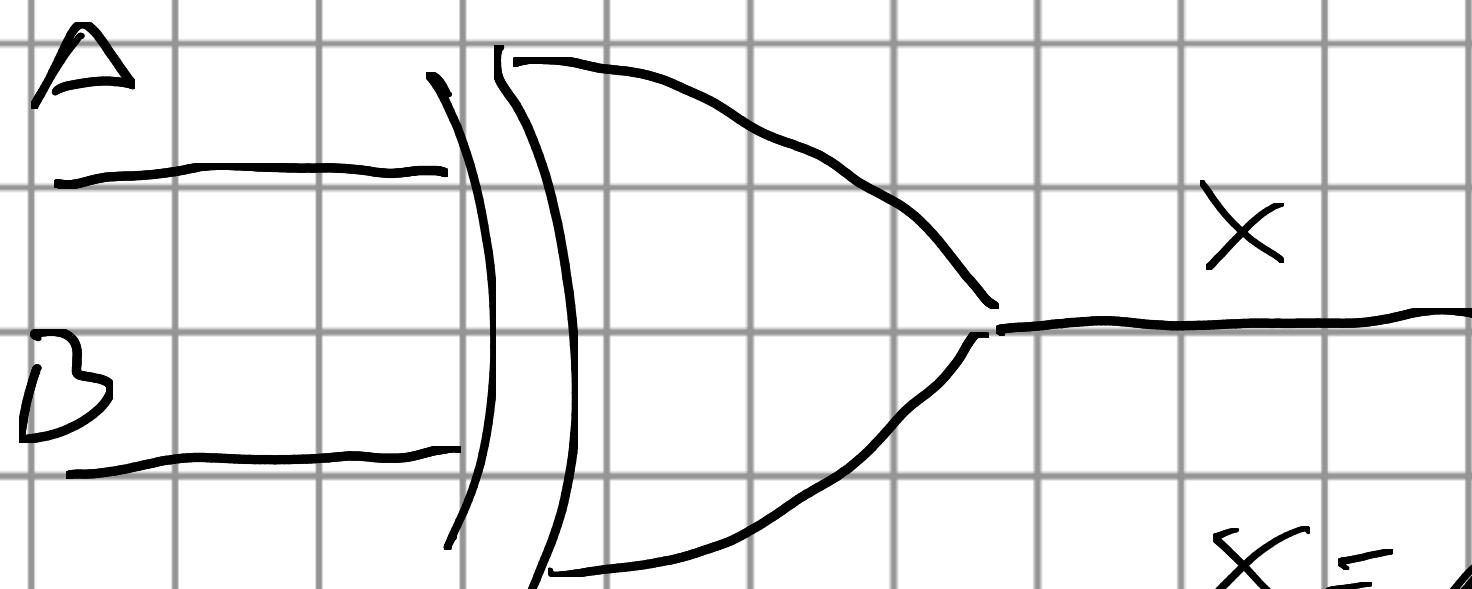
• NOR

0	0	1
1	1	0



• Somma logica secca XOR (OR esclusivo)

A	B	X
0	0	0
1	0	1
0	1	1
1	1	0



$$X = \overline{A} \oplus B$$

(Sopra, porte logiche elementari)

Buffer \rightarrow doppia negazione

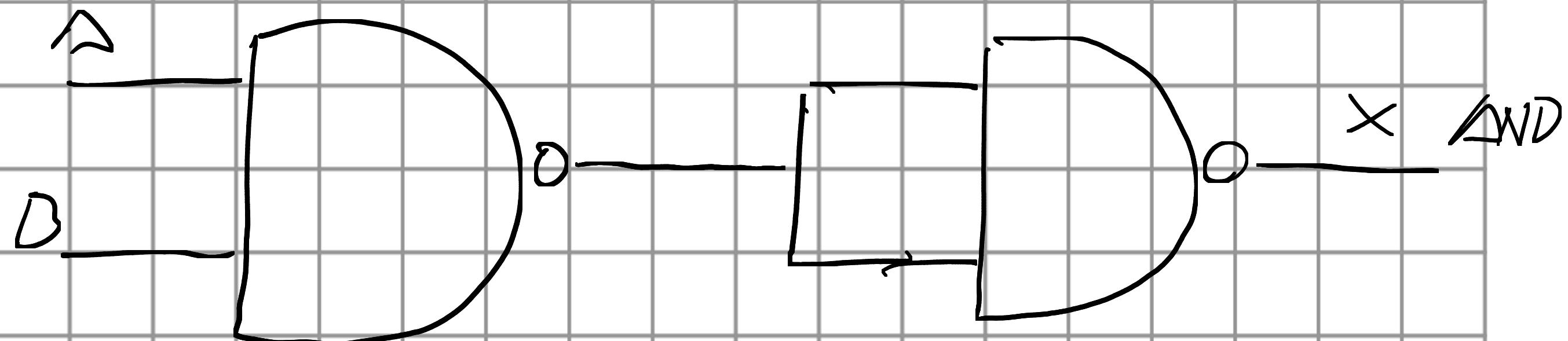
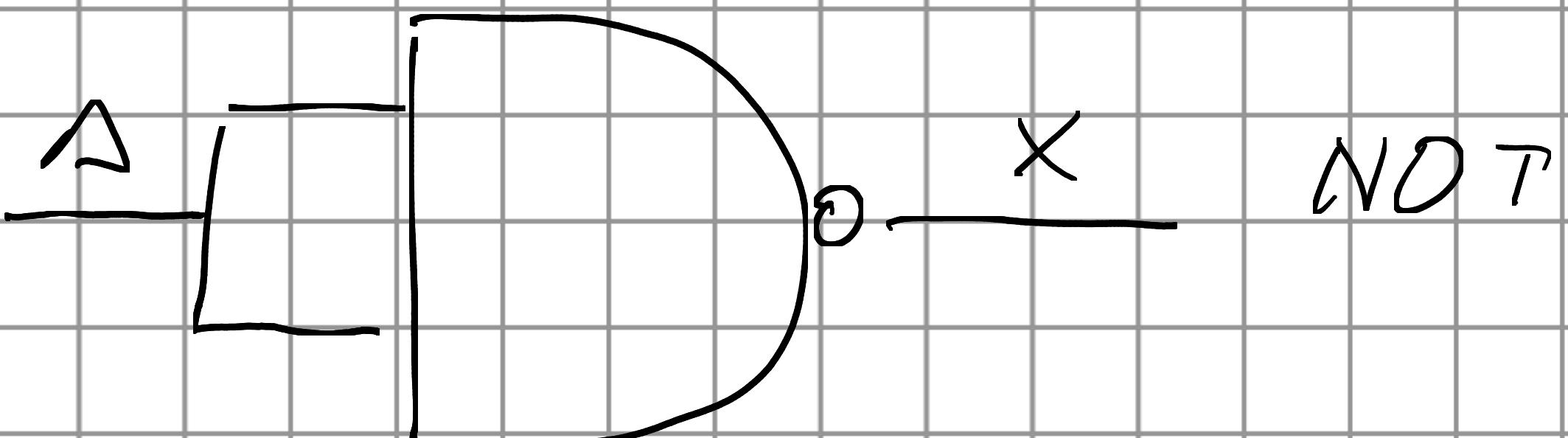
Per sct. per tutte q. logiche possibili:

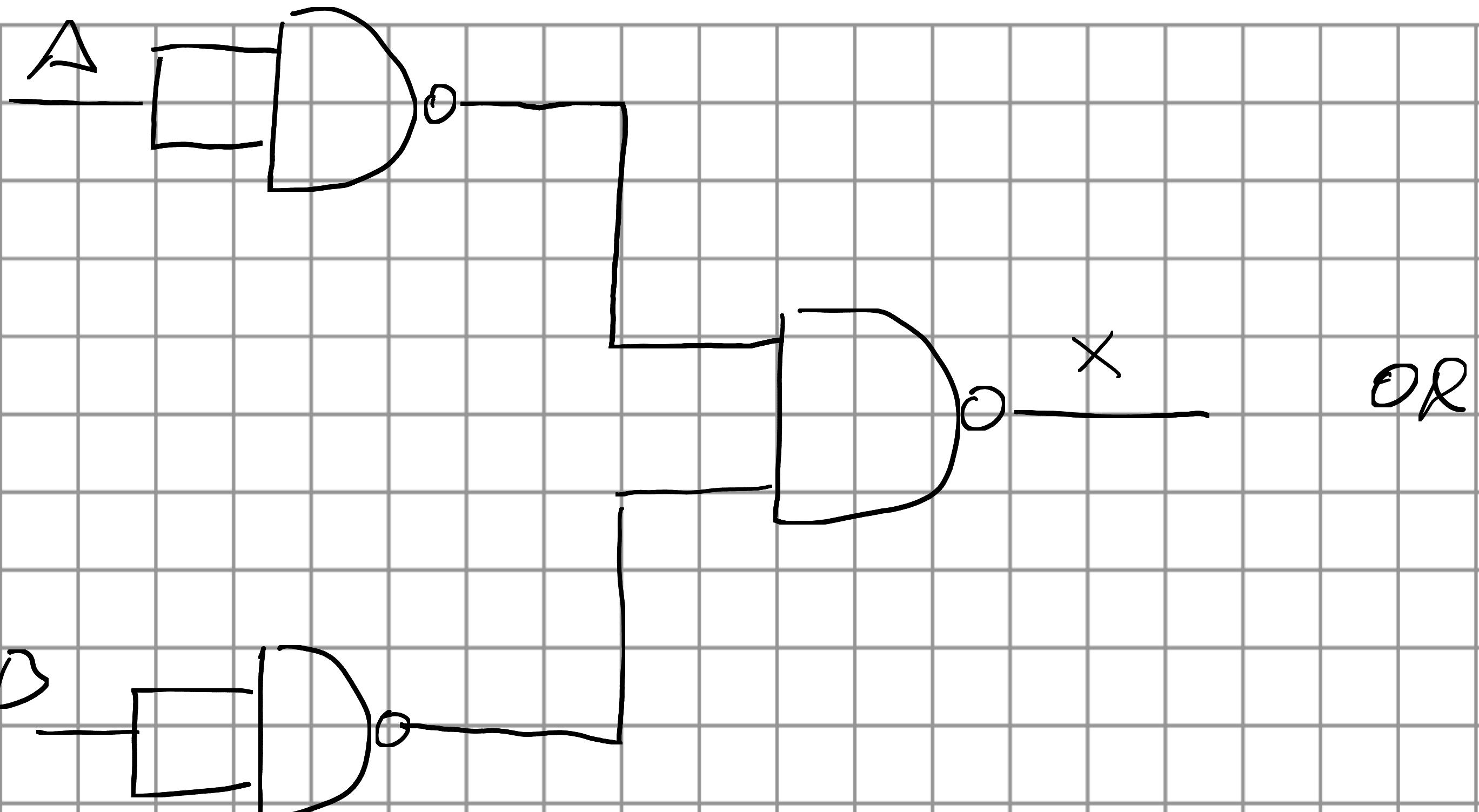
{NOT, AND, OR}

esistono porte singole con cui fare tutte le altre

NAND

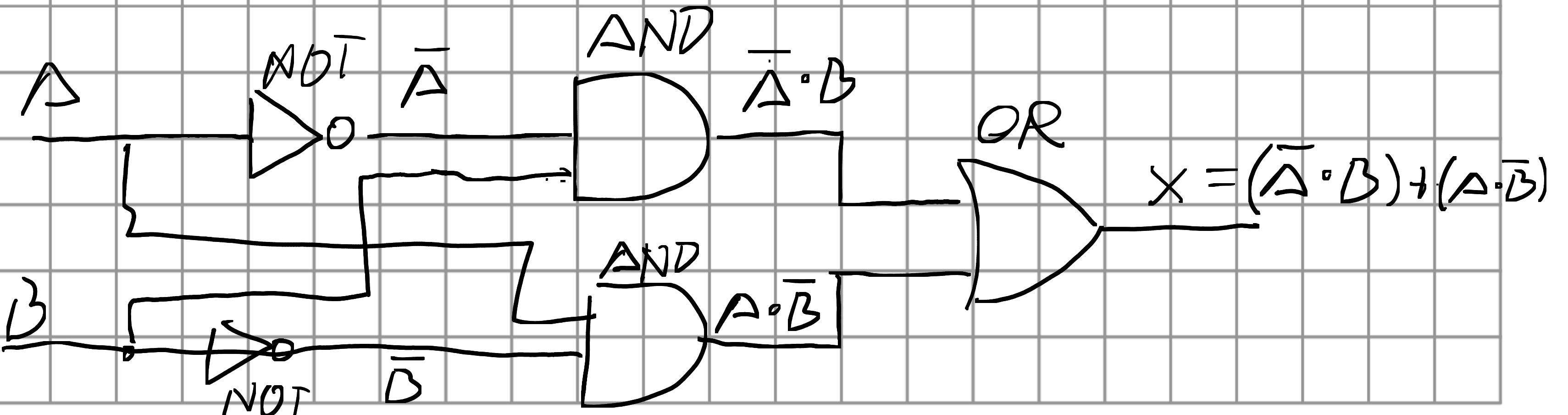
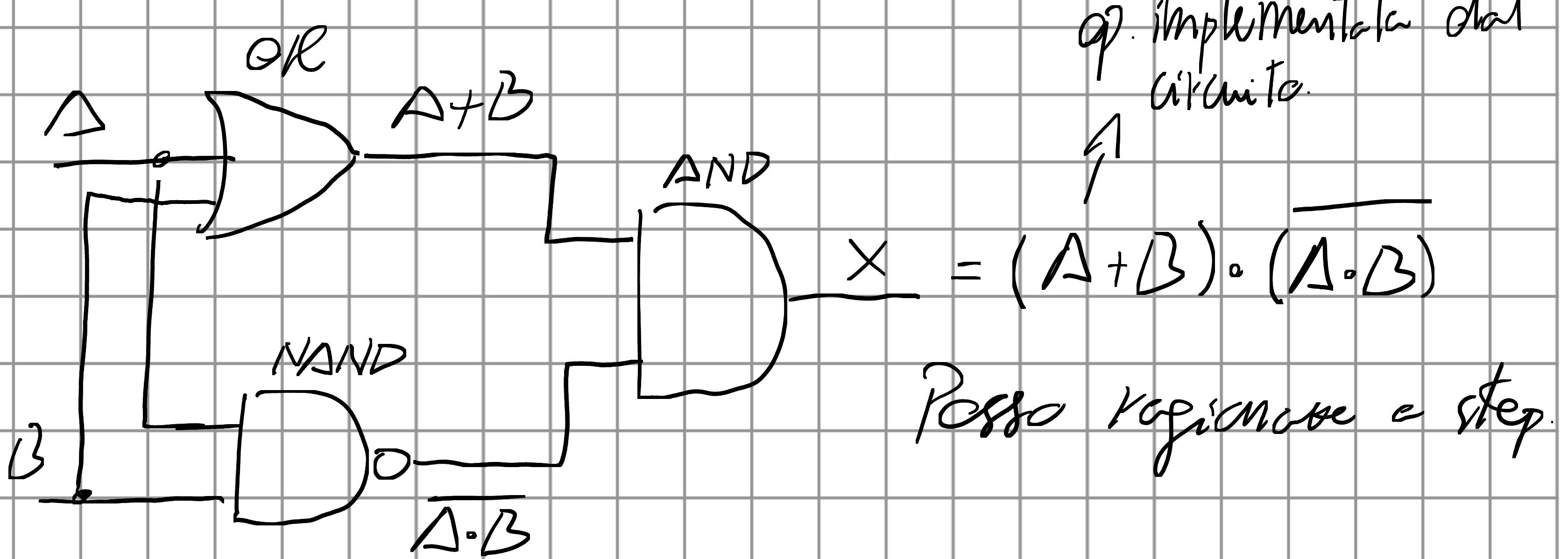
IVOR





NAND → posso combinarli opportunamente singolarmente
per ottenere tutte le altre porte logiche

• COMBINAZIONI PORTE LOGICHE.



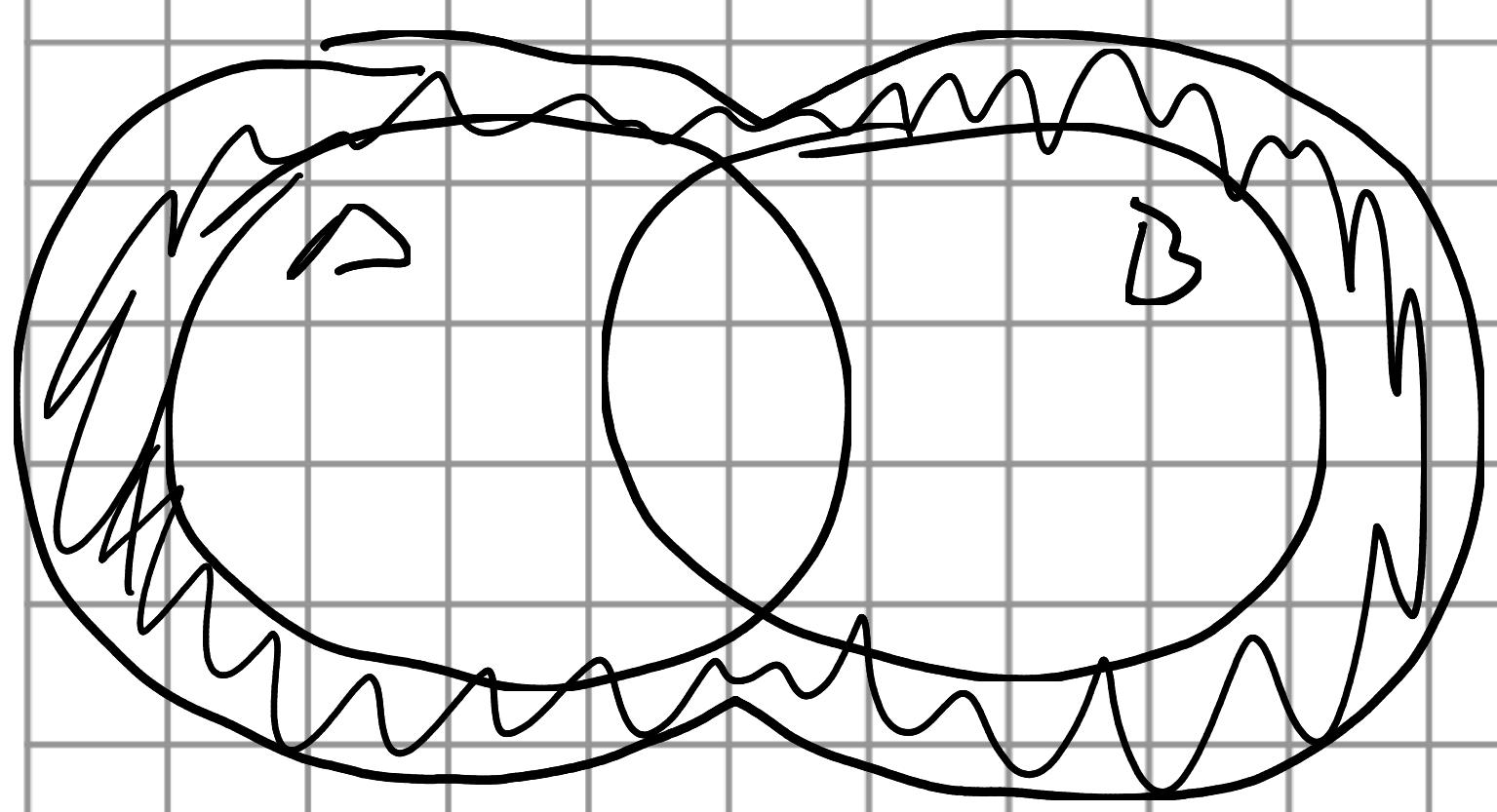
• PROPRIETÀ:

- Associativa, distributiva, commutativa di AND e OR

- Leggi di De Morgan

$$1. \overline{A \cdot B} = \overline{A} + \overline{B}$$

$$2. \overline{A+B} = \overline{A} \cdot \overline{B}$$



$$(\overline{A+B})^c$$



- Dati i circuiti visti prima:

$$X = (A+B) \cdot \overline{AB} \stackrel{\text{D.I.}}{=} (A+B)(\overline{A}+\overline{B})$$

$$= \cancel{AA} + B\overline{A} + \overline{A}\overline{B} + \cancel{BB}$$

$$= \overline{A}B + \overline{A}\overline{B}$$

\Rightarrow i 2 circuiti visti sopra SONO EQUIV.

• COME COSTRUIRE CIRCUITO LOGICO

- Espansione di Shannon

Data tabella di verità costituita da N elementi

$$X = f(A, B, C, \dots) = \underbrace{A \cdot f(1, B, C, \dots)}_{\text{somma di prodotti}} + \overline{A} f(0, B, C, \dots)$$

funt. residua

I° forma canonica (dell'esp. di S.)

$$\leftarrow = A B \cdot f(1, 1, C, \dots) + \overline{A} B f(0, 1, C, \dots) + A \overline{B} f(1, 0, C, \dots) + \overline{A} \overline{B} f(0, 0, C, \dots)$$

Posso scomporre un'espressione complicata in somme e poi usare De Morgan e prop. base.

II° forma canonica \rightarrow prodotto di somme

- Tecnica grafica \rightarrow mappa di Karnaugh

\hookrightarrow matrice 2D

• ESEMPIO \rightarrow costruire op. complessa con schema costruttivo.

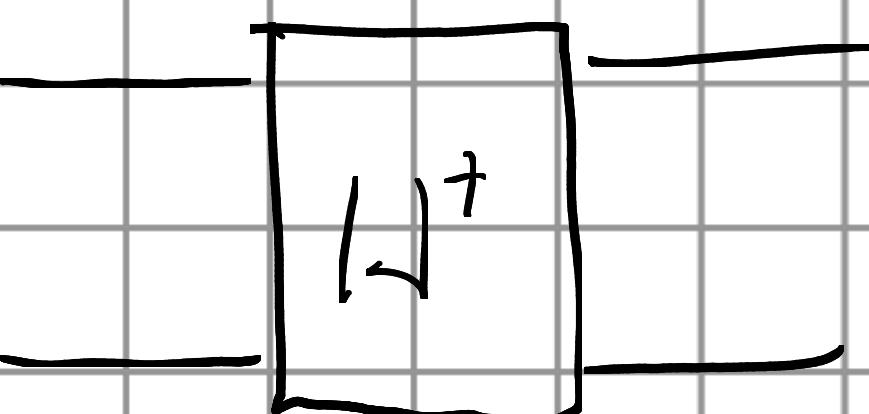
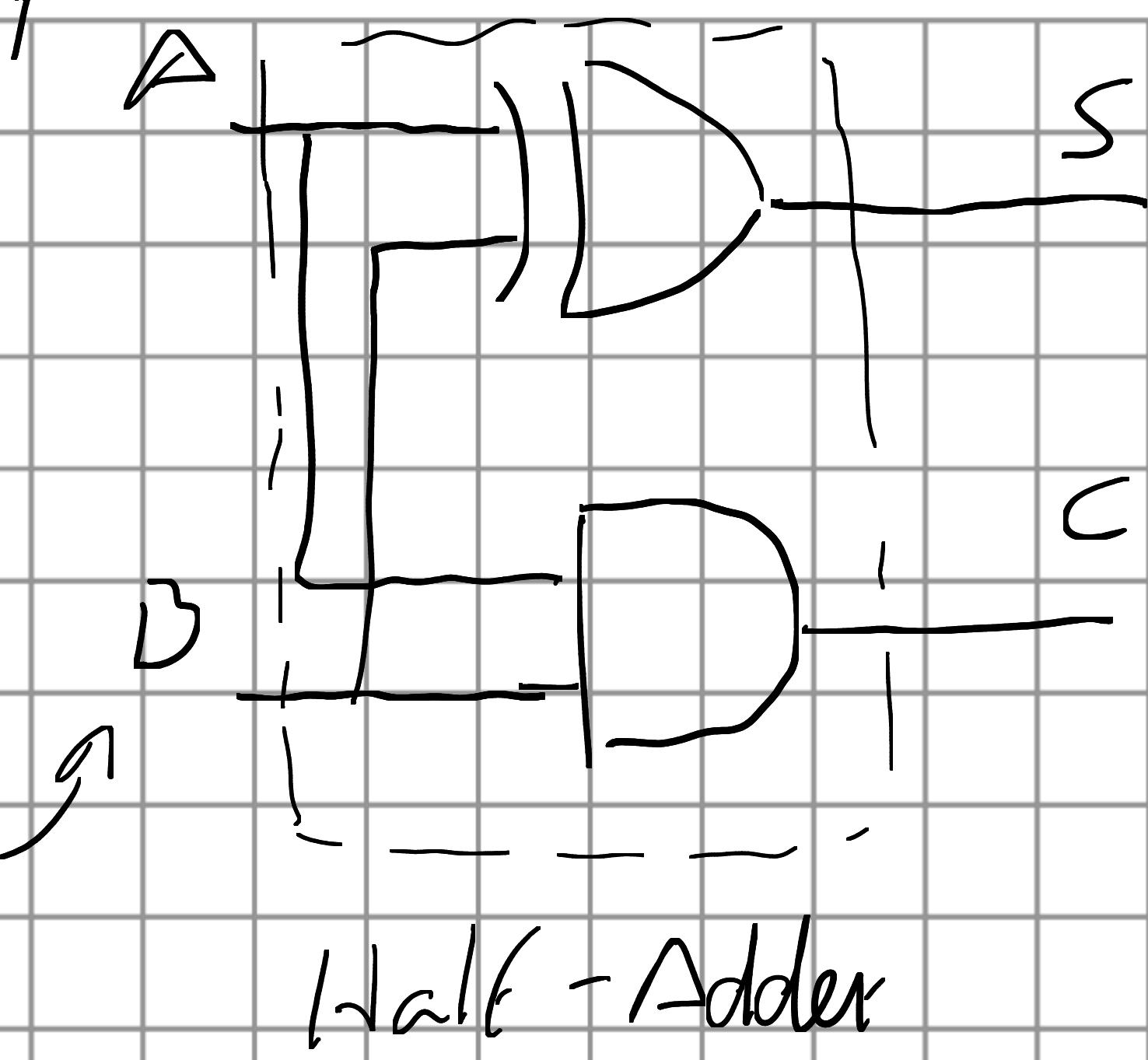
- sommatori binari

$$\begin{array}{r}
 \textcircled{A} \quad \begin{array}{r} 1 \\ 0 \\ 1 \\ 1 \end{array} \\
 \textcircled{B} \quad \begin{array}{r} 0 \\ 1 \\ 0 \\ 1 \end{array}
 \end{array}
 + \quad \underline{\hspace{2cm}}$$

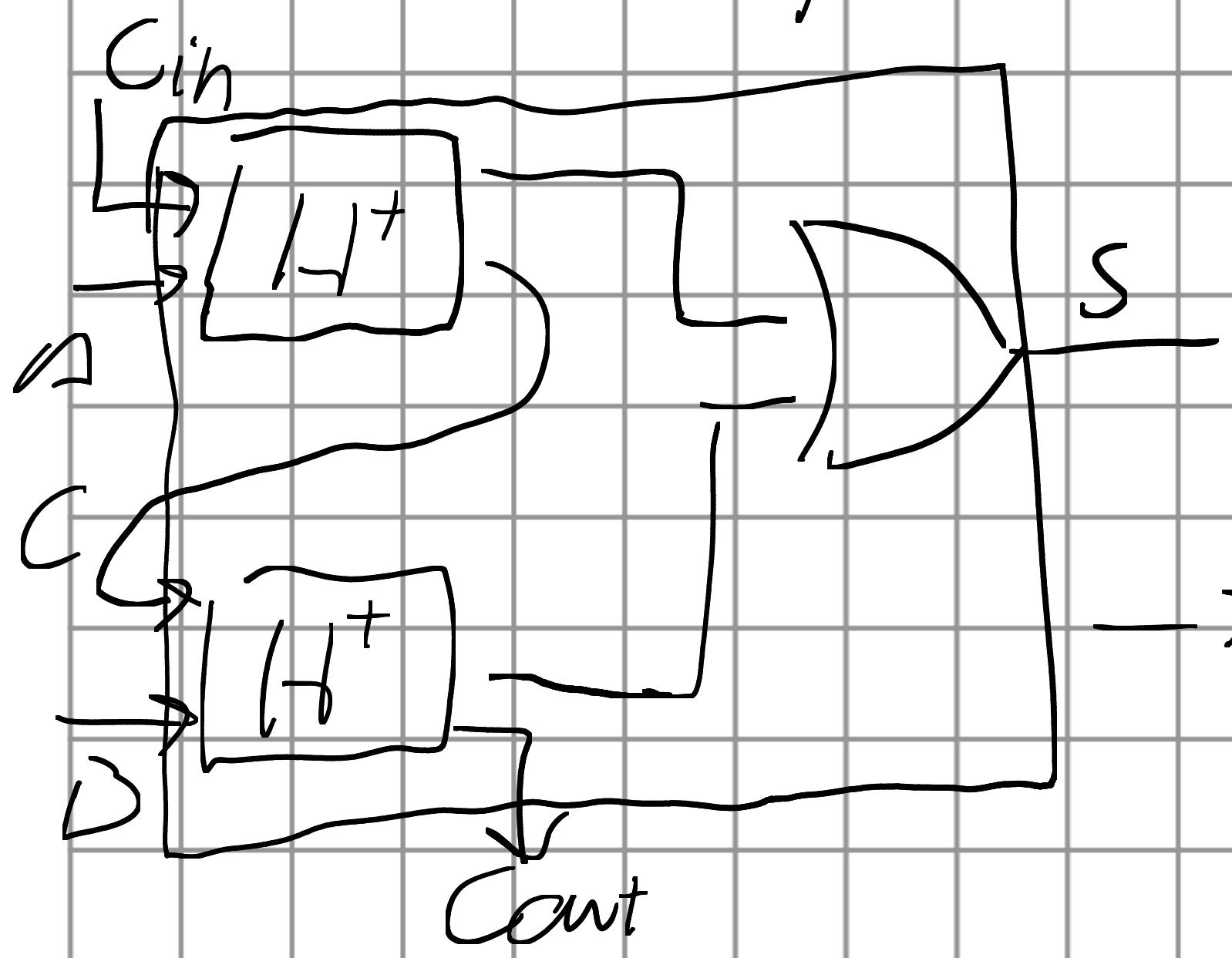
sommare i bit alla volta
serve circuito che si ricorda
dei riporti.

A	B	S	C
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

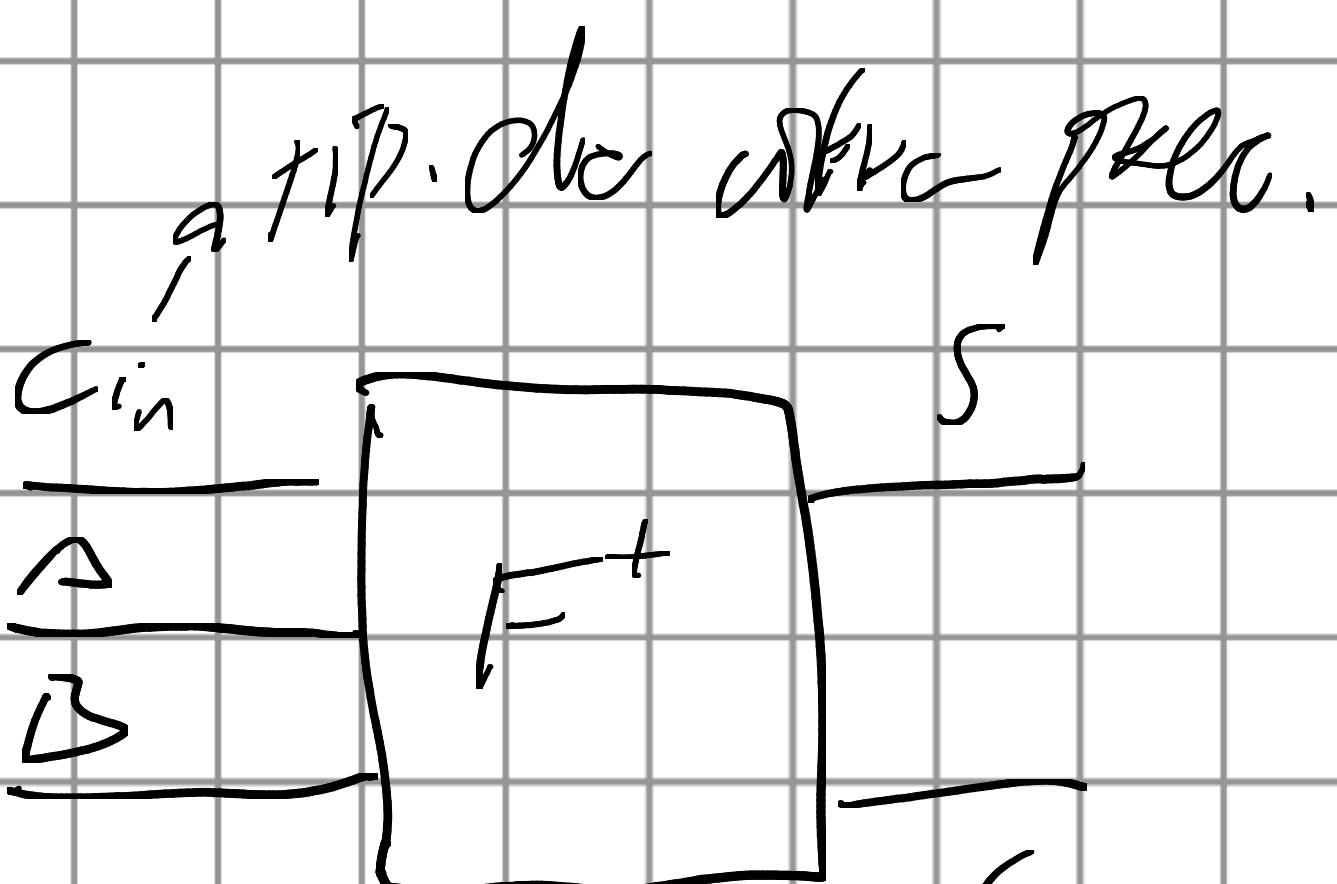
XOR AND



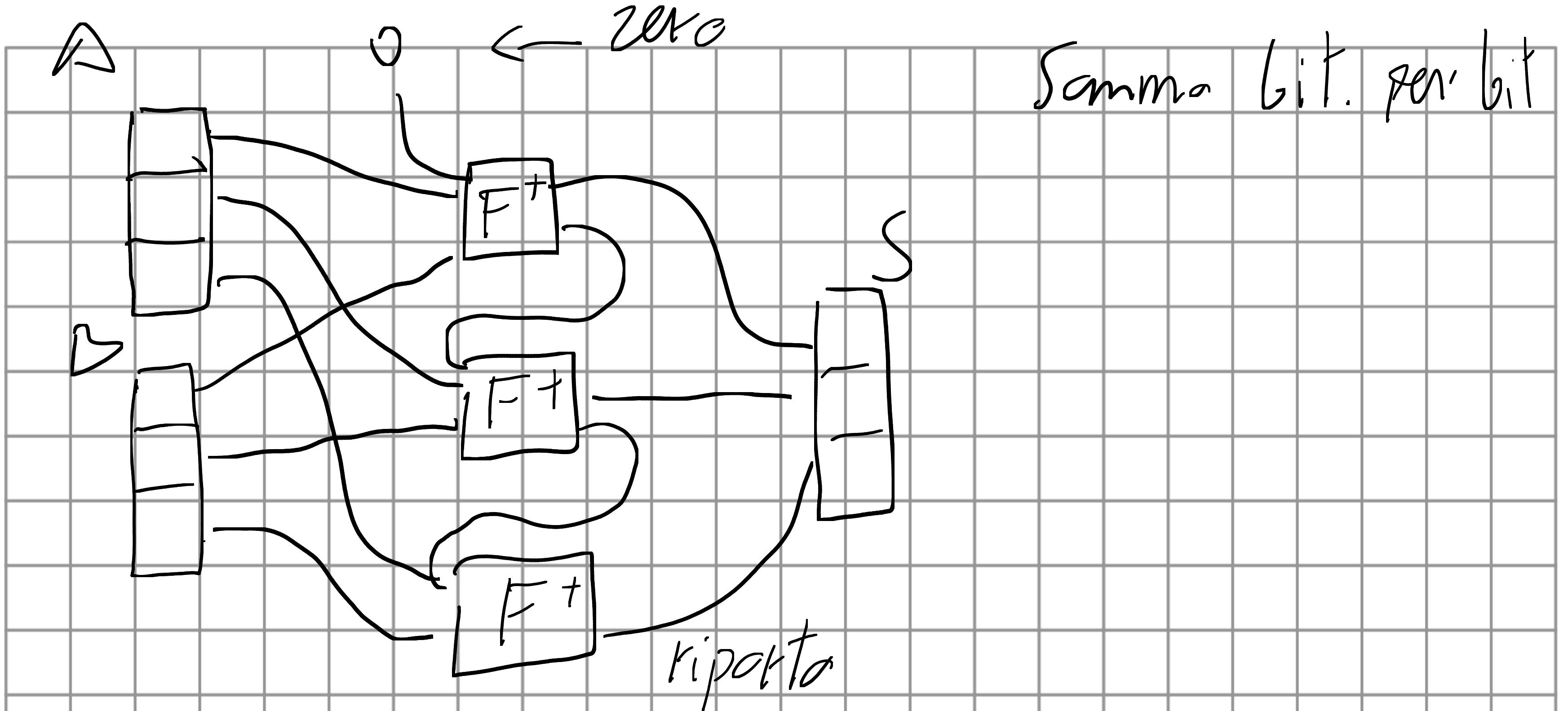
Sommatore completo \rightarrow Full-Adder



\rightarrow sommatore completo

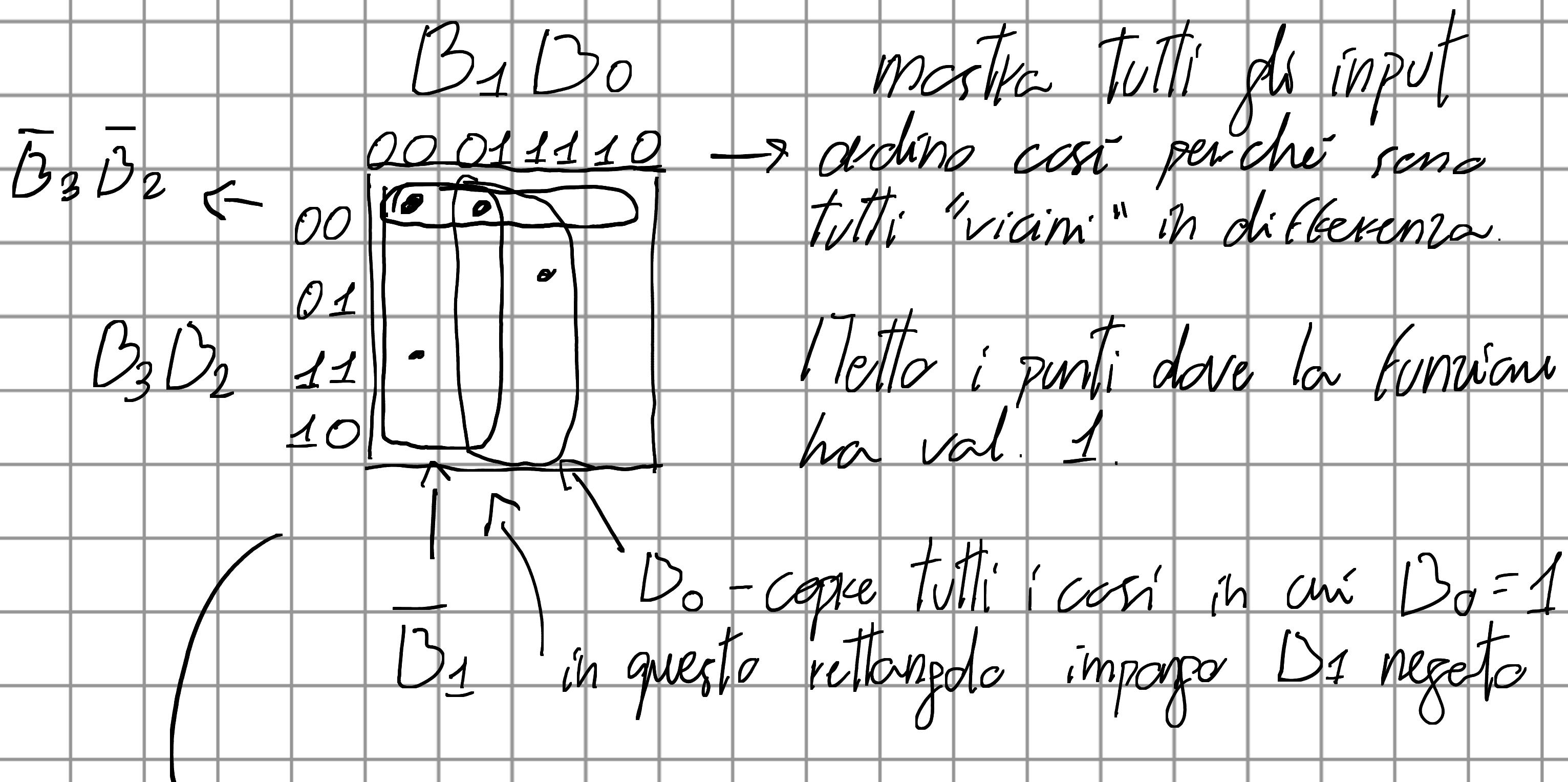


Inputto da do a
altra successiva



Lec 05

- MAPPE DI KARNAUGH



La uso per ripetere le operazioni "fatte a mano" in modo grafico.

↳ Sulla base delle operazioni che dues fai, sommo le intersezioni.

- Schermo decimale → + possibilità di ottimizzazione rispetto esadecimale

↳ Ho mappe tc. ho insiemini per i quali non mi interessa det. l'uscita.

↳ DON'T CARE

Serve sempre una linea di ingresso negato

° CASO DI FEEDBACK.

Uscita funzione ingresso e stato precedente ktc

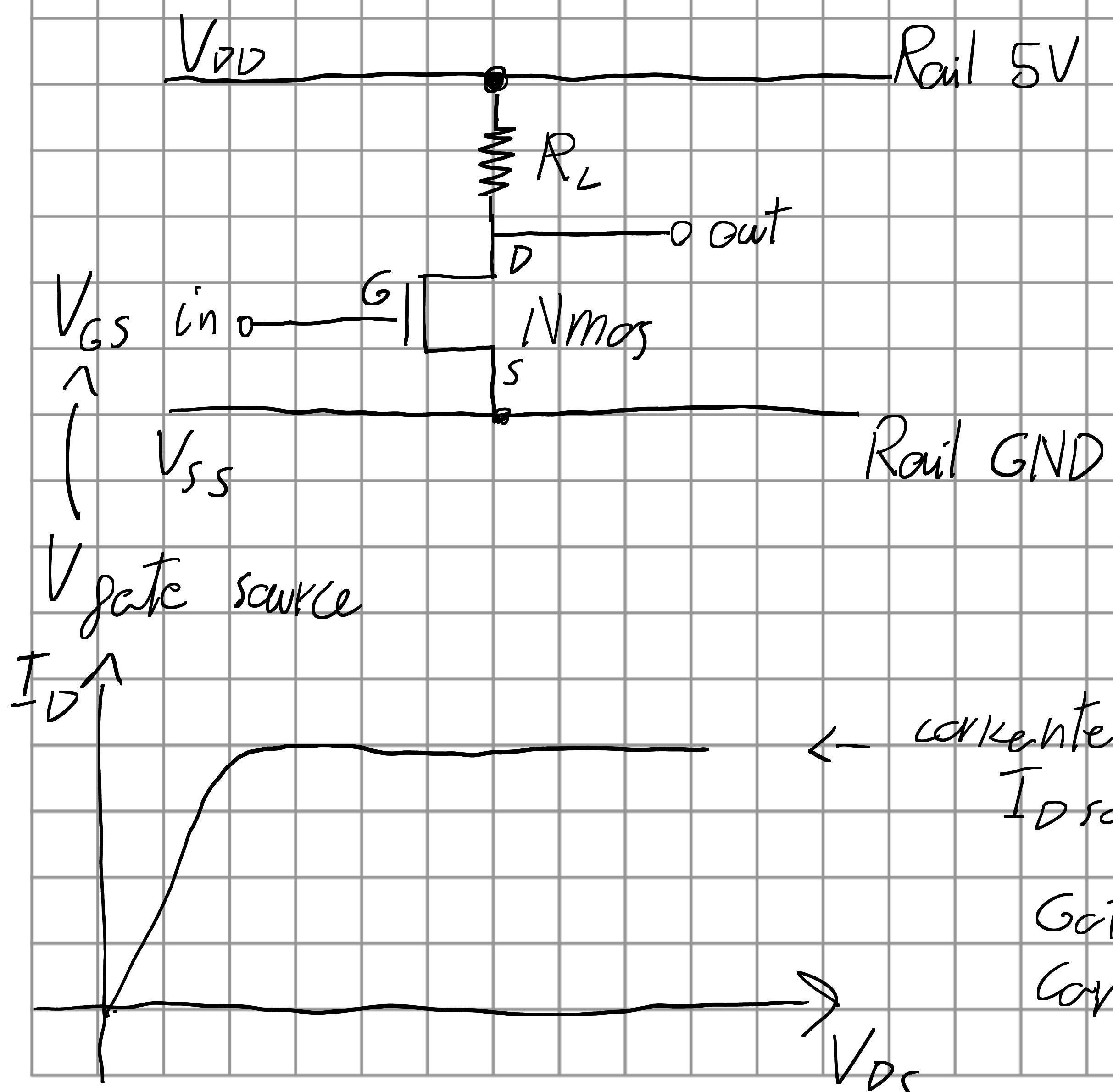
! \Rightarrow ktc ha memoria

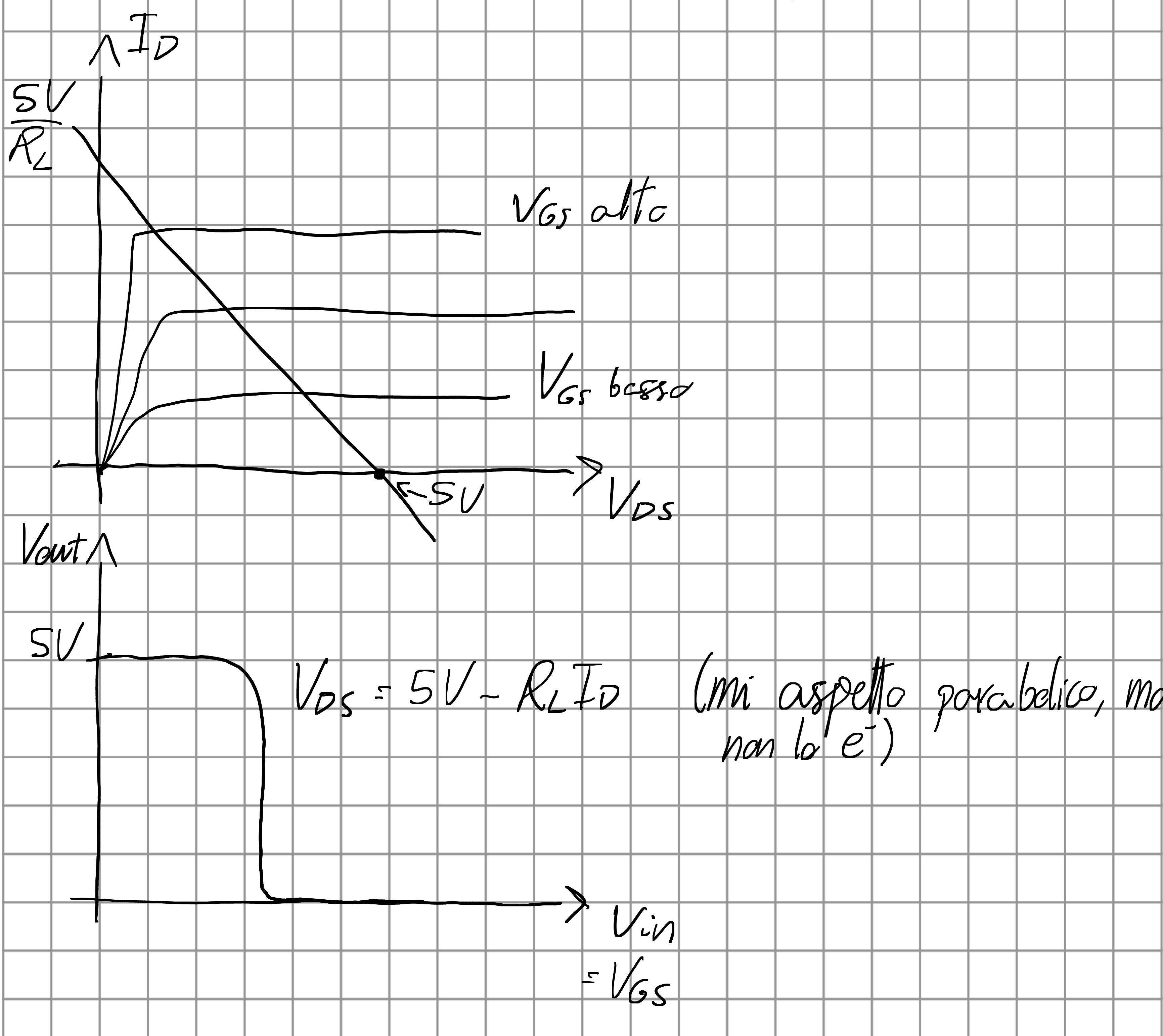
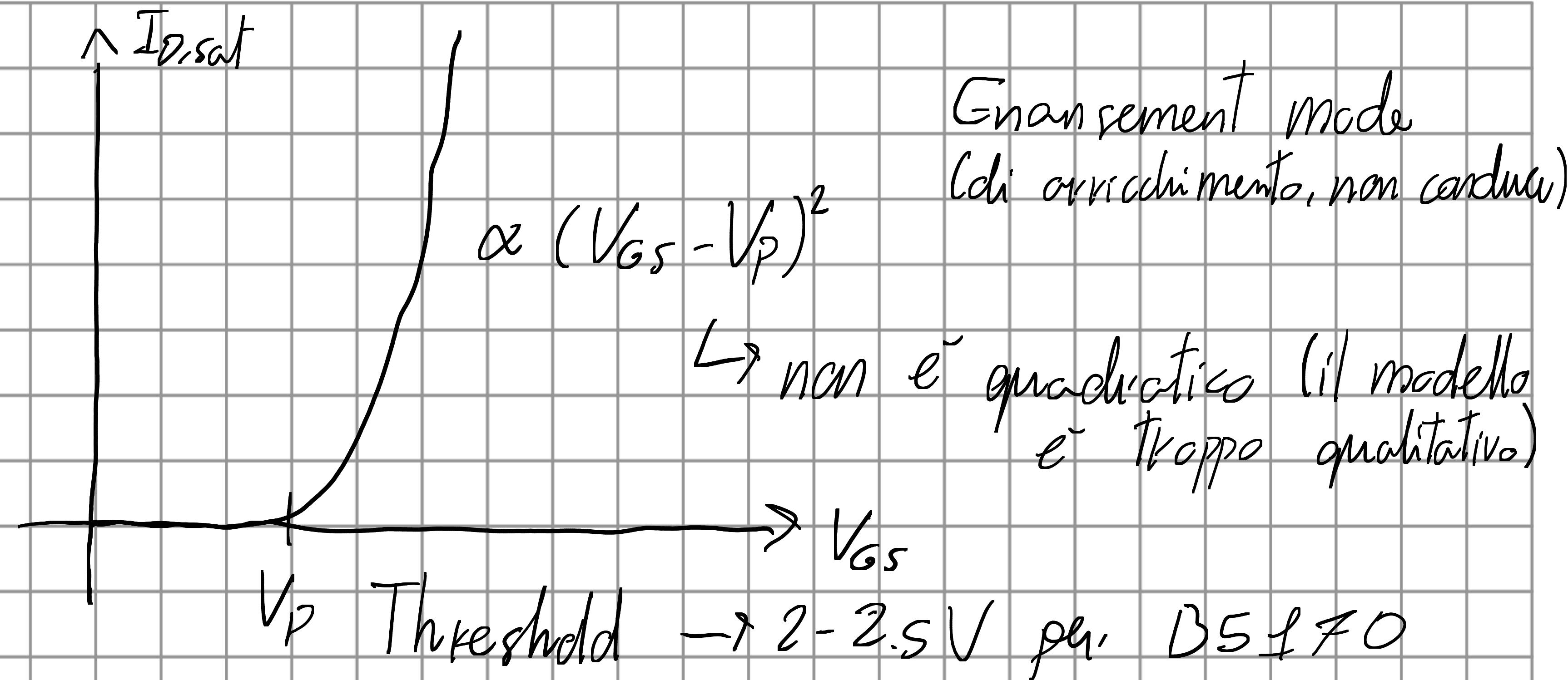
oggetto in grado di stabilizzarsi su 2 stati stabili grazie ad un feedback (positivo)

\hookrightarrow VV trigger di Schmidt.

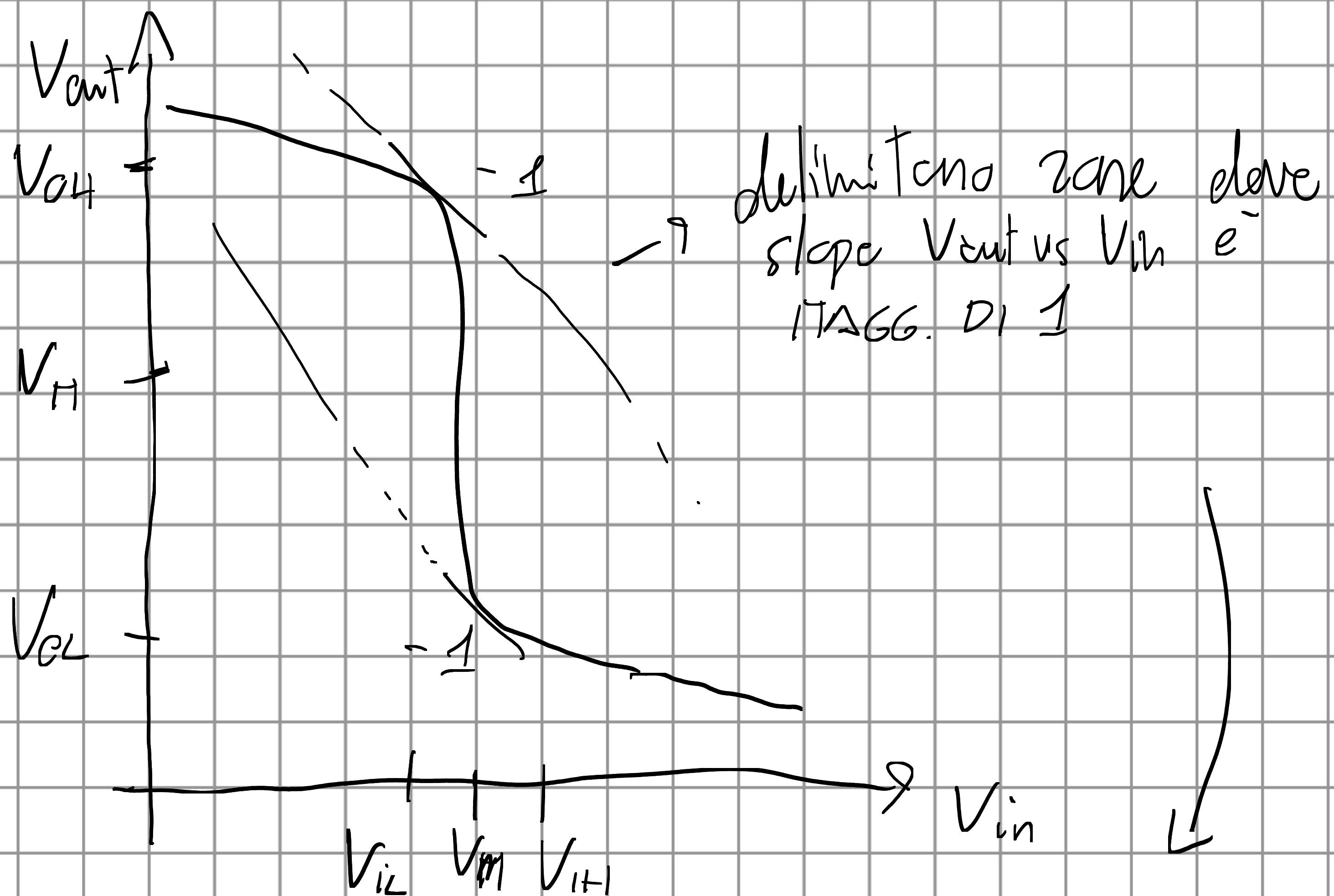
° ESPERIENZA.

1. Da analog a digital.





- Obiettivo \rightarrow trovare punto in cui slope = -1



Fondamentale per elett. digitale che taglia il rumore.

! \hookrightarrow come propaga attraverso la porta il noise?

Evar regione a slope > 1 ho attenuazione.

dentro ho amplificazione (lo capisci osservando propagazione perturb. su V_{in})

- Circuito tende ad autocongiungere a 0 ed 1 (ih attenuazione noise)

V_{OH} , $V_{OL} = \text{lim. sup. inf.}$ oltre i quali il circuito funziona bene

Finché $noise < \text{zona buona ingresso}$ sono apposta

$NMOS_H$, $NMOS_L \rightarrow noise margin \rightarrow \text{ampl. MoX noise f.}$
circuiti resti nel regime
di buon comportamento.

! Accettanza uscita DEVE ESSERE migliore di accettanza ingresso
(perché rumore su amplificata)

IMPLEMENTAZIONI DELLE PORTE.

Rete \rightarrow segnale dettato \rightarrow genera qualcosa di meccanico.

Peso orizzontale ed interruttore

↓
interruttore controllato elettricamente.

Bipolari

RTL \rightarrow resistor-transistor logic.

i) Assorbe corrente

ii) Ha resistenza in uscita.

DTL \rightarrow doppie " "

"

Transistor si AUTO
ACCENDE

TTL \rightarrow Transistor - Transistor - logic.

Unipolare:

PNOS.

NMOS.

CMOS.

- Problema TERRICO, si scaldano troppo.

CHOS \rightarrow Transist. $\begin{cases} \rightarrow \text{PNOS} \\ \rightarrow \text{NMOS} \end{cases}$ } alternativamente acceso
spento

\hookrightarrow piccole resistenze
 \hookrightarrow poca dissipazione.

Velocità oggetto \rightarrow trans. \rightarrow condensatori + R_{th}

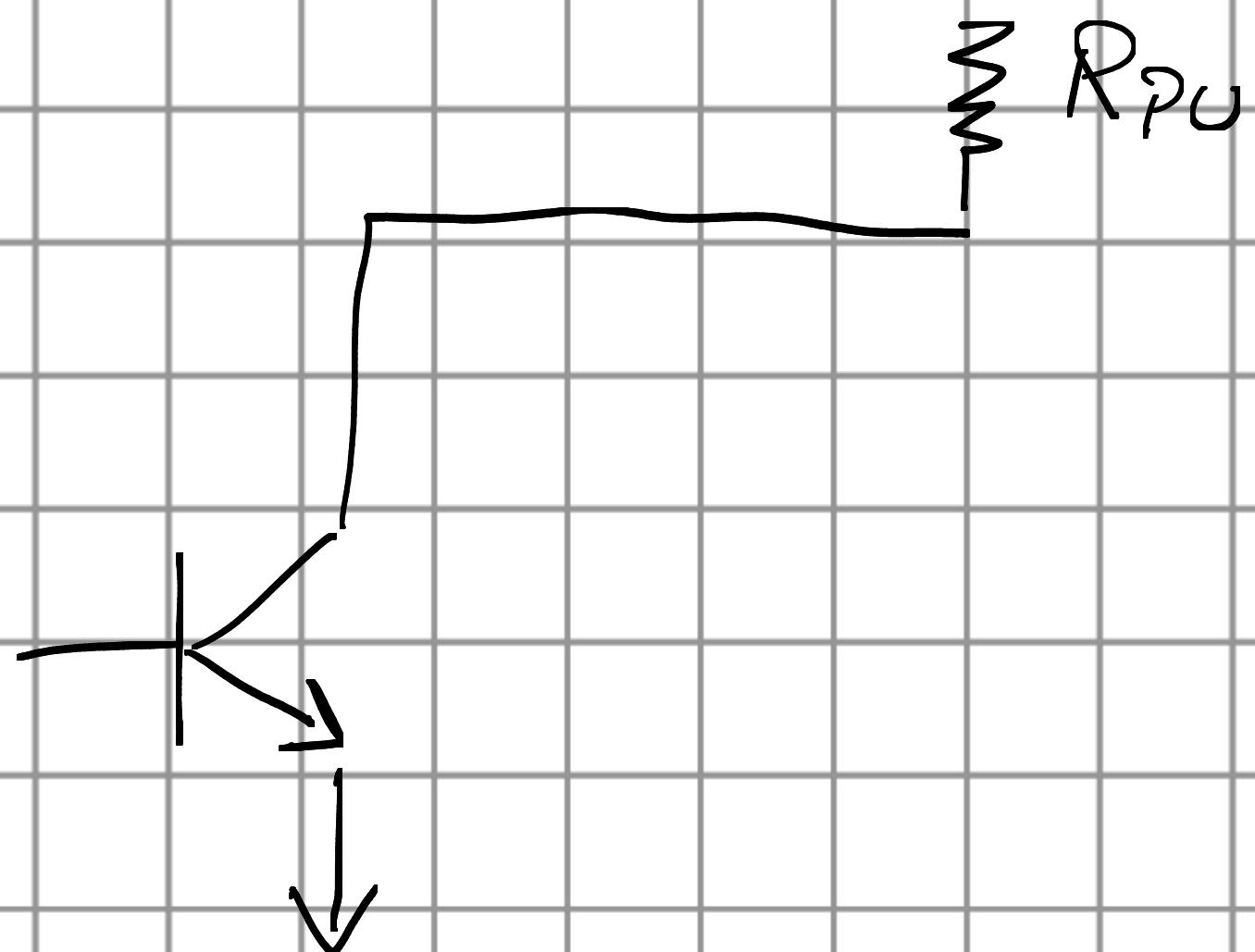
Piccolo $\rightarrow C \downarrow \Rightarrow$ + veloce.

- Non è detto che logiche diverse possono mutualmente controllarsi.

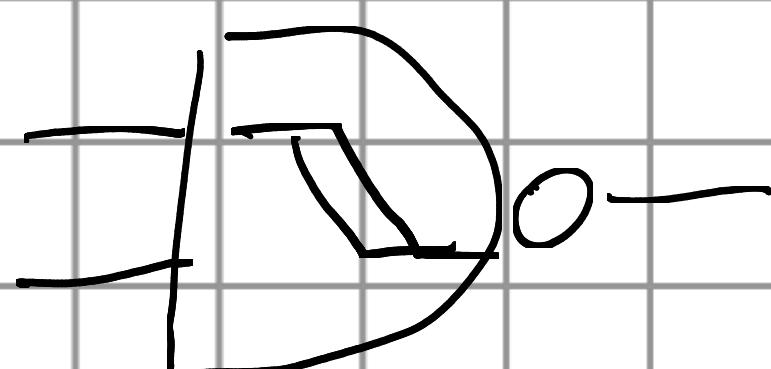
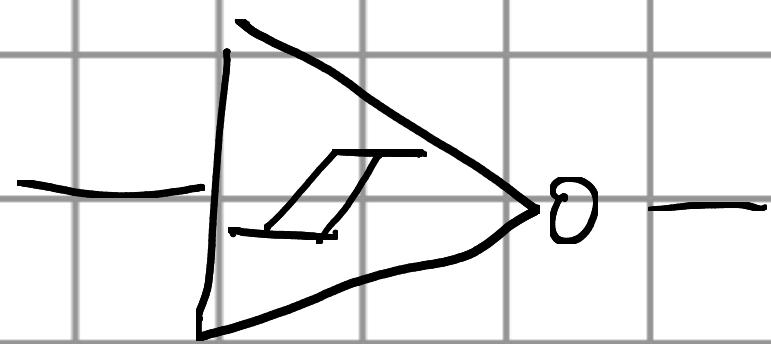
$C_D \times \times \times \rightarrow$ numeri diversi \Rightarrow logiche diverse.
 $T_D \times \times \times \rightarrow$ numeri diversi \Rightarrow logiche diverse.

6 porte indipendenti (c'è sempre un po' di crossover)

Open collector / drain \rightarrow circuiti incompleti in cui:
devo aggiungere "pull-up resistor"



sono porte con possibilità maggiore in caso ponendo
pilota/re



ingresso o trigger di
Schmidt

• BUFFER DIGITALI (Buffer: ingresso = uscita)

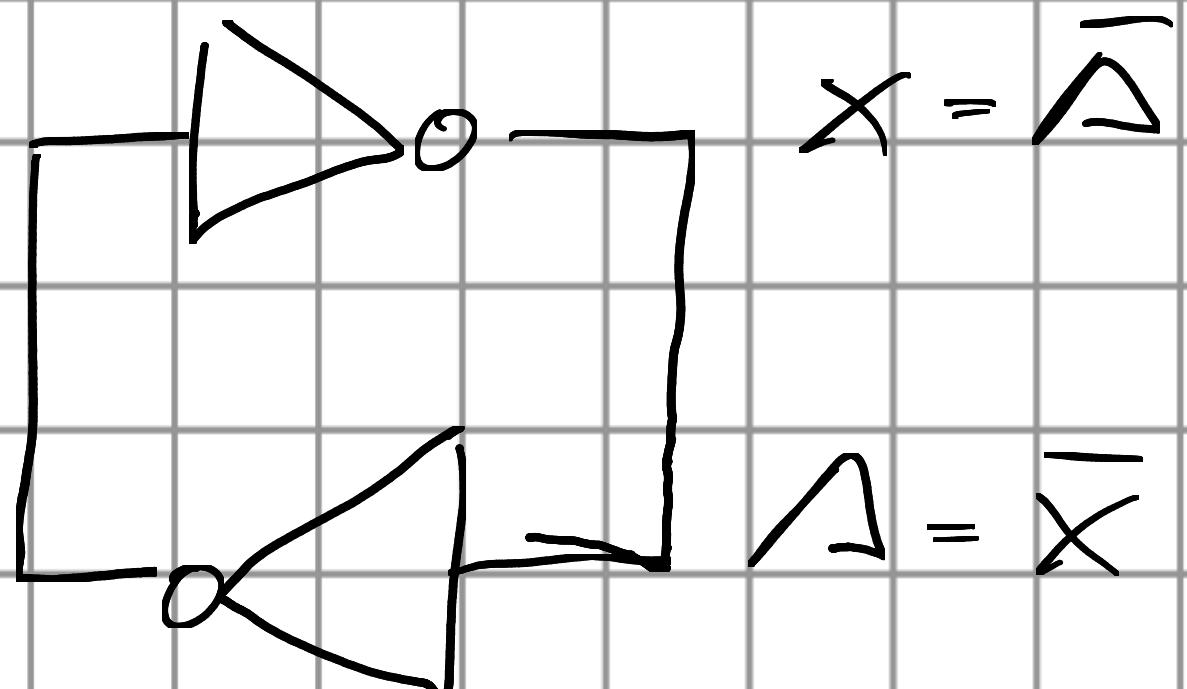
\hookrightarrow attivabile (non essere accesso e spento)

In sistemi digit. ha diversi sottosistemi che possono volersi parlare

\hookrightarrow questi buffer possono creare o interrompere connessioni.

• LOGICA SEQUENZIALE

Che cosa si puo' fare con logica seq.?

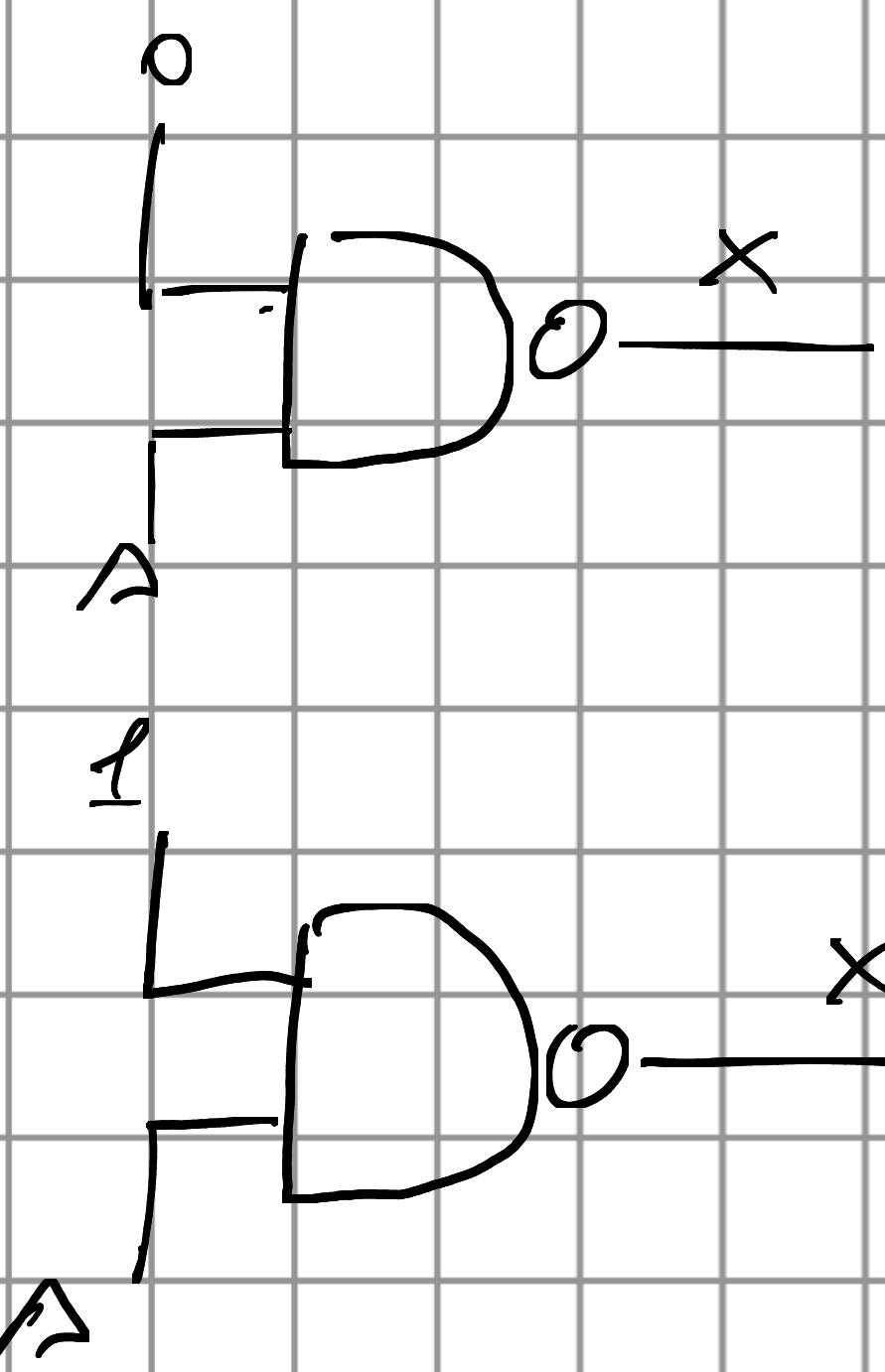


(circuito Tautologico)

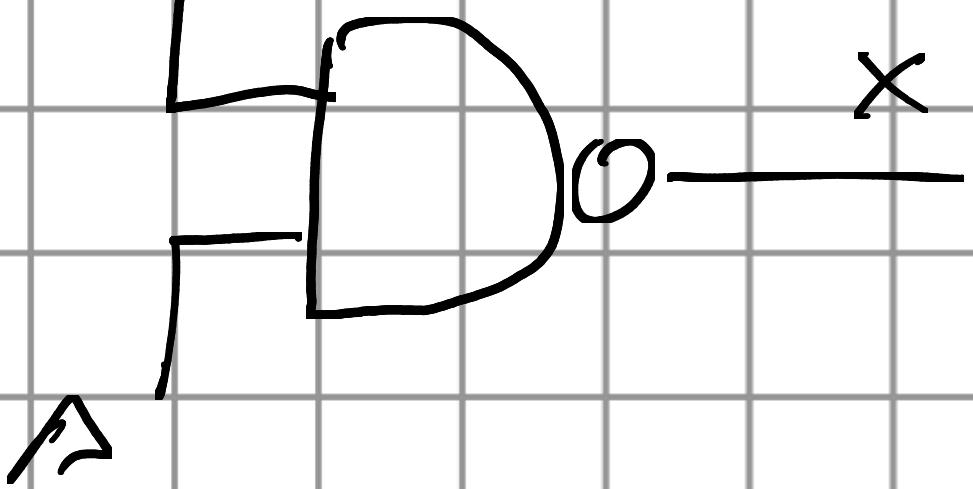
$$\Delta = \bar{X}$$

2 config. stab.

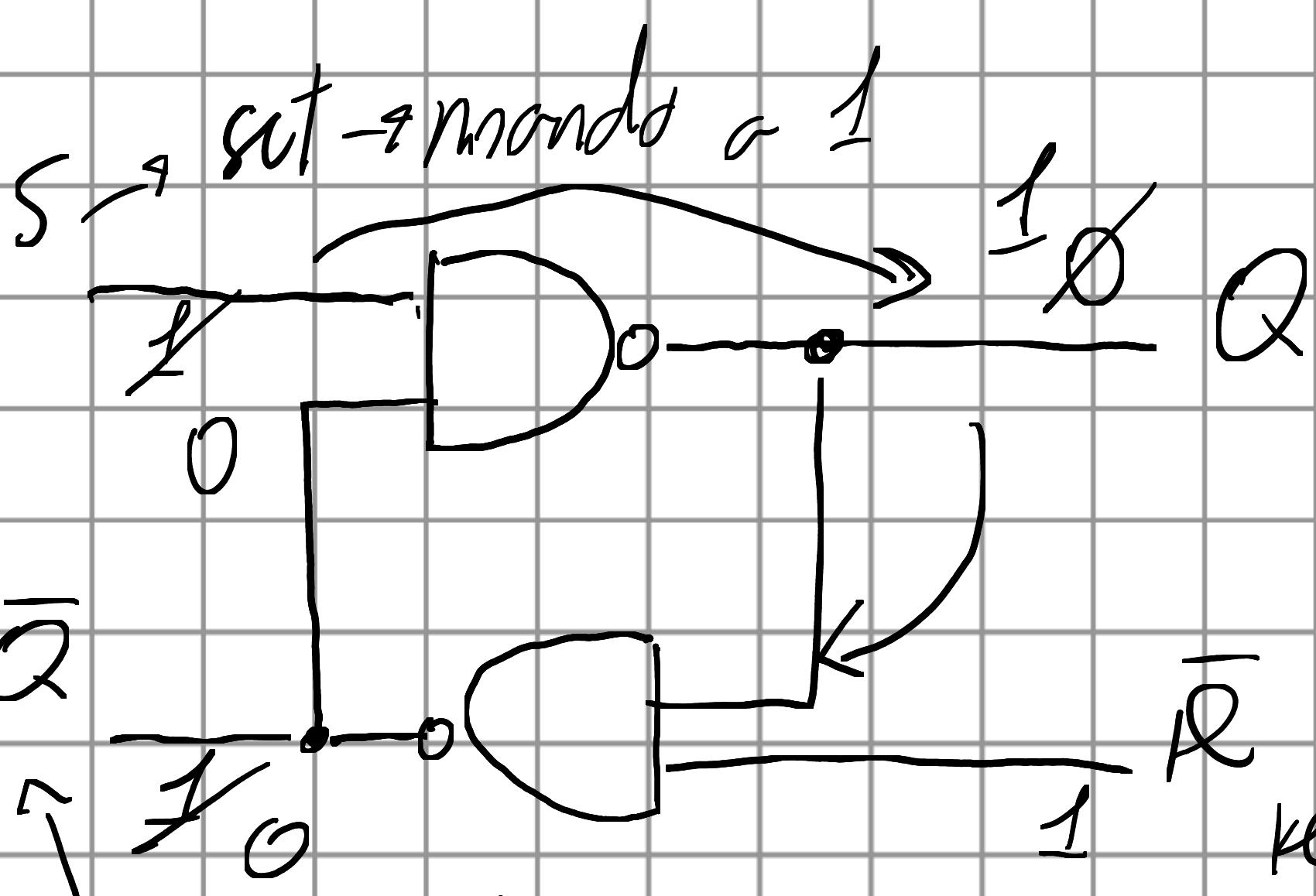
Funziona per $\Delta = 0, 1$



$$X = \overline{\Delta} \cdot 0 = \overline{0} = 1$$



$$X = \Delta \cdot 1 = \Delta$$

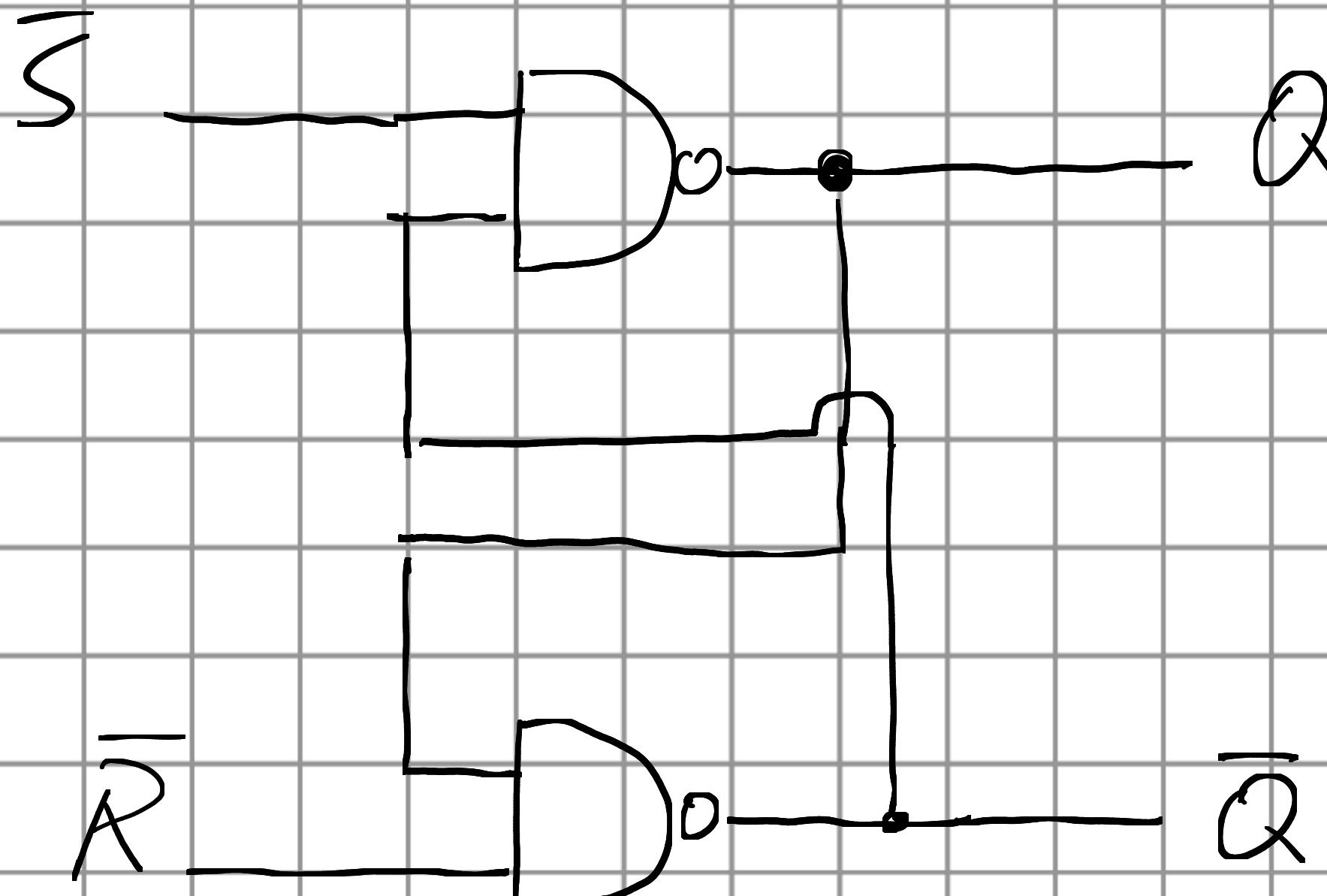


riporta set col 1
e mantiene config.
corrente.

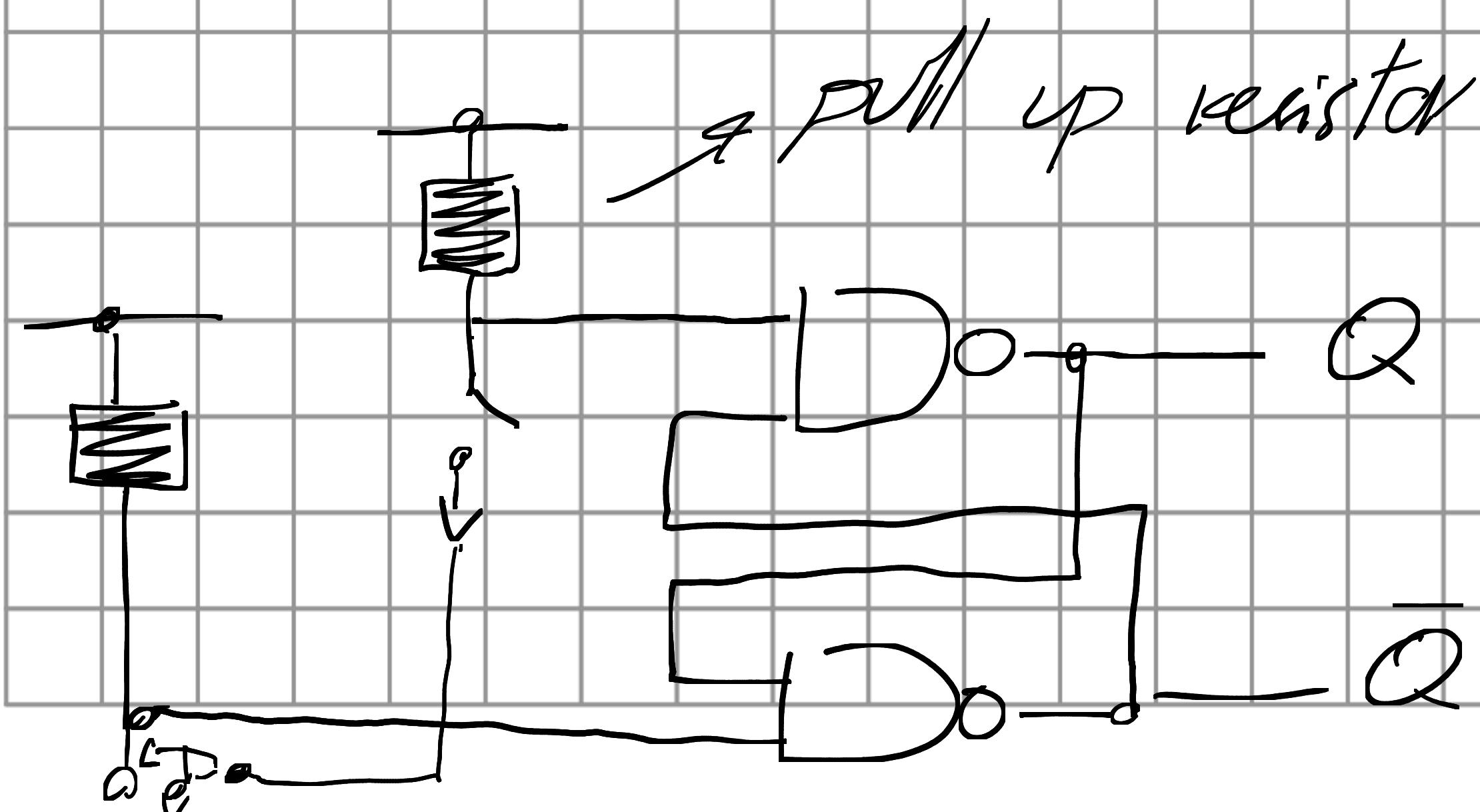
non serve il negato
di Q

1 \bar{R} reset \rightarrow mondo a zero

• SCHEMA STANDARD.



\bar{S}	\bar{R}	Q	\bar{Q}	
0	0	1	1	← illegal. (gli due devono essere contemporaneamente diversi)
0	1	1	0	← set. config. (ha Q)
1	0	0	1	← reset config. (annulla Q)
1	1	Q	\bar{Q}	→ conserva stato



divolo in tensione
→ rimbalzo
ho un sacco
di chiusure.

Lez 06

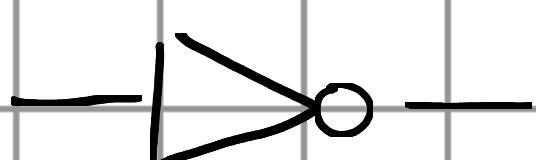
LATCH \neq FLIP-FLOP \rightarrow registrano gli cambiamenti di stato
↑

GATED LATCH

- LIMITE PORTE REALI.

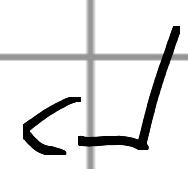
- Tempi di risposta \rightarrow quello fondamentale.

- FAN IN / FAN OUT
(datasheet) \hookrightarrow Immagina NOT



\rightsquigarrow va a pilotare qualcosa d'altro

Che cosa può andare a pilotare?

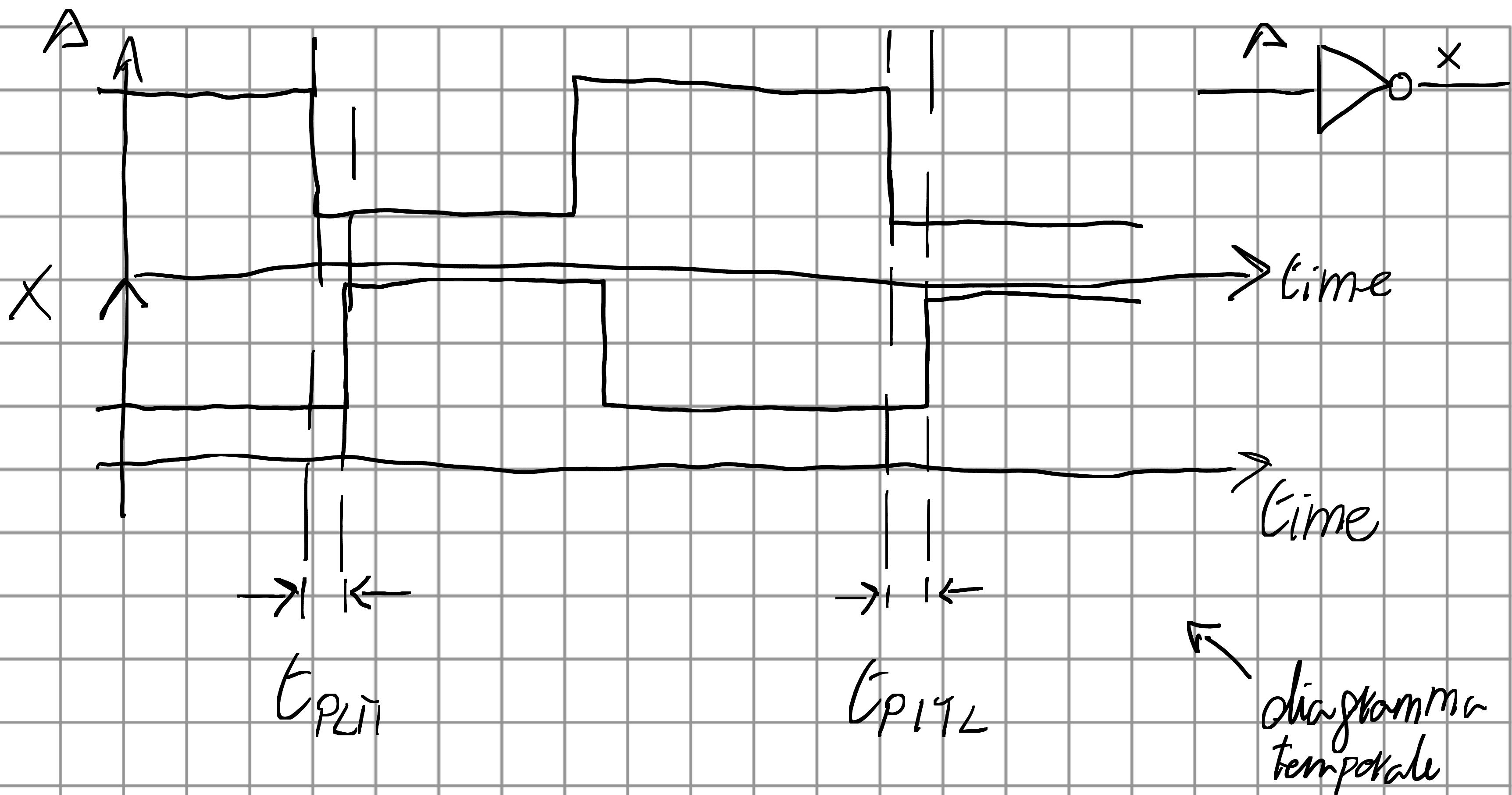


\hookrightarrow C'è un limite a quante porte li si possono collegare (così che vengono ben controllate)

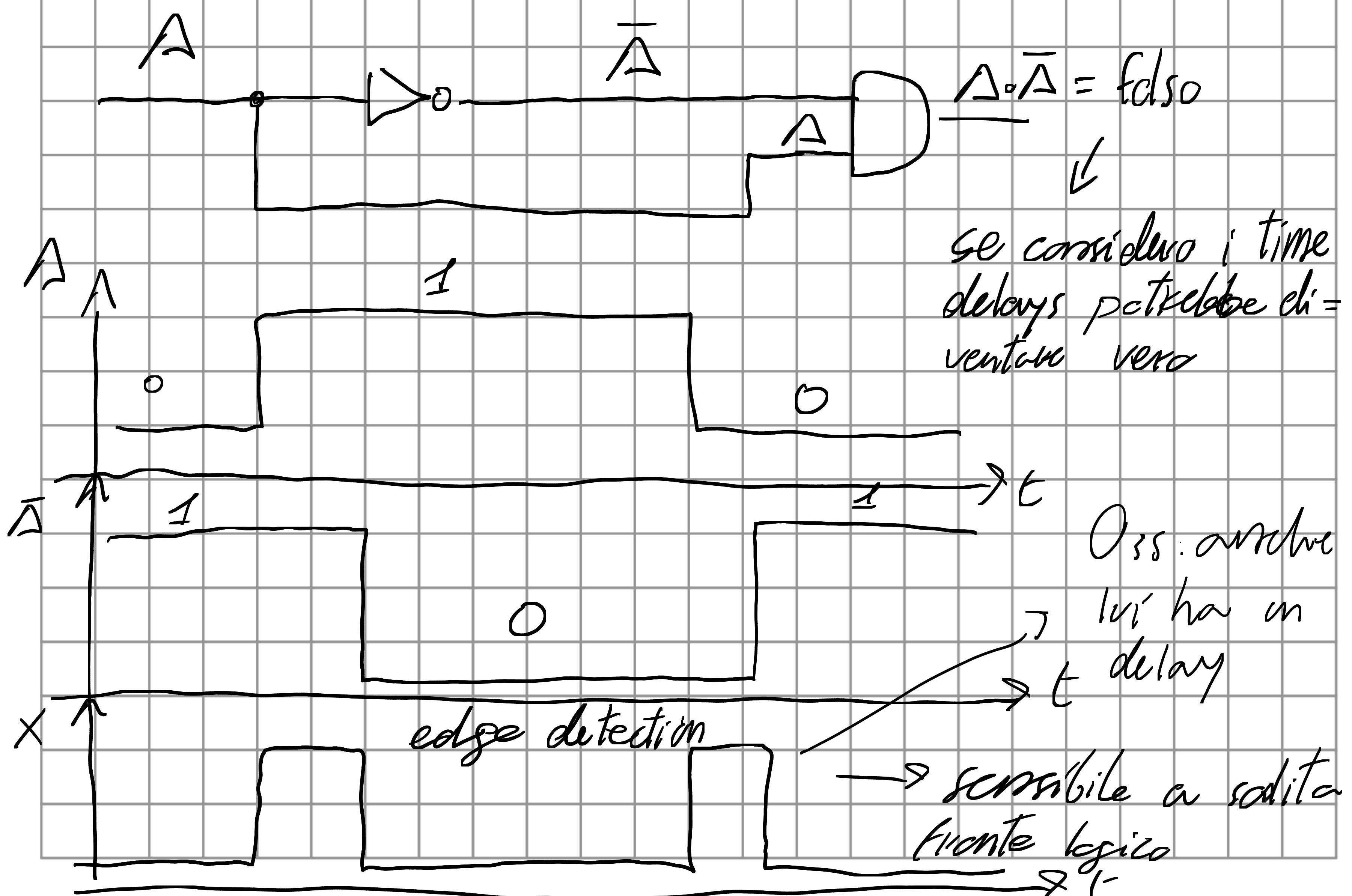
- Tempi di propagazione del segnale

Già visto \Leftrightarrow Formula booleana \Leftrightarrow tabella verità

\hookrightarrow C'è anche un DIAGRAMMA TEMPORALE



→ porta NON reagisce IMMEDIATAMENTE ai cambiamenti dell'ingresso (nanosecondi)

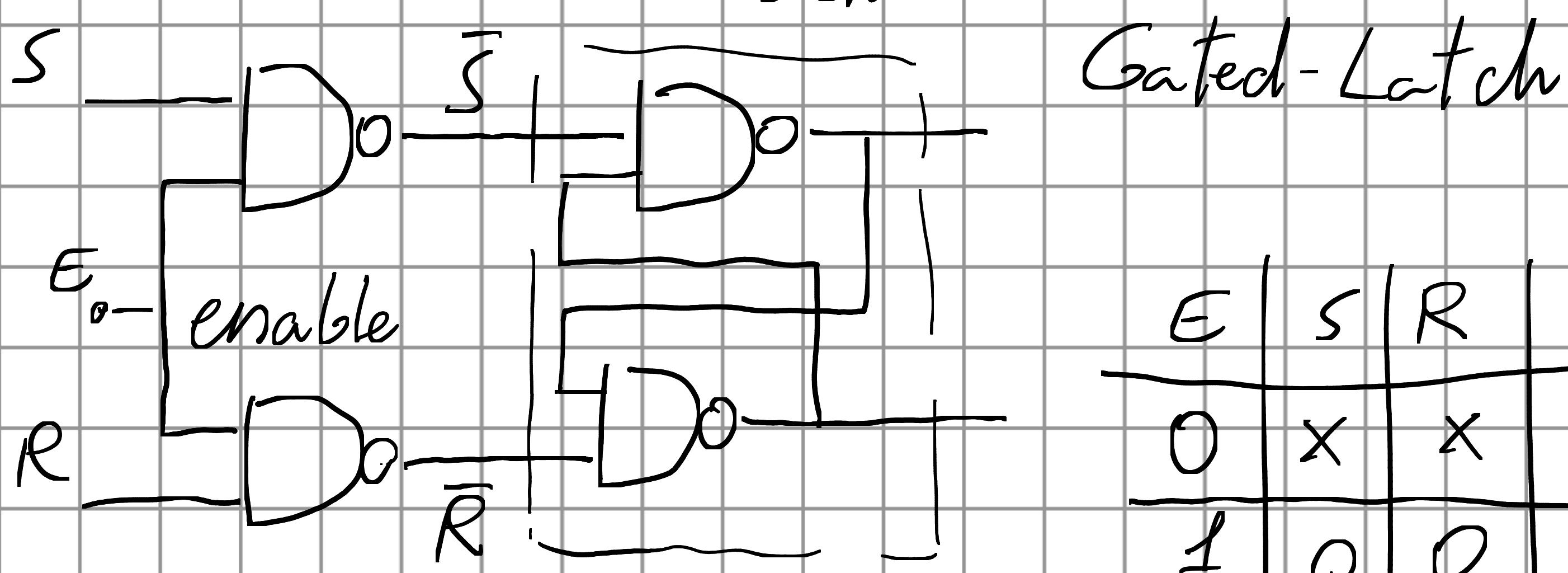
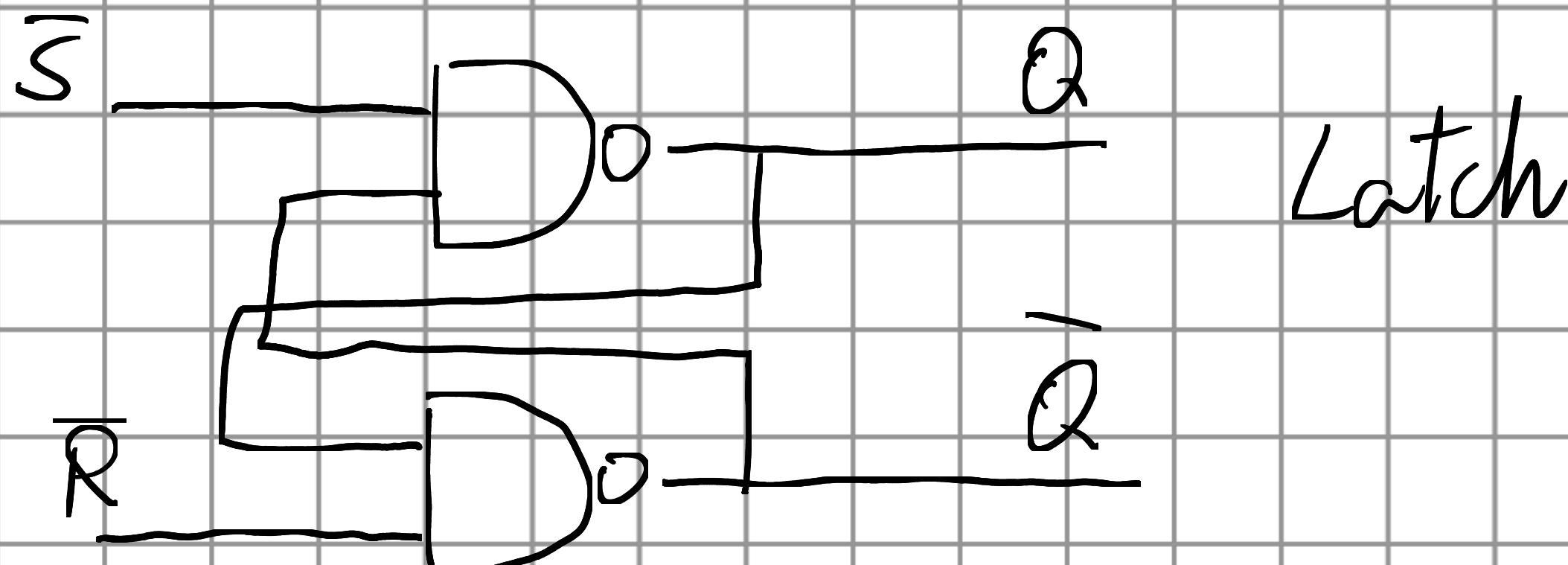


- Si può strutturare in contesti ben definite.

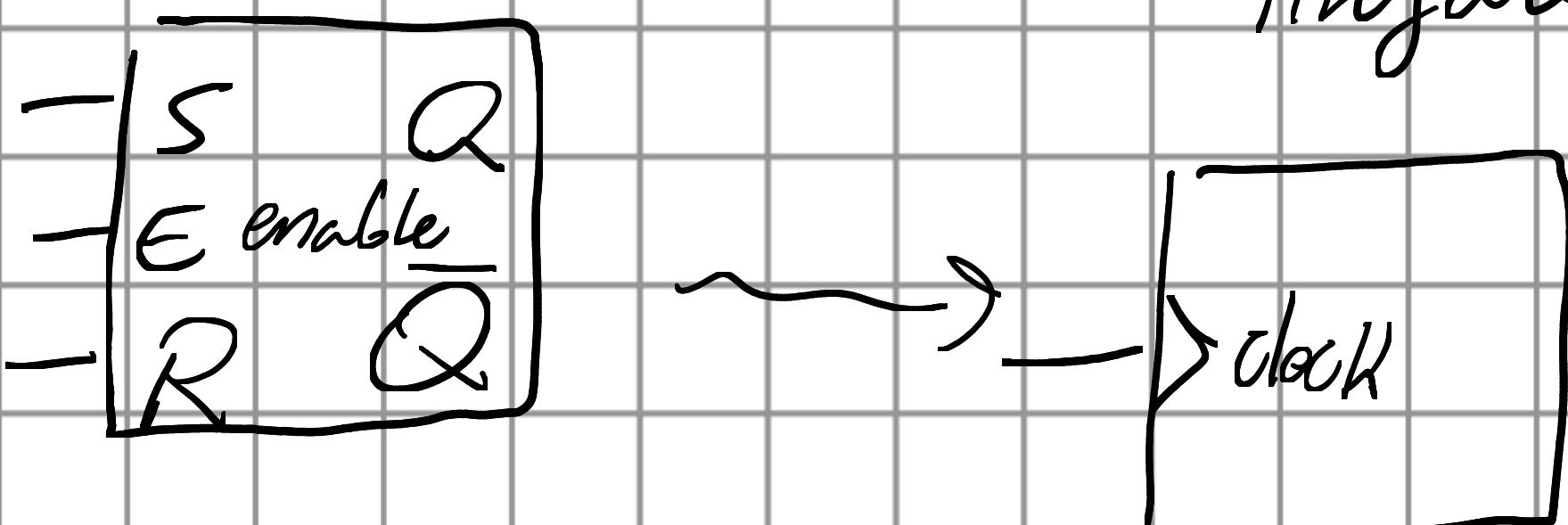
↳ Per circuiti complessi diventa difficile quantificare.

- Anche temp. prop. sgn rilevante (~~eff~~: 90)

ELEMENTI DI MEMORIA



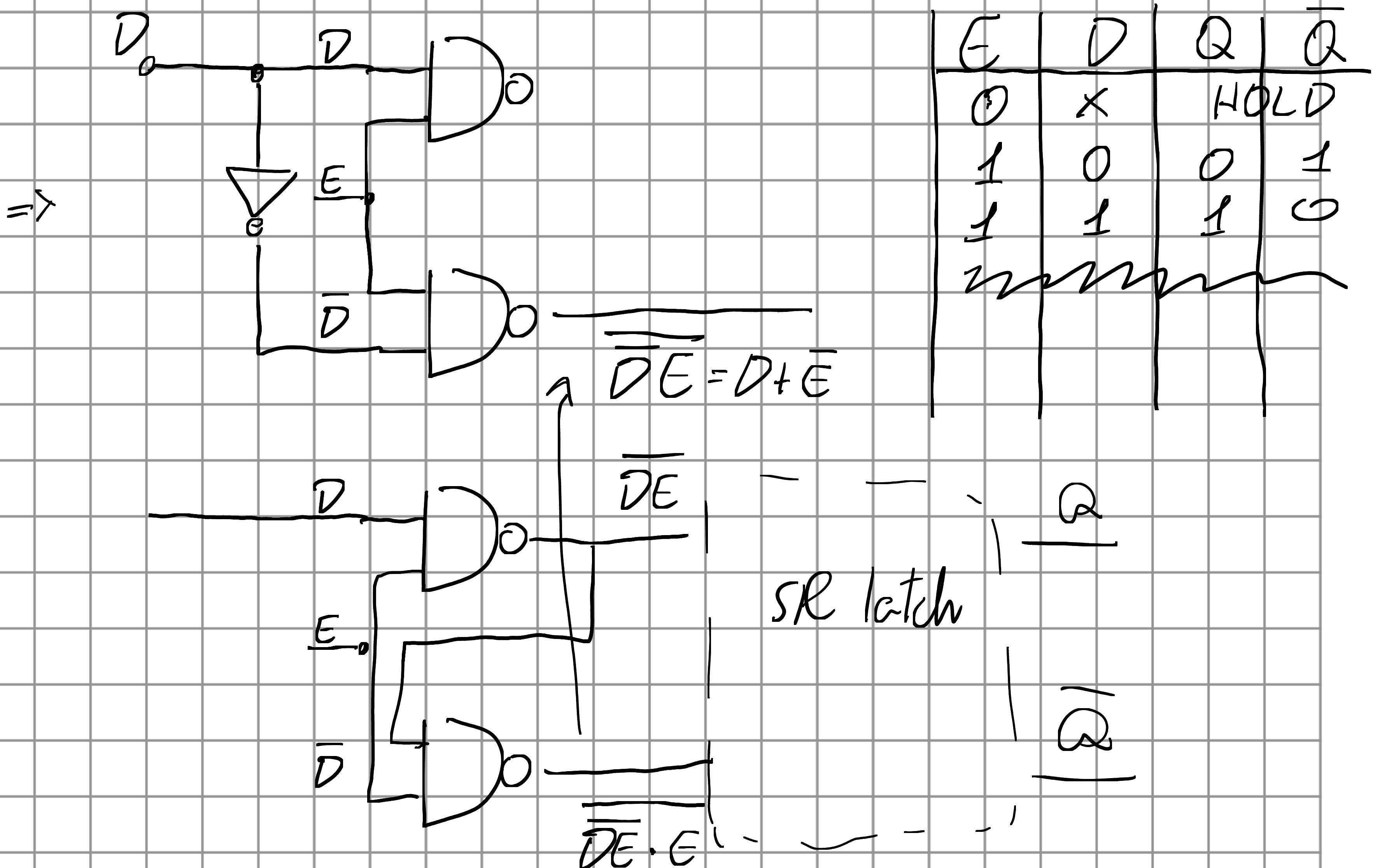
E	S	R	Q	\bar{Q}
0	x	x	HOLD	
1	0	0	HOLD	
reset	1	0	1	0
set	1	1	0	1
	1	1	1	1



• COME EVITARE LA CONFIG. ILLEGALE?

1. Il "DATA" o "D-LATCH" → Collegare all'ingresso
 ↓
 Gated d-latch (non chiedo cose che non hanno senso)

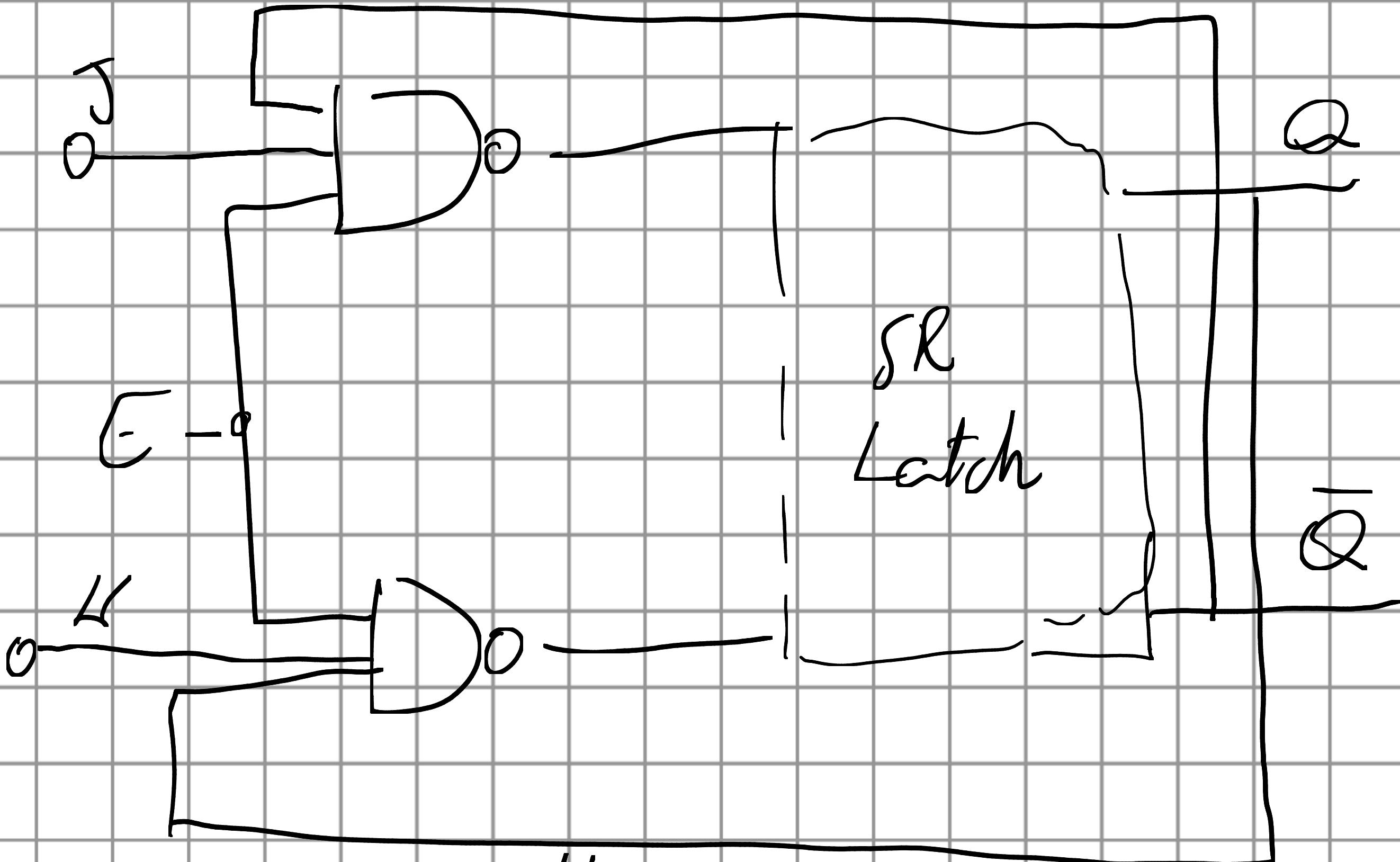
Non posso chiedere Set e Reset assieme



2. Configurazione JK → Disabilita la richiesta insensata

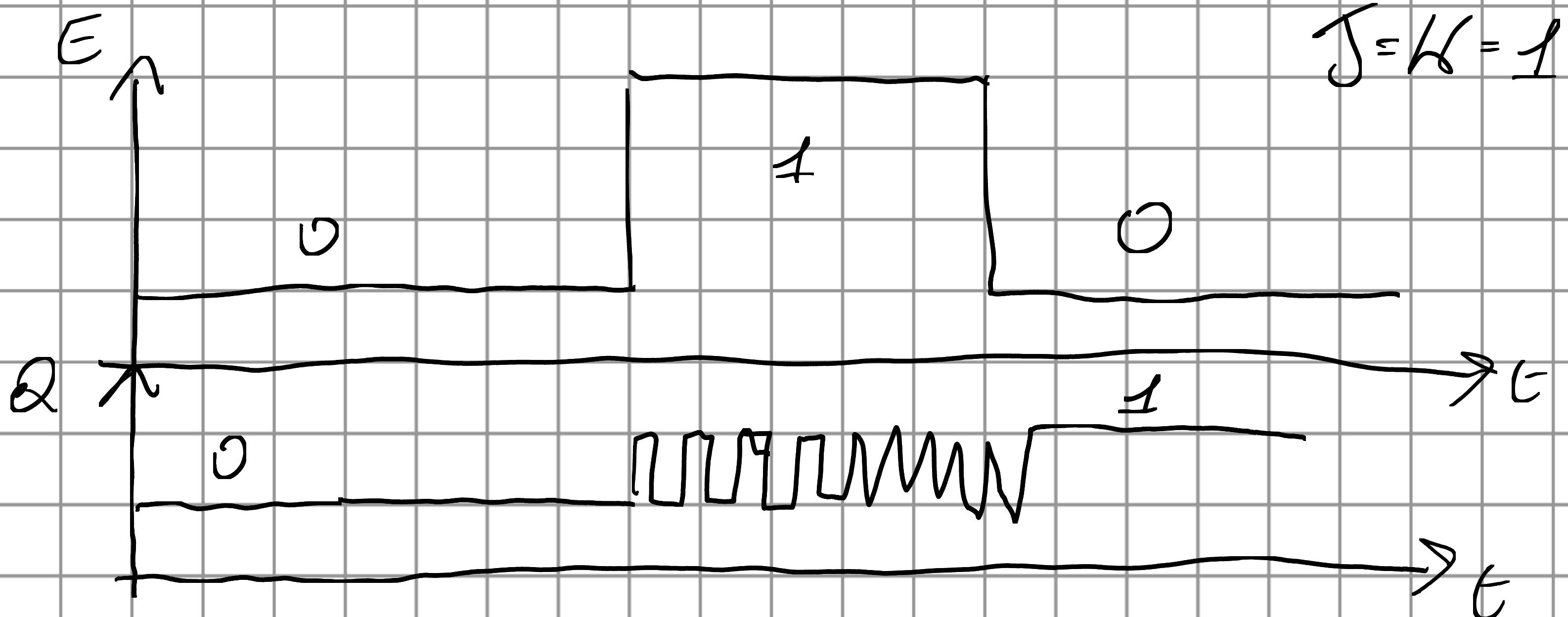
Il mio circ. ha già stato \Rightarrow ignora richieste "inutili"
 (es: $Q = 1$, non richiede di nuovo set)

enable se $Q=0$

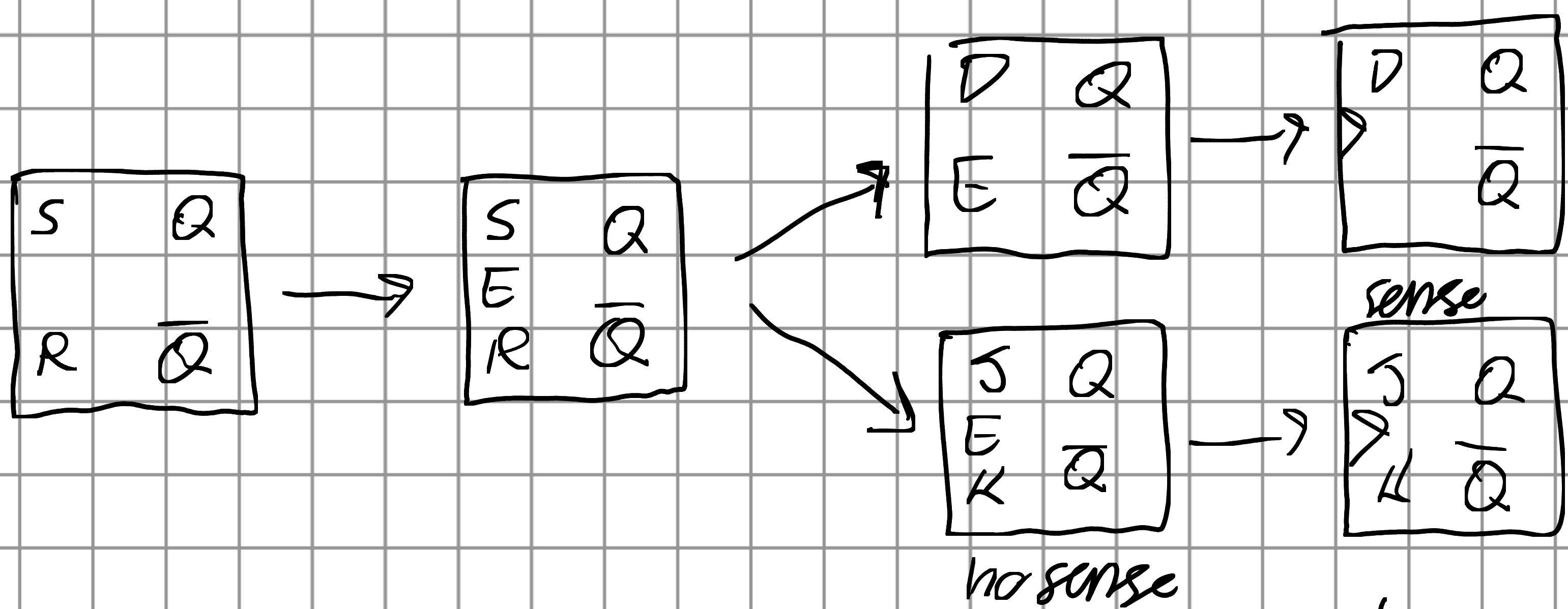
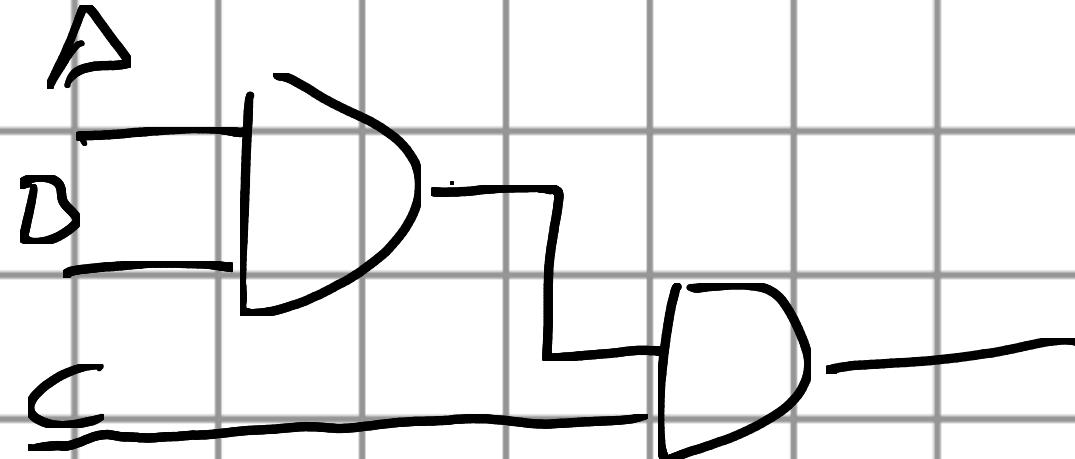
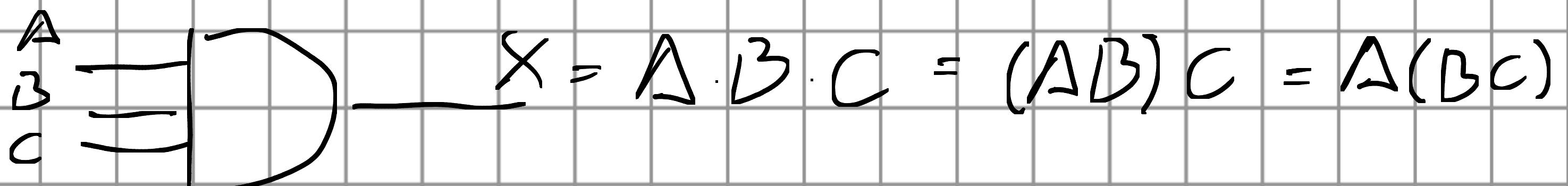


enable se $Q=1$

E	J	K	Q	\bar{Q}
0	x	x	WOLD	
1	0	0	WOLD	\rightarrow non sto richiedendo nulla
1	0	1	0	1 reset
1	1	0	1	0 set
1	1	1	TOGGLE	

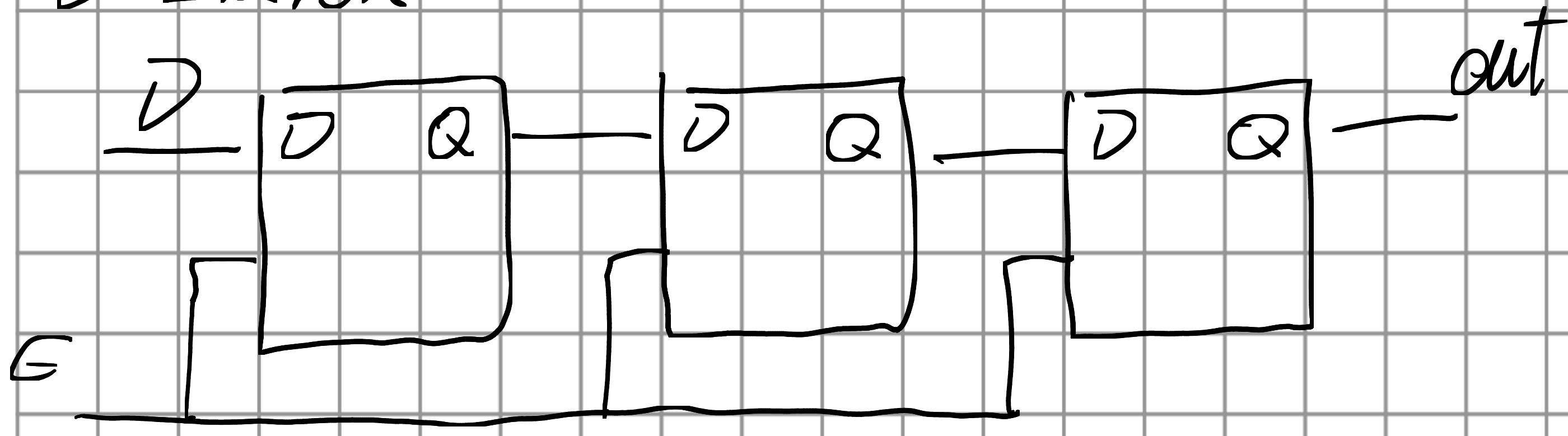


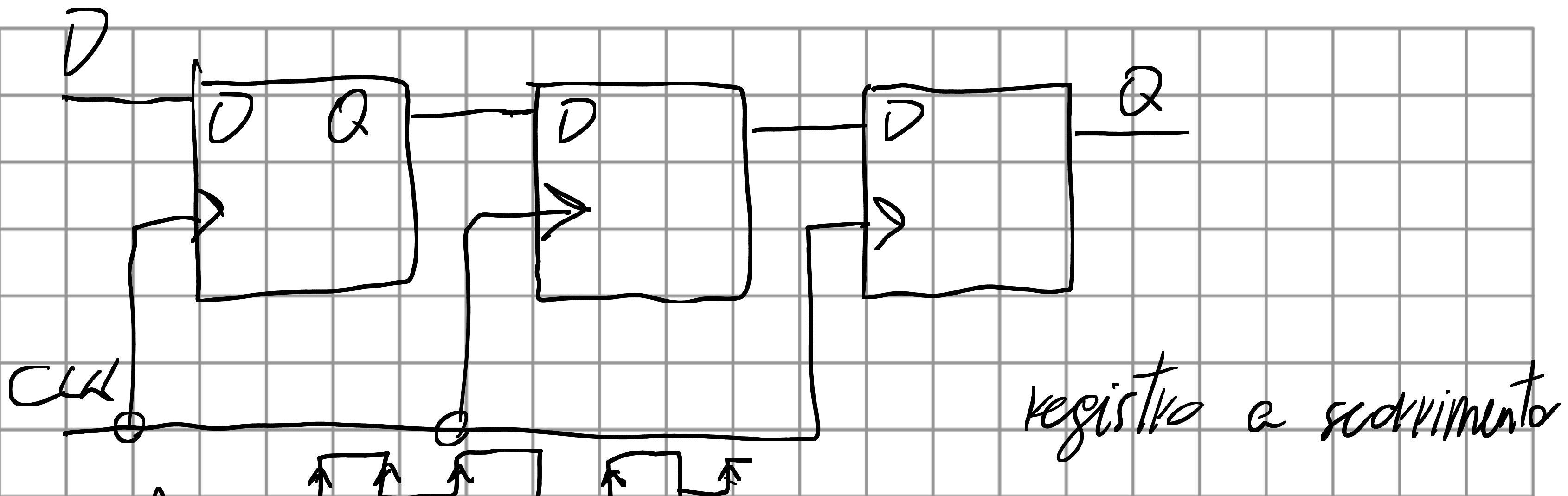
- AND a 3 porte



l'operazione avviene
1 volta sola al
tasto di Toggle

D-LATCH





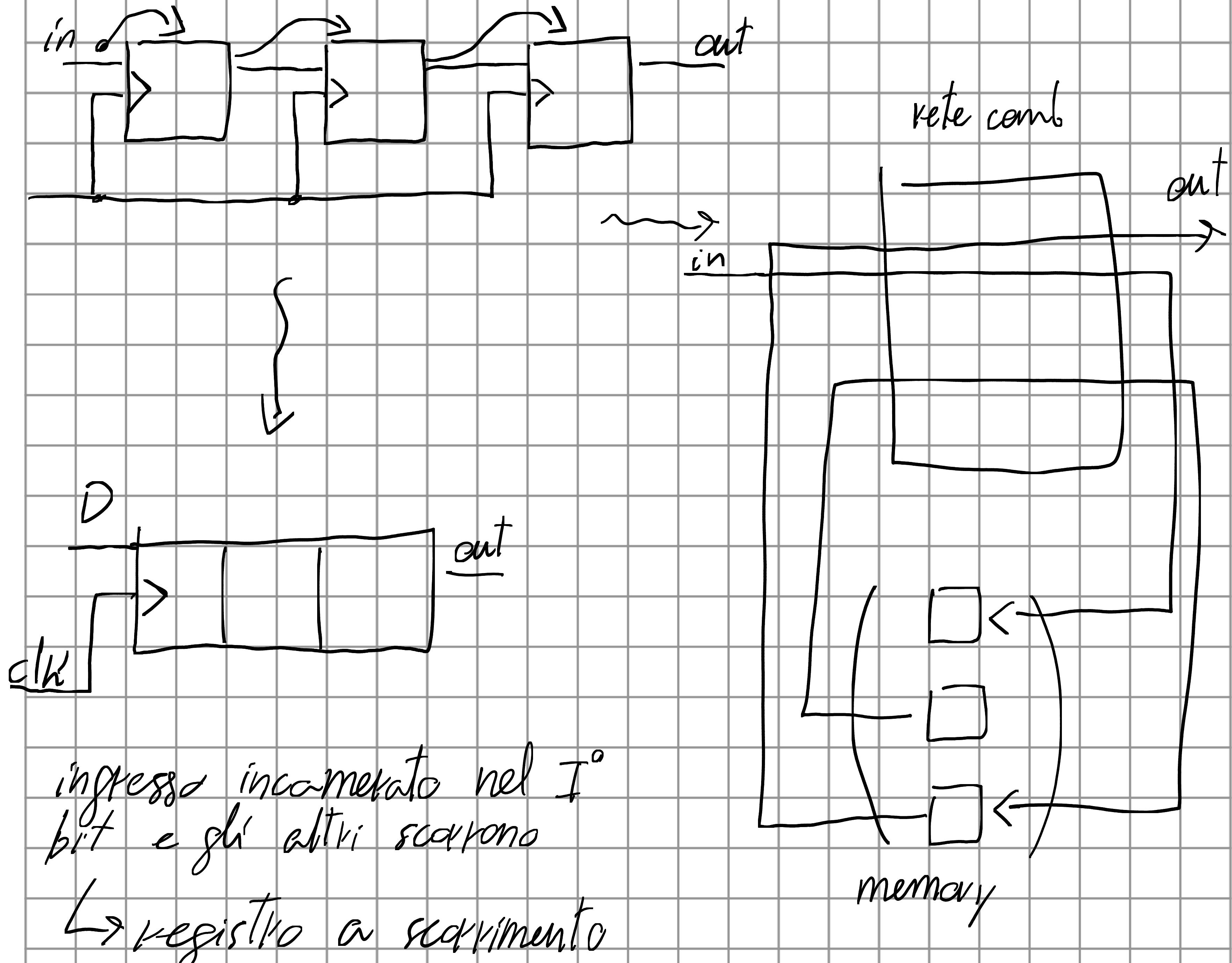
fa in modo che al fronte di salita del clock
quello che sta in D viene trasferito al seguente allo stesso
delay

(★ 43:00)

- Arrivo a macchina a stati finiti. \rightarrow elimino varie condizioni
(se loop prop. prende meno di un ciclo di clock)

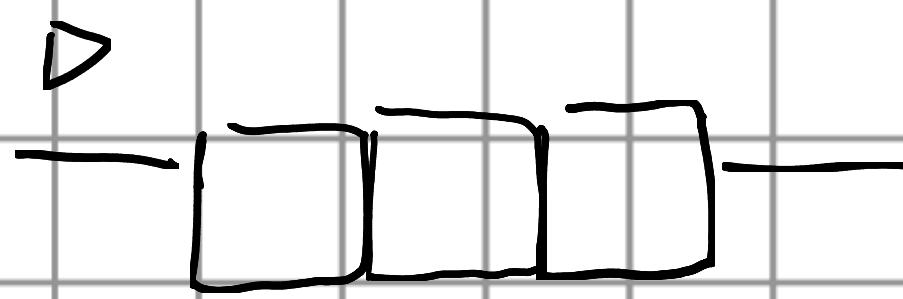
Le2 07

- ESEMPIO: REGISTRO DI SHIFT (di macchina e stati finiti)

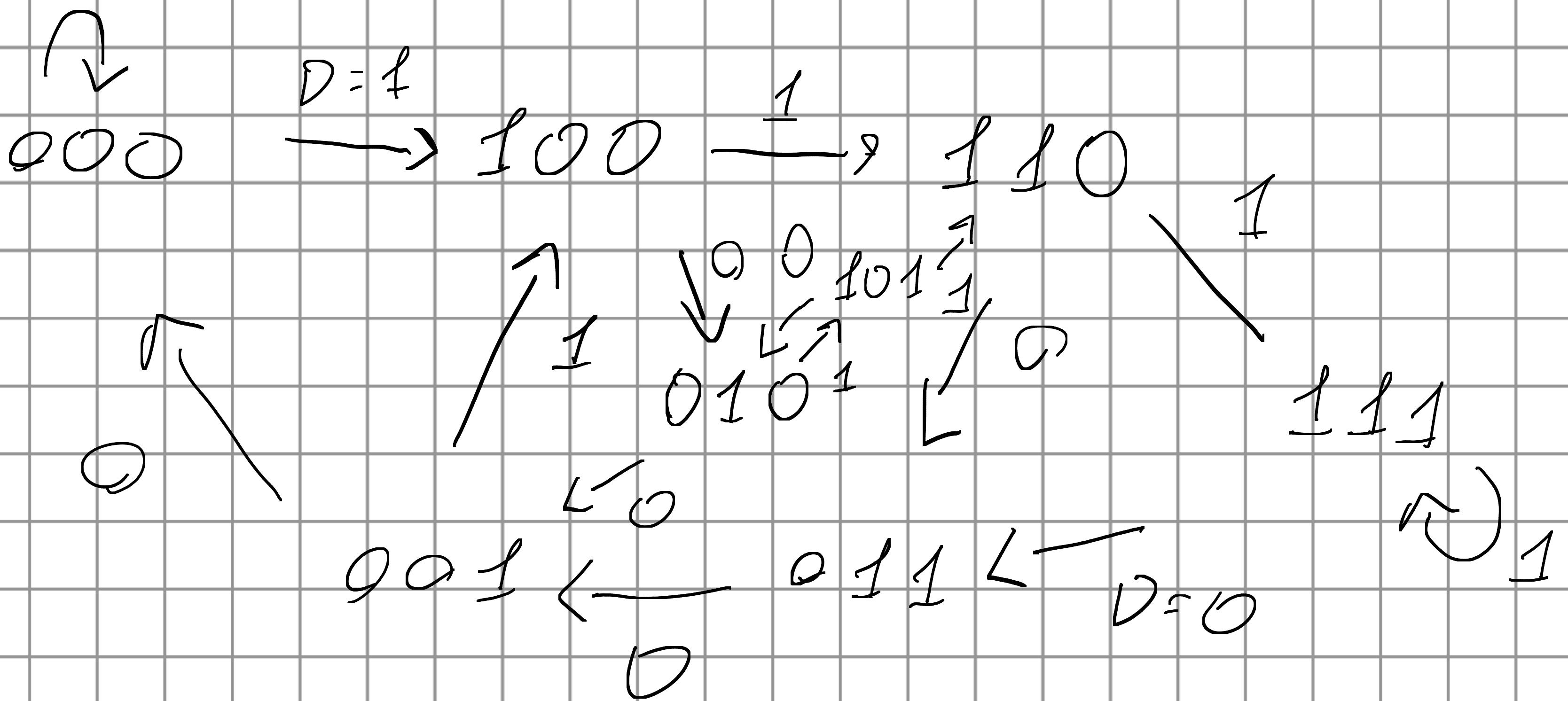


<u>State n</u>	<u>IN</u>	<u>State n+1</u>	<u>OUT</u>
0 0 0	0	0 0 0	0
0 0 0	0	1	0
0 0 1	1	0 0 0	0
0 0 1	1	1 0 0	0
0 1 0	0	0 0 1	1
0 1 0	1	0 0 1	1

- Diagramma degli stati:

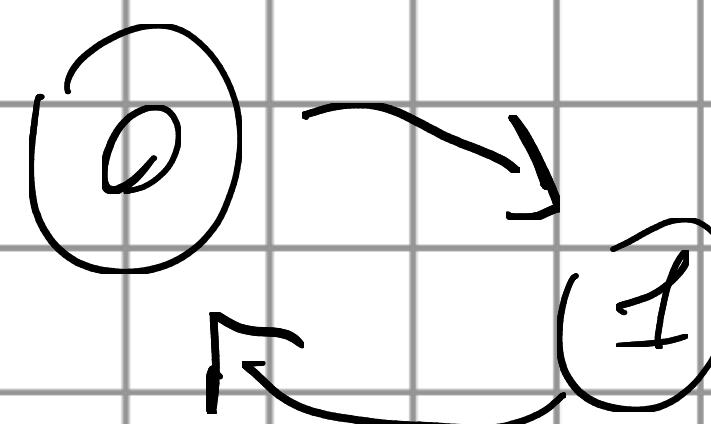


$D = 0$ (il prossimo stato va in se stesso)

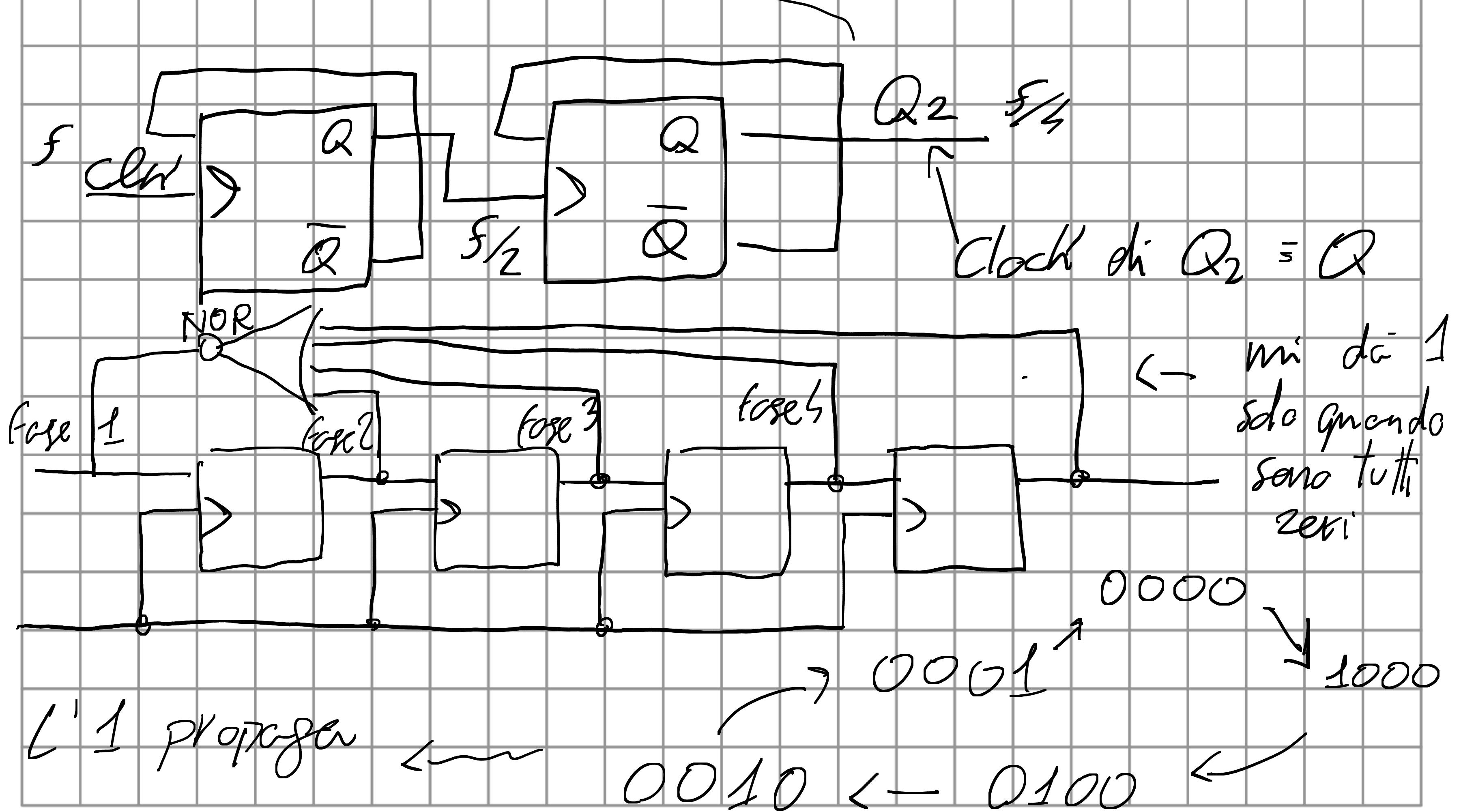
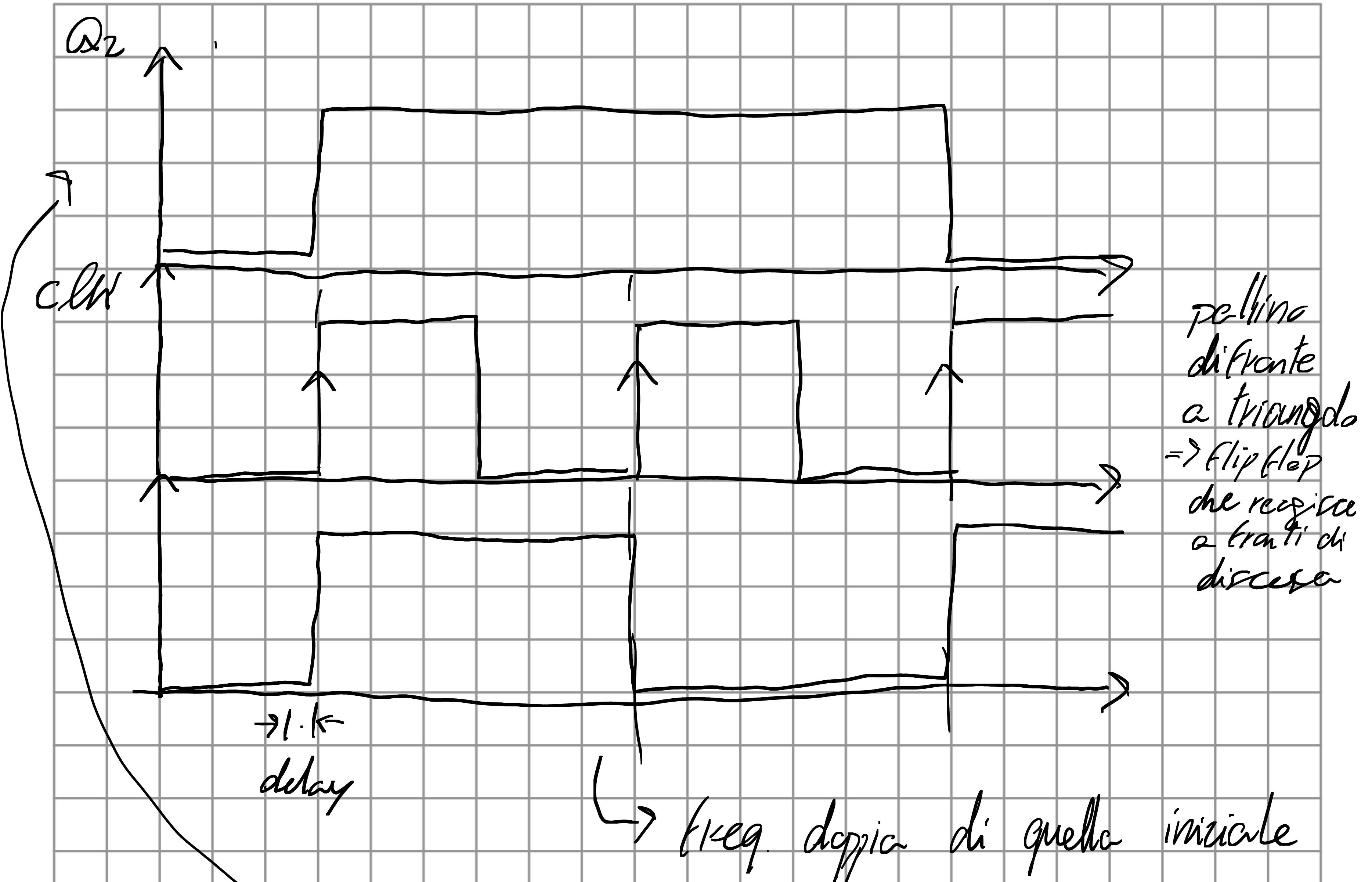


Qualsiasi sistema digitale (ogni stringa di bit è uno stato, anche la macchinetta del caffè)

- DIVISORI DI FREQUENZA



continua e saltisce
da uno stato all'altro



Dove uso? CPU che fa + operazioni

sulla base di dove sta l'1 fa un'op
più forte che un'altra.

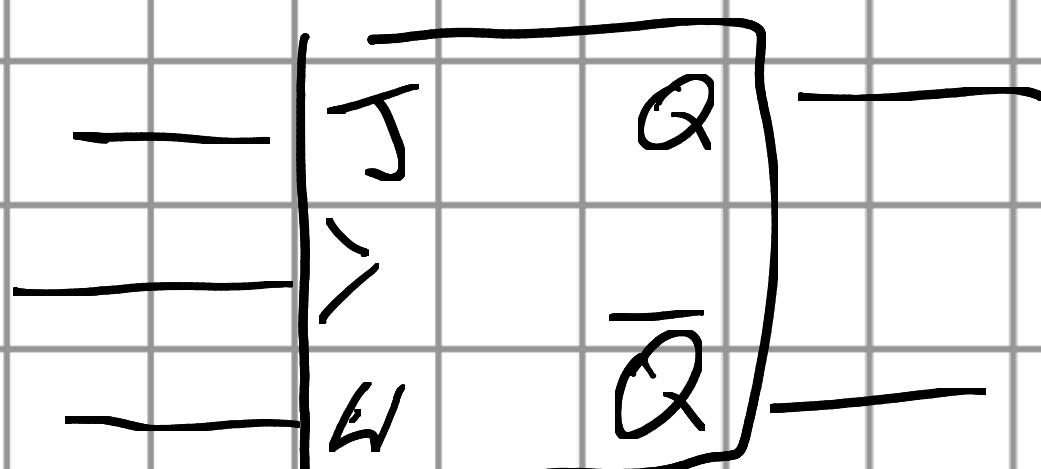
- Circuiti asincroni → output dell'uno come
clock del successivo

accumulo delay, molto
male

↓
Circuito sincrono → tutti i componenti hanno lo stesso
clock

• VARIANTE SINCRONA DEL DIV IN FREQ.

Usa un feedback per eliminare opzione nonsense

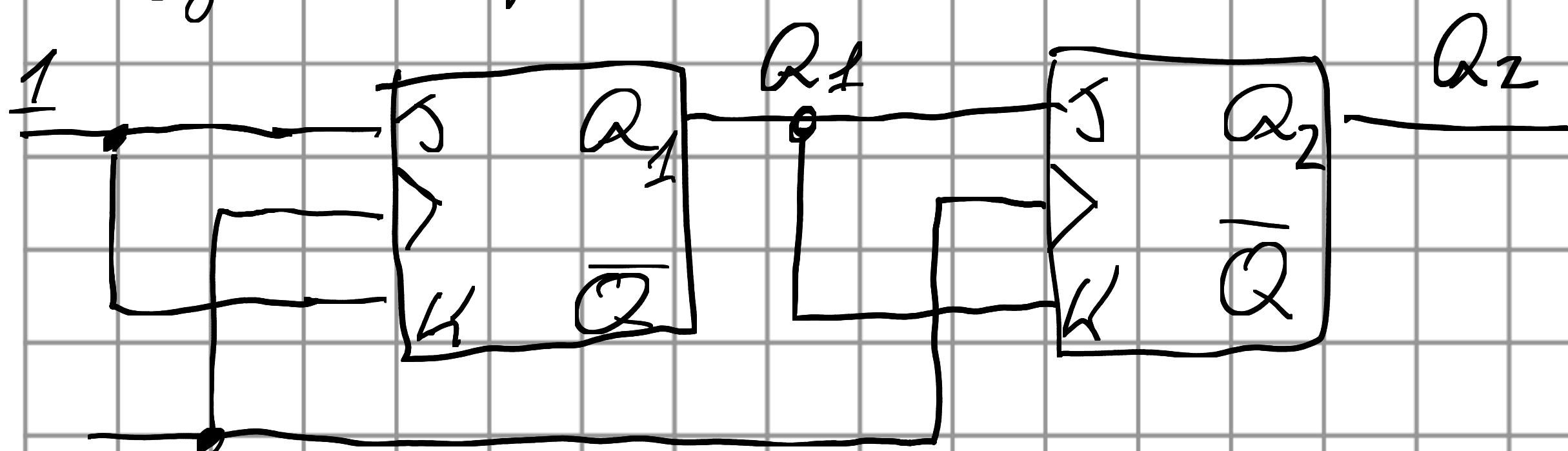


CLK	J	K	Q	\bar{Q}	
.					HOLD
↑	0	0	0	1	HOLD
↑	0	1	0	1	reset
↑	1	0	1	0	set
↑	1	1	Q	\bar{Q}	Toggle

ed ogni ciclo di
clock si switcha da
uno all'altro

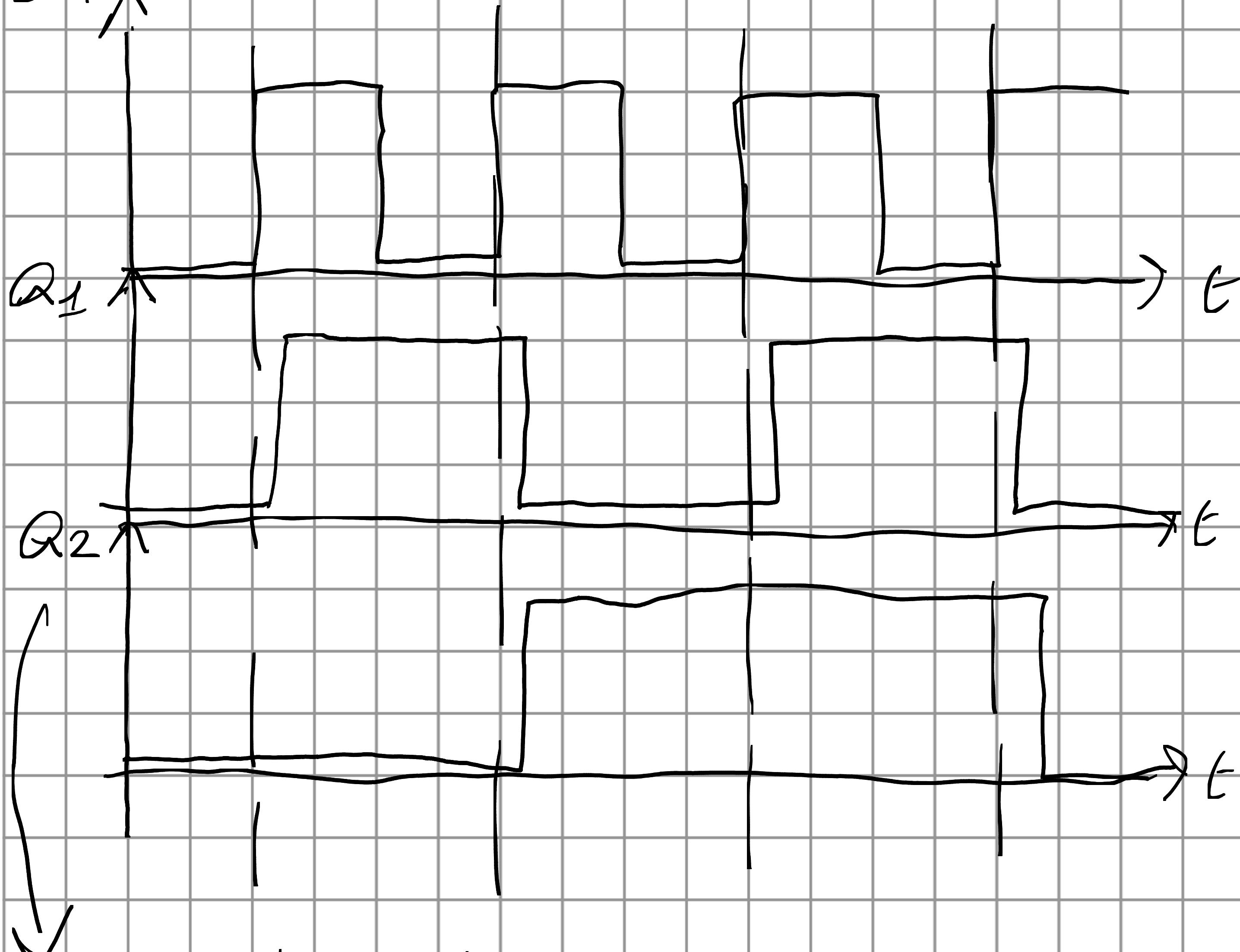
- Segue diviseke

toggle config. di default



si invoca

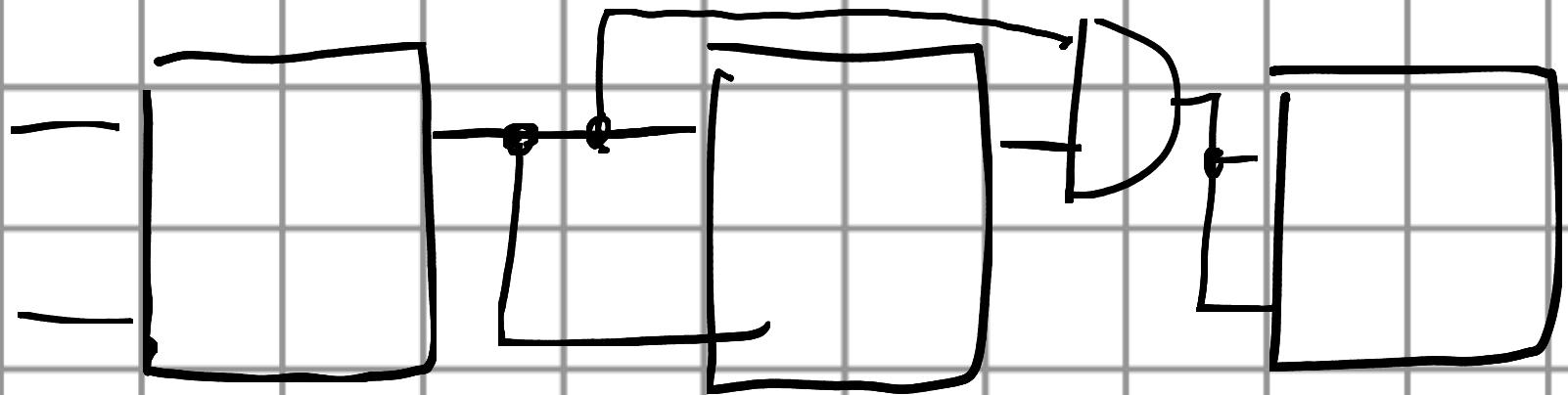
clock



stesso delay per tutti

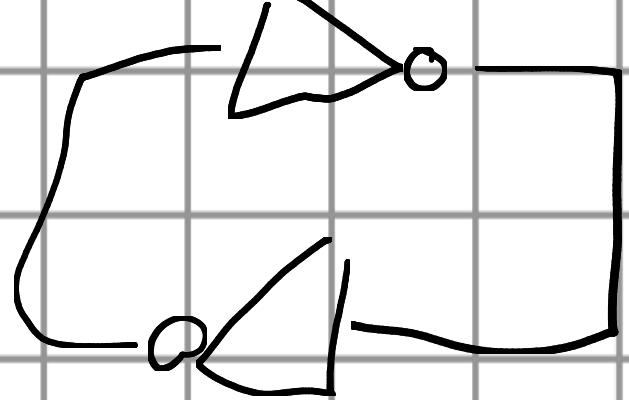
Uc con stesso clock, esegue quello che ha su J,K
che è Q_2

Sta contando

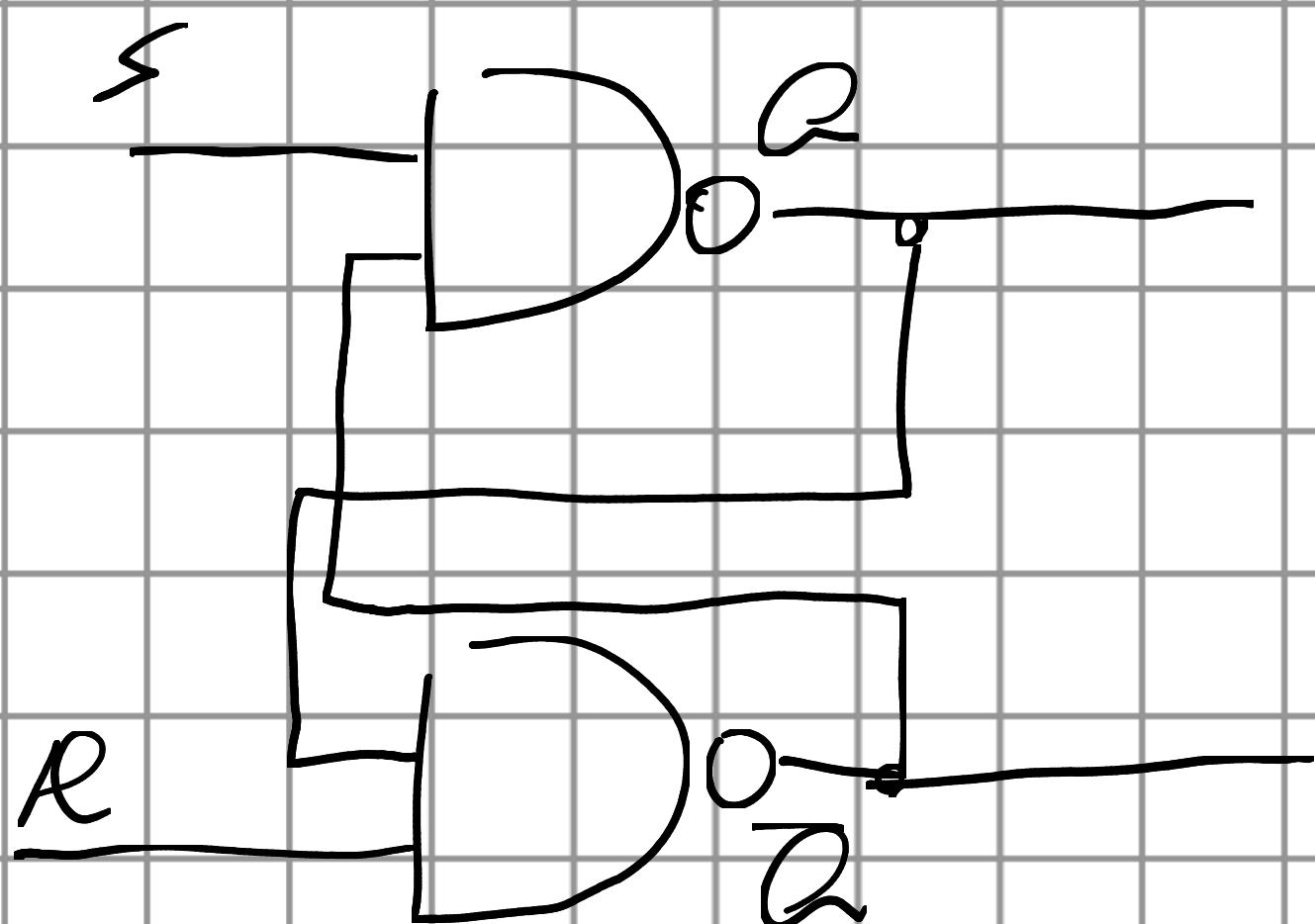


contatore in freq.

Recap, mappa connettività

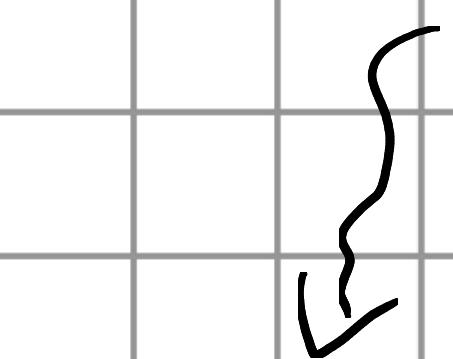


bistabilità se metto feedback
(imtille perché circ. resta sempre
in stessa config.)

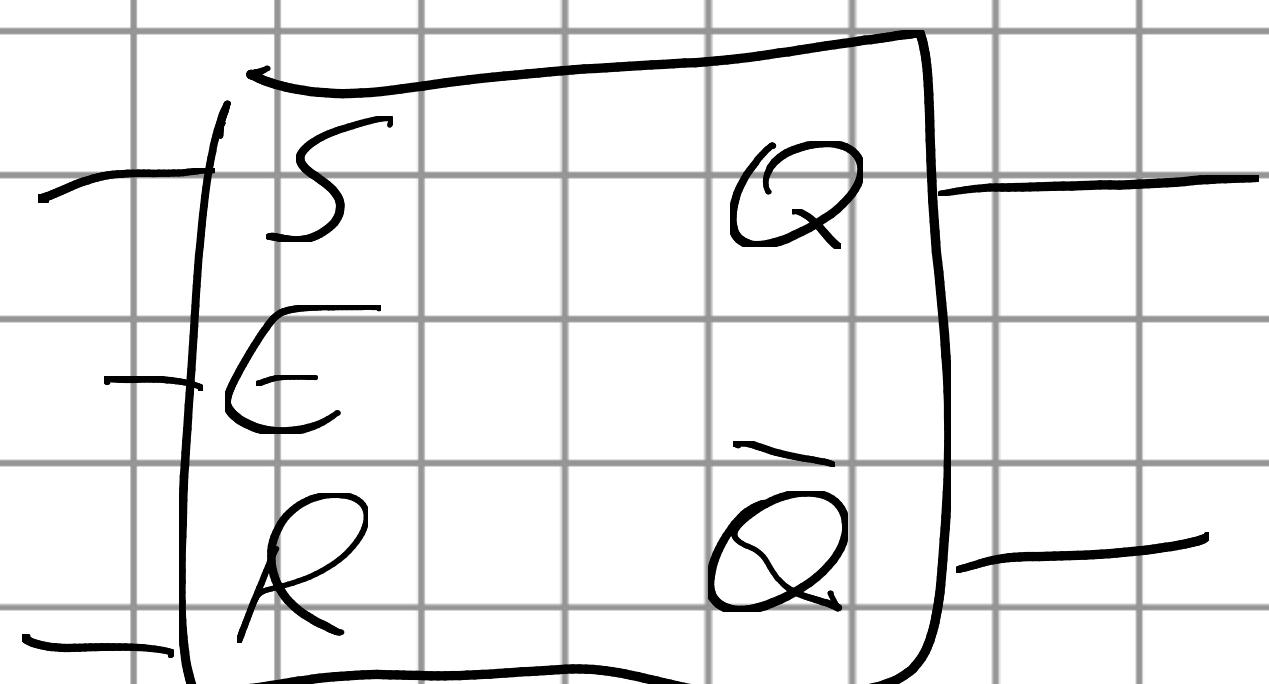


LATCH SR

brutto caso illegale



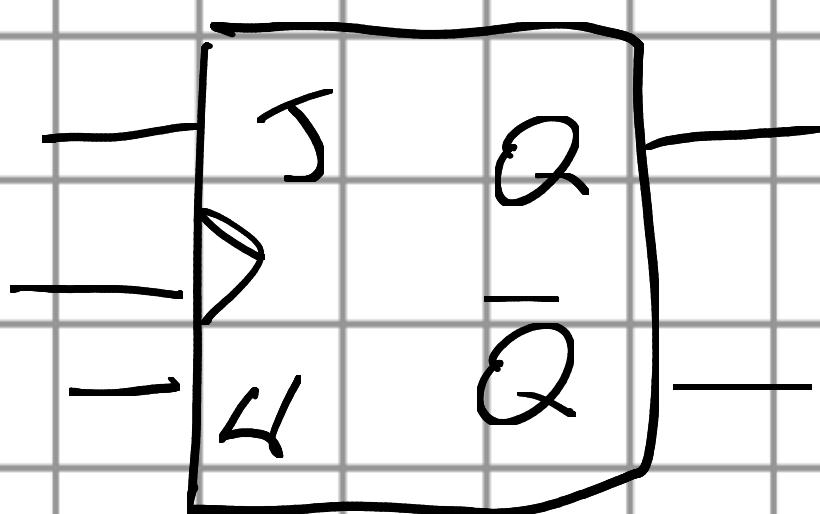
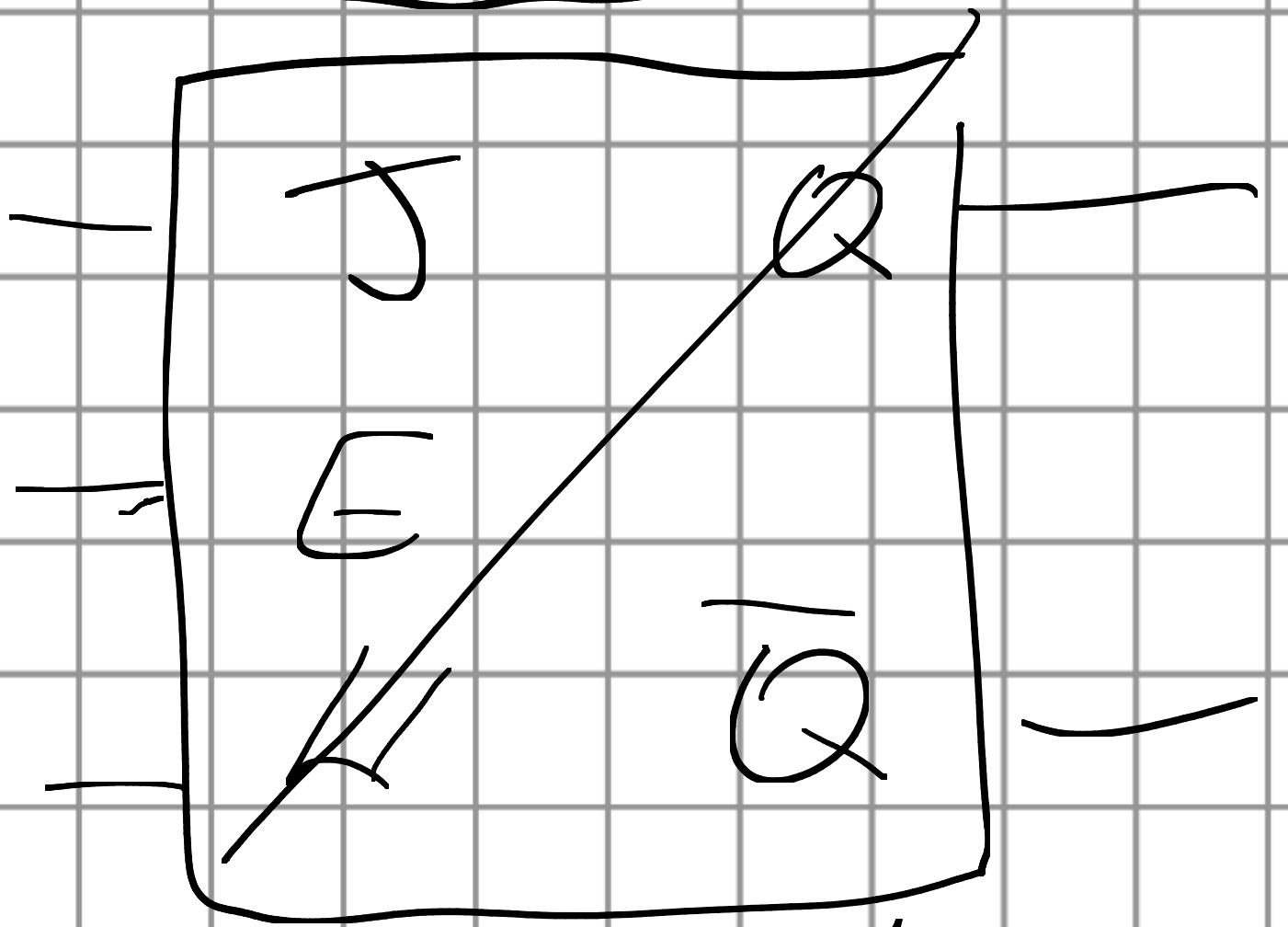
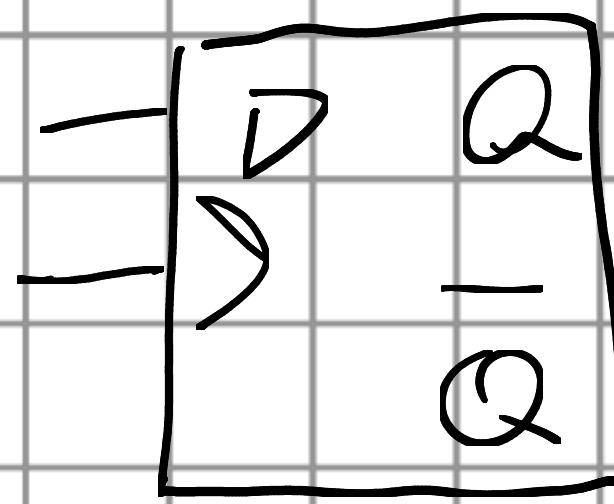
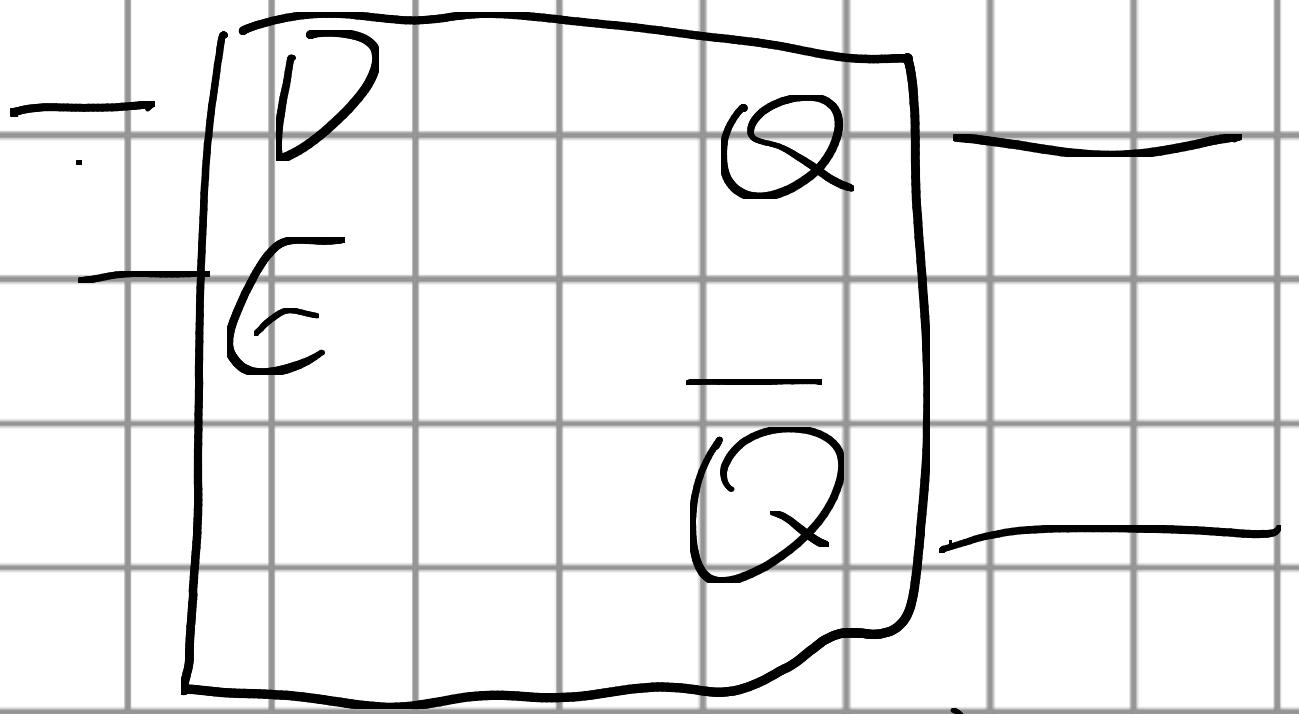
GATED



no senso perché
chiedo set-reset insieme

- Diversi modi per risolvere stato illegale

EDGE TRIGGERED



inutile perché

blocca $J=L=1$, me
rimbalza continuamente
da 1 stato all'altro

FLIP-FLOP

derivazione

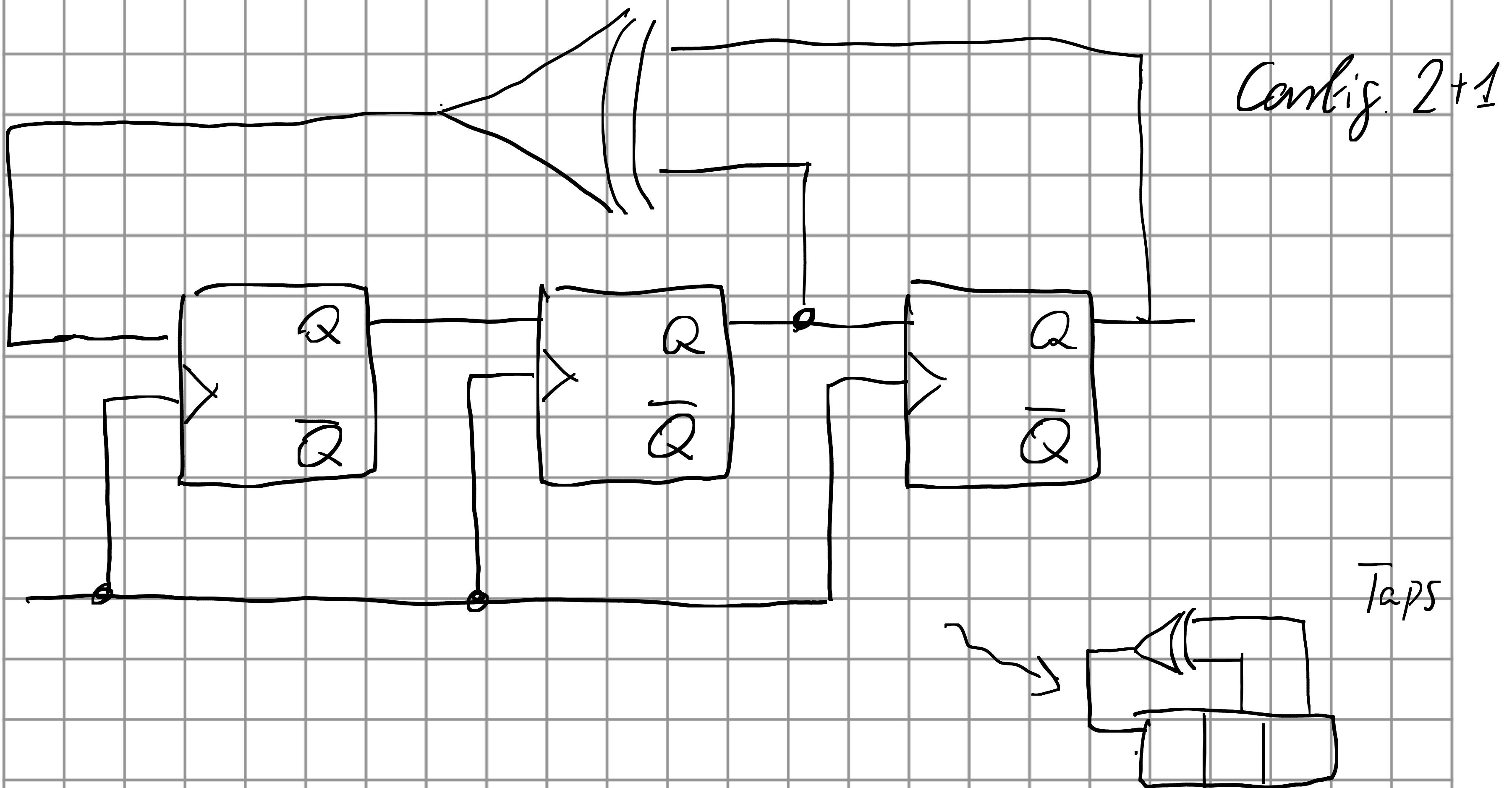
↳ flip-flop per
switching, oh
tipo 'T' (toggle)



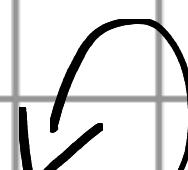
T flip-flop

(famiglia di "cosa puoi trovare nei circuiti logici")

· ESPERIENZA: Linear feedback shift register
LFSR



<u>STATO n</u>	<u>XOR</u>	<u>STATO n+1</u>
000	0	000
001	1	100
010	1	101
011	0	001
100	0	010
101	1	110
110	1	111
111	0	011

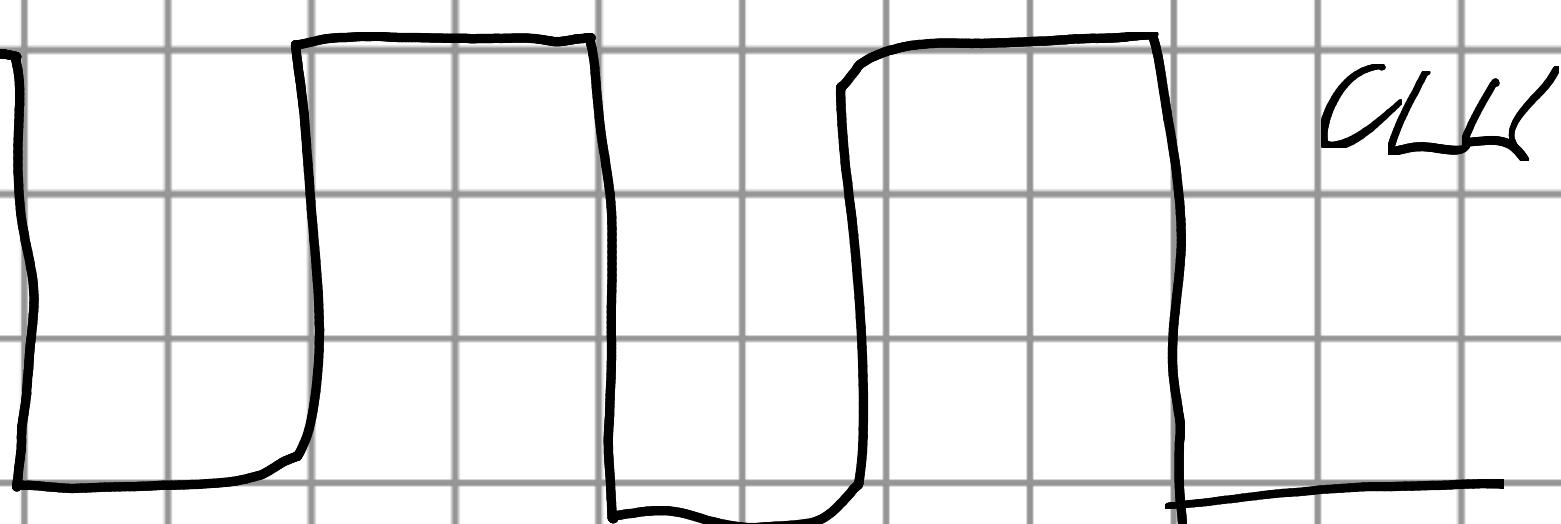
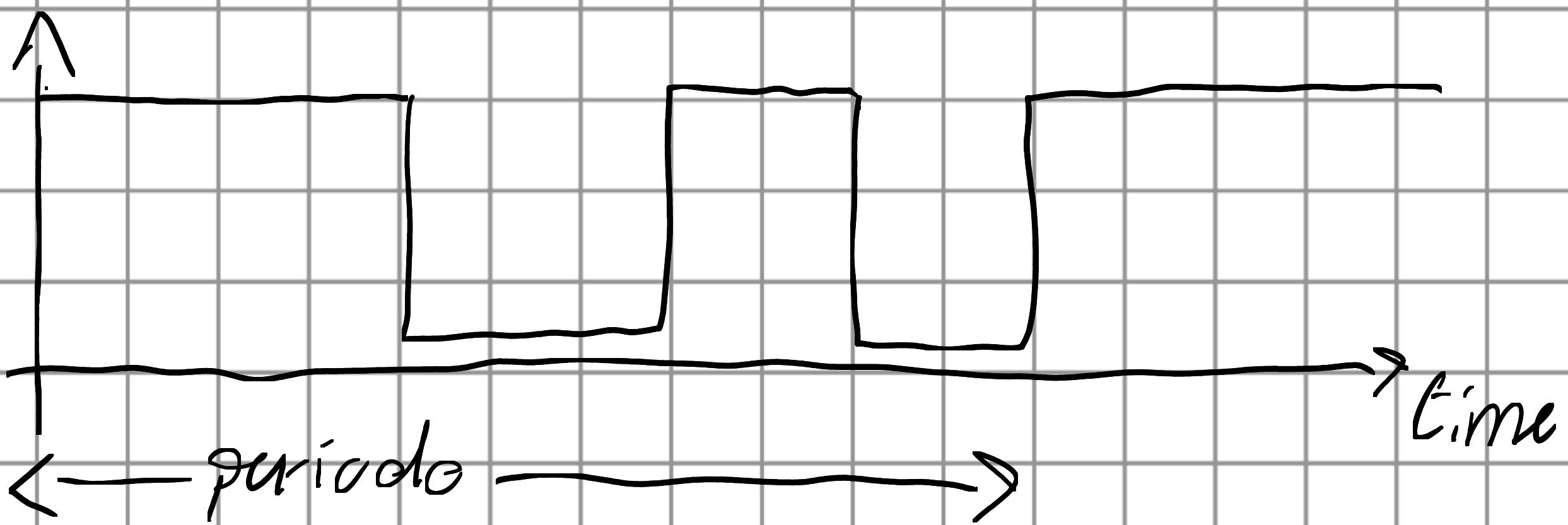


XOR agisce su ultimo bit di stato n
gli altri 2 scattano a destra di 1.



→ 011 101
 001 110
 101 111

- Seg. preced. cor. di bit.



CASO 3 + 1

26 memory config

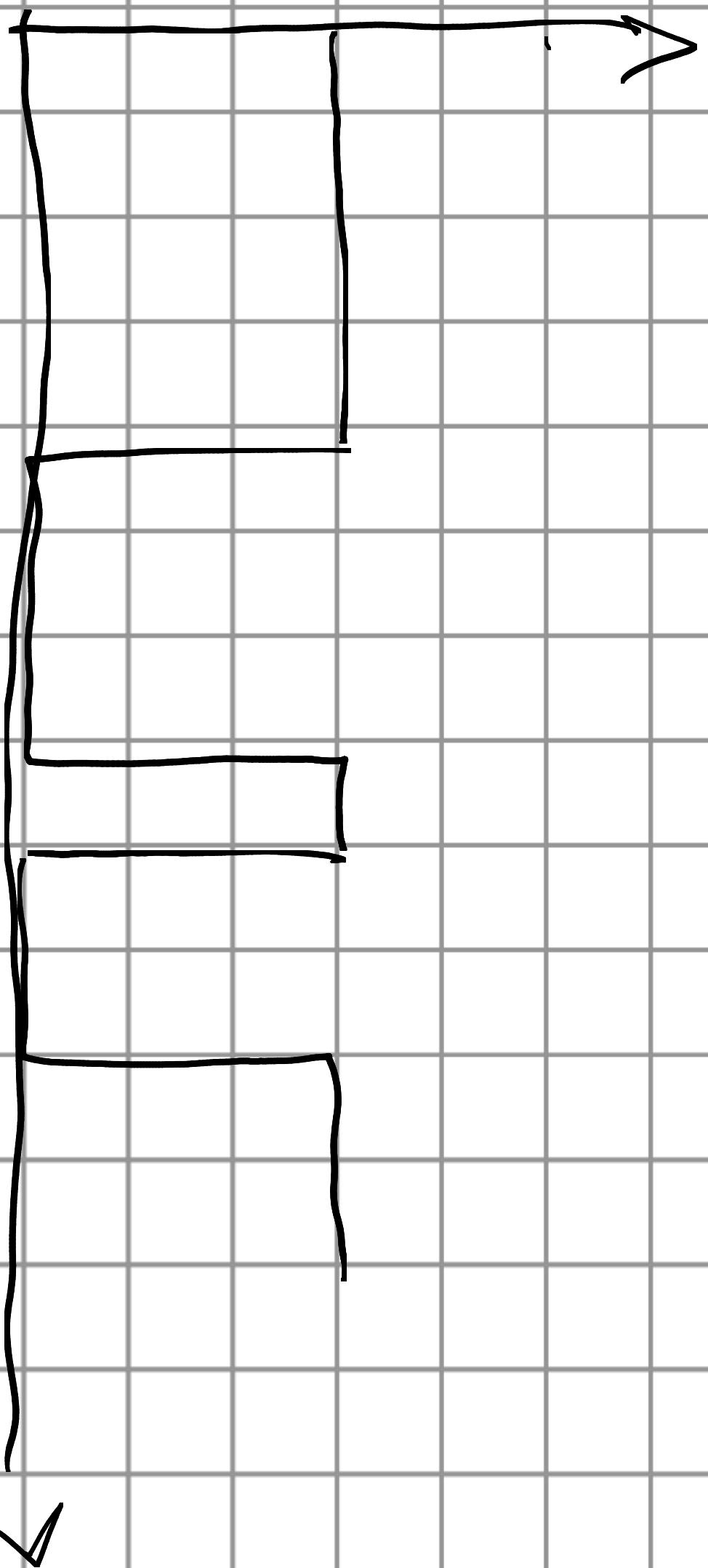
1111
0111
0011
0001 6

1000
0100
0010
1001 8

1100
0110
1011
0101 12

1010
1101
1110 15 ~ divisore per 15

time diagram



$l+1$

1111 1

0111 1

0011 1

0001 11

0000 01

1000 0

0100 0

0010 0

0001 0

10001

11000

01100

00110

10011

00000

21 config

7

altri 2 cicli

35

- Seg. 6 bit pseudocasuale \rightarrow per chi non sa dove mi trovo nella sequenza se vedo 1

Vedo 0 - - poi?

0

1

poi?

voglio calcolare

$P(0|0), P(1|0)$

1 - - poi? \rightarrow 0
 \rightarrow 1

$P(1|1), P(0|1)$

$$P(0|1) = P(1|1) = 50\%$$

$$P(0|0) = 3/7$$

$$P(1|0) = 4/7$$

← BIAS! (Manca freq. con solo 2 ri)

Predictive gli 1.

$$P(0|10) = 50\%$$

$$P(1|10) = 50\%$$

Se trovo 4 1 sono a posto, decipto, perch' ho
so prevedere gli altri dal feedback.

- Master slave

Lez 08

1. Det. caratteristiche sensore → scopo esercitazione 10

Preset ≈ set

Clear ≈ reset

• SENSORI DIGITALI - SISTEMI DIGITALI

A volte non meccanici

Possono avere sia elettronica che meccanica

↳ parti mobili (soprattutto in accelerometro)

↳ qual è il meccanismo fisico su cui si basa il sensore?

c'sono anche componenti ottici

NETS → new electronics mechanical systems.

Piccolo dispositivo digitale → evito di costruire amplificatori

↳ interfaccia digitale per comunicare con il sensore

SMD → surface mounted devices

- Hanno resistenza e capacità

Più per comunicare → come comunicare con sensori?

SCL → serial clock

SDA → serial data

CLASSIFICAZIONE INTERFAZZE DIGITALI



↳ scambio inf. digit. (cavi, ma sgn. radio
o luminosi ecc...)

0 } bit
1 }
 byte

00101101
 |
 | NIBBLE

2 byte = word (1 parola ≈ 16 bit)

1 byte = 8 bit

1 word = 2 byte = 16 byte

1 GByte = Dword (32 bit)

8 byte = Qword (64 bit)

Sensore \rightarrow En bit (n byte) \rightarrow definirli su auto
mimeto di byte.
+ risoluzione basta + bit sono necessari

Sensore 16 bit \rightarrow ricono 2 byte da IMPULSE

most significant ← MSB

1011011001010101

BYTE H BYTE L

LSB least signific. cant. bytēbit

high = + significativo

$00011101 = \phi \times 1D \rightarrow$ esadecimale

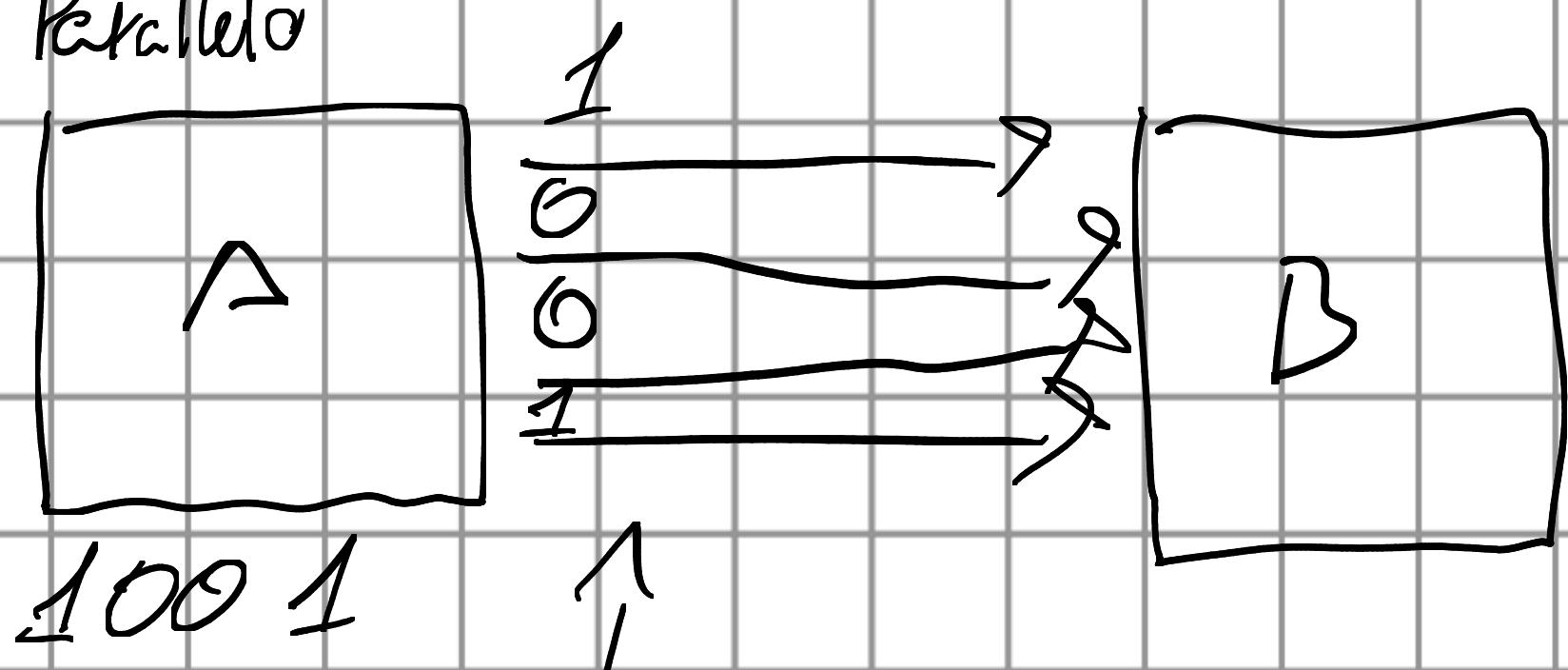
ogni citta' esadimensionale è 171BBLE

$13 + 16 = 29$ n esadeuiMak.

Sensori → info in numero intero con segn o senza.

1. SERIALE O PARALLELA

OP. A) Parallello



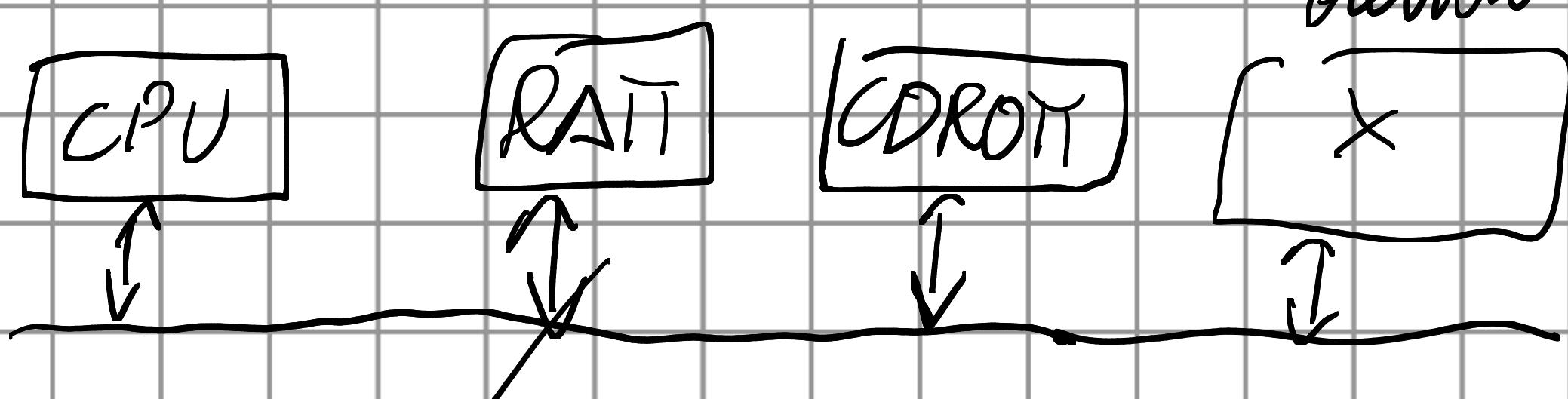
Mando in maniera
seriale le info in
un singolo cavo.

parallello \rightarrow non più usata praticamente

\rightarrow soprattutto su chip.

buffer a Tri stato

deve essere qualcosa

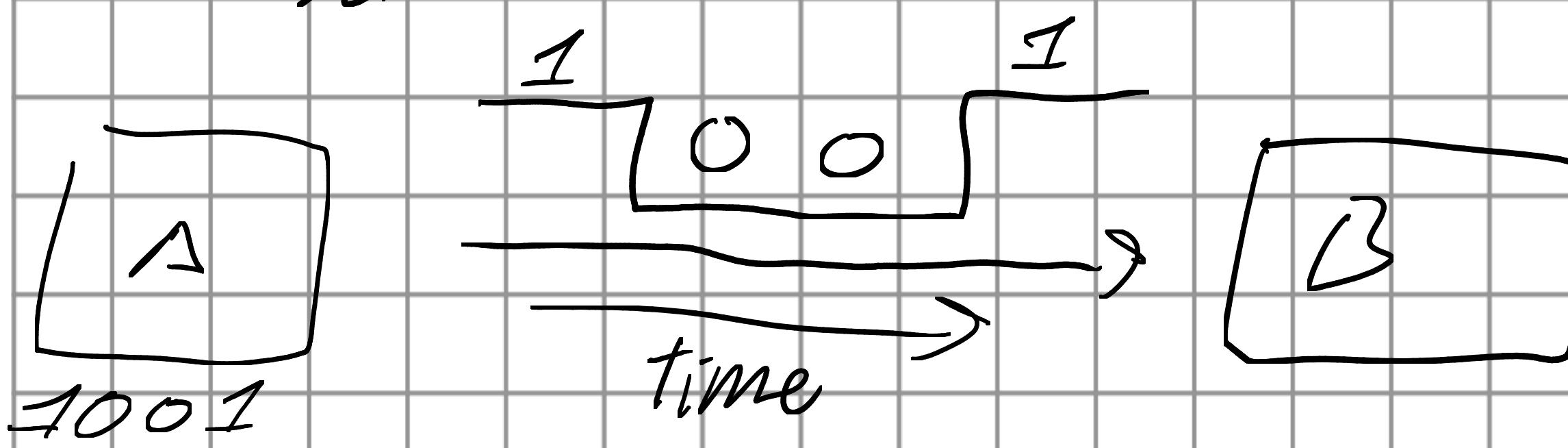


\hookrightarrow 64 righe digitali (?)

autostrada di dati \rightarrow parallelo + veloce.

(w. buffer tristato)

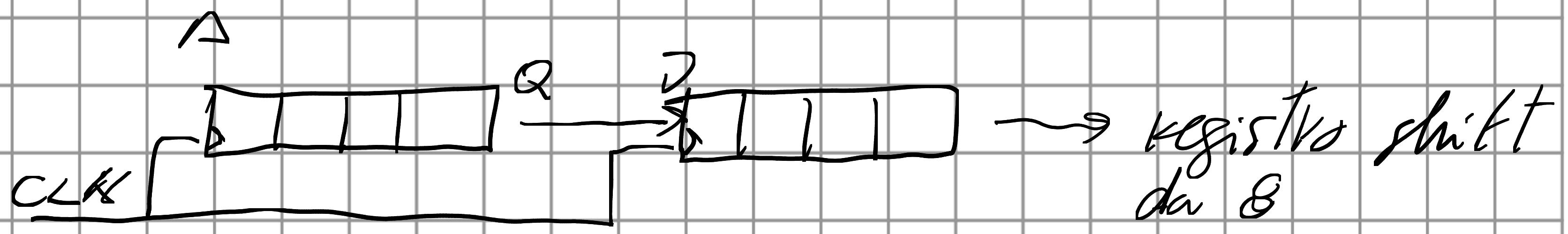
OP. B) SERIALE



Il big problem:
quando leggo 0
ed 1? Non banale

- Diverse soluzioni: (interfaccie digitali sincrone o no)

1. Registro shift a 8 bit → collega ad altro con cavo:



→ registro shift da 8

↳ esempio serv / communication SINCRONA
↳ Dov'è il basso tempo di comunicazione.

2. ASINCRONA (prima sincrona)

(Sincrona → porta sincrona INCLUDE CLOCK
non manda solo dati, ma anche
base dei tempi a cui sono riferiti)

Asincrona, ma:

i) Ci si accorda prima sulle freq. di dati

! ↳ bisogna impostare velocità porta

Dove specificare con che velocità comunico.

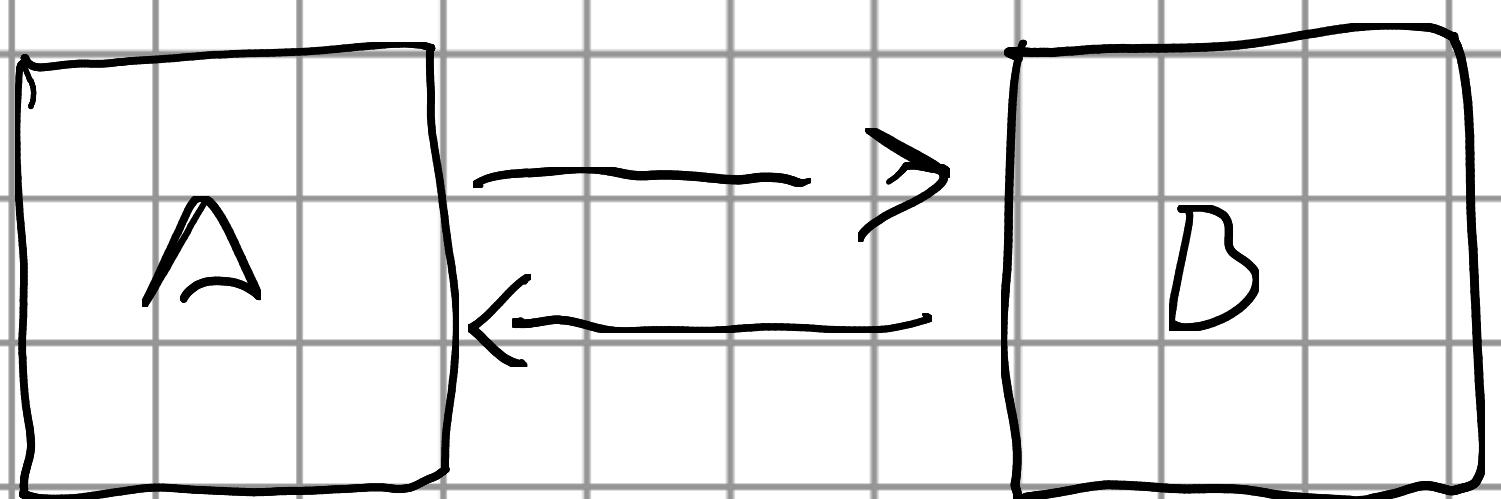
ii) Negoziazione: (USB può andare + veloce) esistono modi con cui i dispositivi possono accordarsi su vel. scambio dati.

Problema sincronia → anche in parallelo.

(Vantaggio seriale → meno fili)

↳ USB veloce, seriale

iii) FULL DUPLEX o HALF DUPLEX



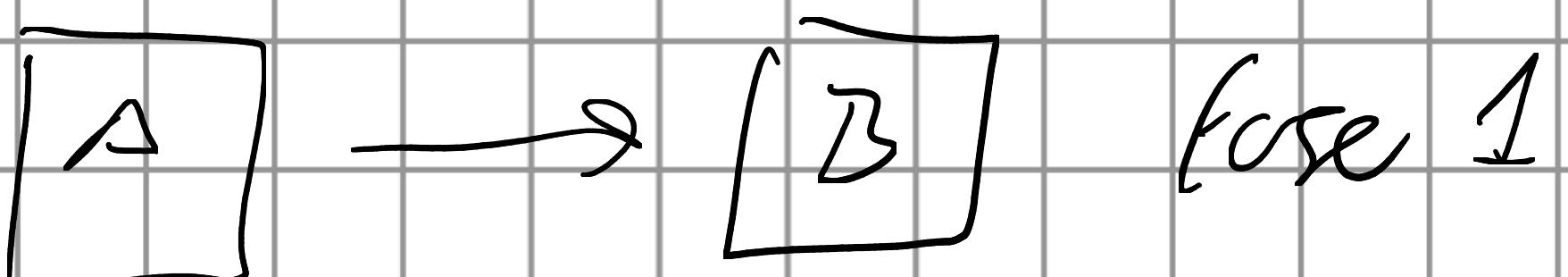
es (teorico) Telefono

(?)

↳ informazione viaggia "in contemporanea" da una parte e dell'altra

↳ FULL DUPLEX

HALF DUPLEX → chi parla non ascolta



primo parla
I poi l'altro



WALKIE-TALKIE

Problemi → collisions (potiamo insieme)

come libero il canale?

ESEMPI:

I₂C - Inter integrated circuit. 2-wire.

SPI - Serial programming interface 4-wire.

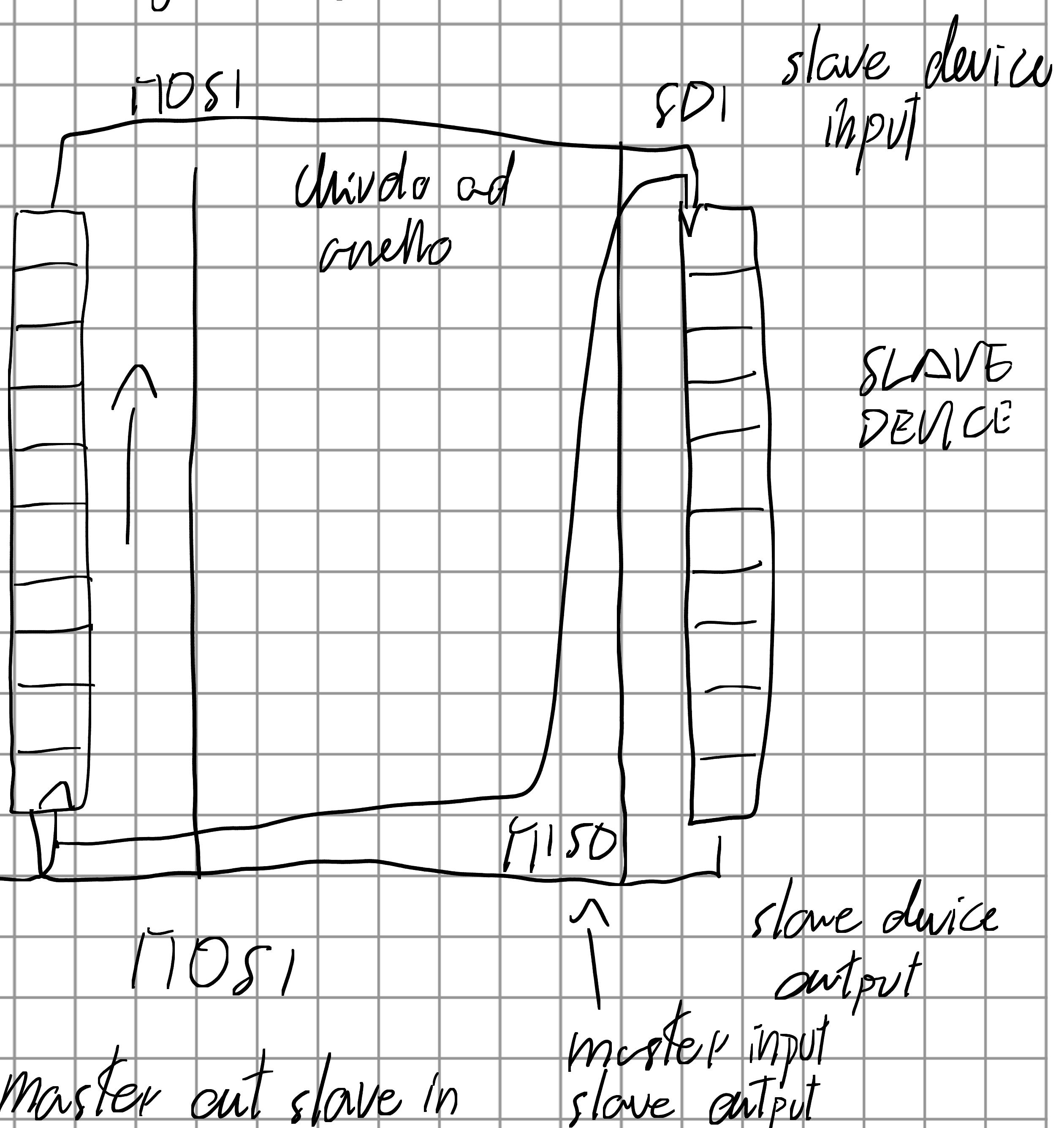
A. SPI:

DEVICE A:

MASTER

↑
controlla
clock

→ manda
a uno
registro
e proietta
fotoni



scambio 2 bit e comune.

- Posso essere + slave → bisogna decidere con chi parla
ogni slave ha il suo "cavo di accensione"
SCK

→ seriale

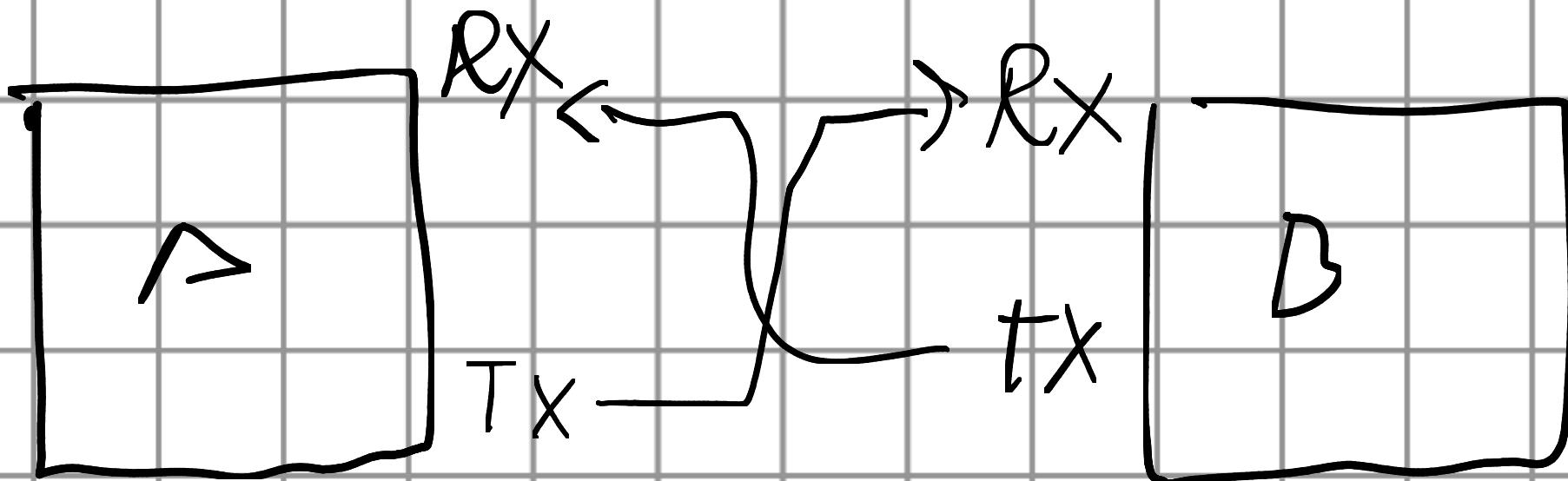
→ sincrono

→ full duplex

→ vuol fissi → master resta fale, gli altri ascoltano

SPI

B) La seriale vera USART universal asynchronous receiver Transmitter.



BAUD RATE

→ bit al secondo
l'anno

→ circa 6 bit
in più

seriale
asincrona
full duplex

RS - 232

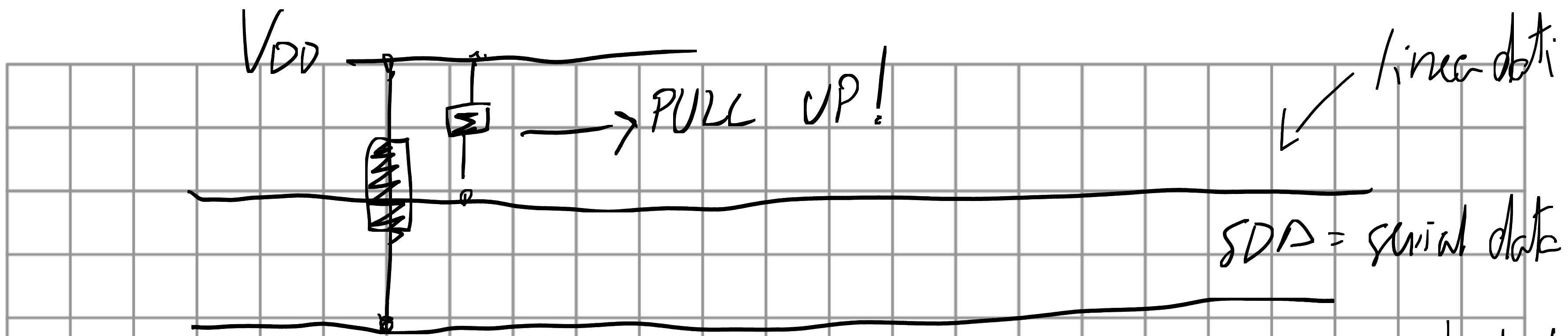
C) USB universal serial bus

non ha dati che vanno e tornano → HALF DUPLEX

ASINCRONO

SERIALE

3) I2C (però con!)



Pull up → lascia linea flating,
narrando a colloquio) \hookrightarrow sincronia!
 \hookrightarrow sta ad 1 pu' pull up se osserva

$VSD \rightarrow V_{Ca} \sim a$

- Interlocutor c' rucki man fista - & diuque PVC parker
c'iskendurce in more
la situation.

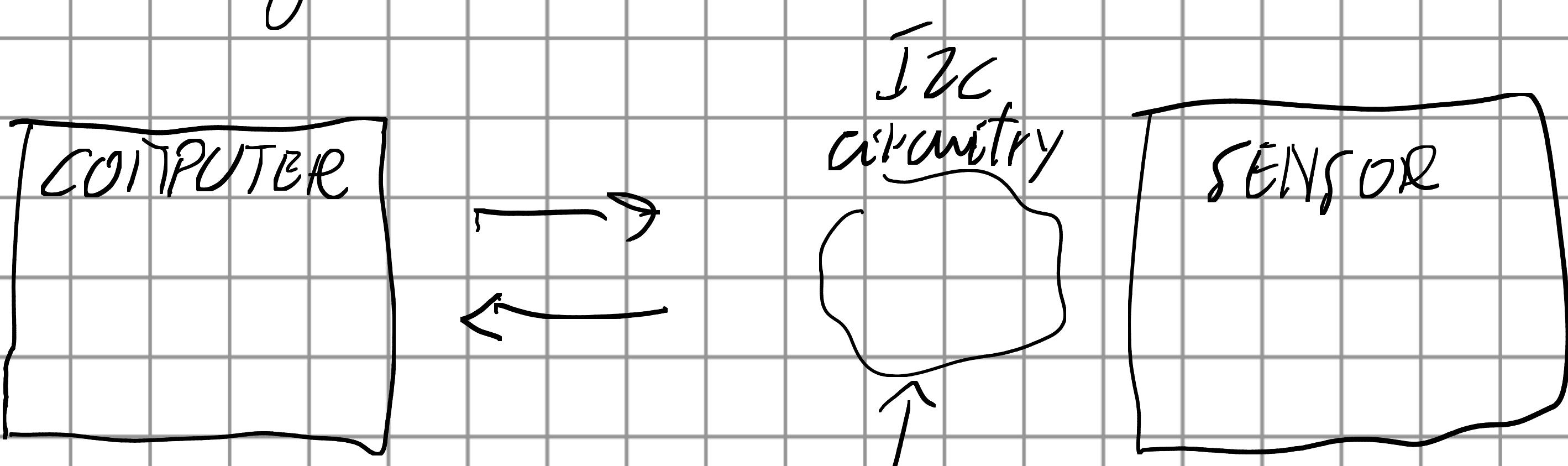
SÉRIALISATION

SINCRONIA

HAZF DUPLEX

Ruofan Lisi

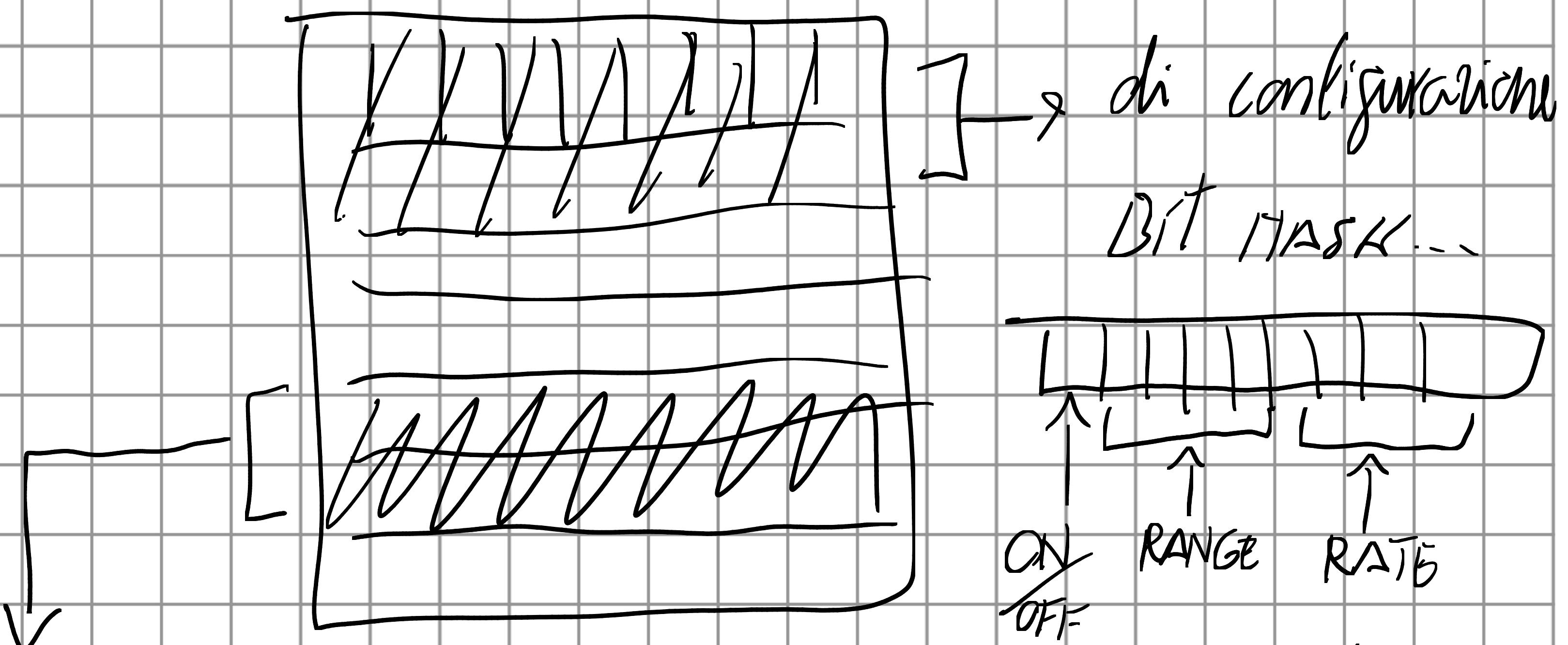
• Cosa vogliamo fare:



L'interfaccia di gestione di I2C

I2C circuitry → contiene REGISTER MAP

descrivono 8 bit ↴
specifici 8 bit low e high
↳ quindi ha un significato.



Registri di misura → come fissa livelli misura & livelli di riferimento.
da bit.

MAPPA REGISTRI → ho ciravaria di controllo che

↓ interagisce con
SENZORI

Registri → indirizzati in esadecimale.

SAD → slave address → 7 bit

A0,1,2 → address → comando su registri diversi

Comunicazione → con chi parlo
che registro mi interessano
se voglio scriverlo o leggerlo.

- Ho config. reset sensore.

• COME CI SI SCAMBIA LE INFO. (protocollo di livello zero)

REGOLA n°1 DI I2C

SCL = 0 Si può cambiare SDA e SDA deve stare fermo

SCL = 1

↳ IL DATO SI CAMBIA SOLO QUANDO IL CLOCK E' ALTO.

Se nessuno fa nulla le linee stanno su

↳ un'azione abbassa le linee

REGOLA n°2

Master controlla serval clock

Chi è master e chi parla?

Master agisce di prepotenza e rompe regola numero 1.

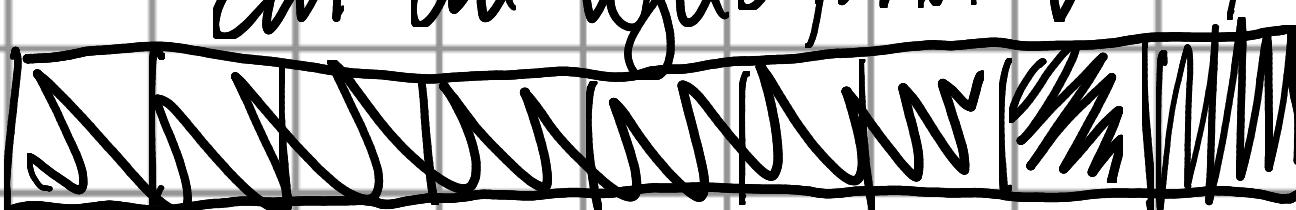
C'è un modo per dire "posso" non parlo più ho lasciato il bus.

Chi parla?

(W. Buffer, Tristate)

- Inizio comunicazione:

S



R/W → ACK/NACK
9bit Ø 1

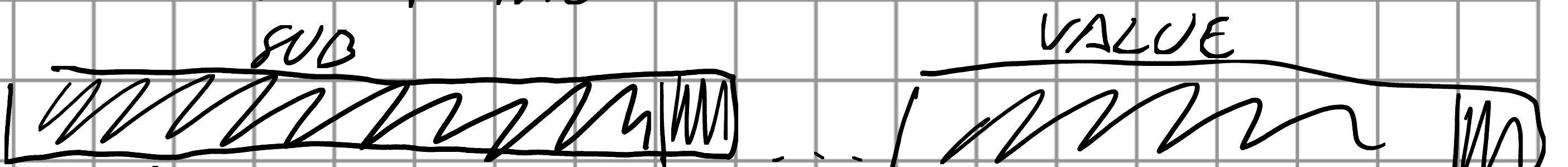
↳ ricevente che dice
↳ voglio leggere/savere ho capito

I^o azione Master → specifica indirizzo di mio interlocutore

Chip alza la
carretta e dice
"Pronto"

ricevente al prossimo gyro
di clock passa in drive e
tira giù linea → master sa
che il chip è pronto → e può
parlare.

- Continuazione in scrittura



↑
indirizzo registro
mandato da
master

↑
bit di
riconoscimento

... - - [W]
→ bit di
stop

→ chip riceve dire "OK".

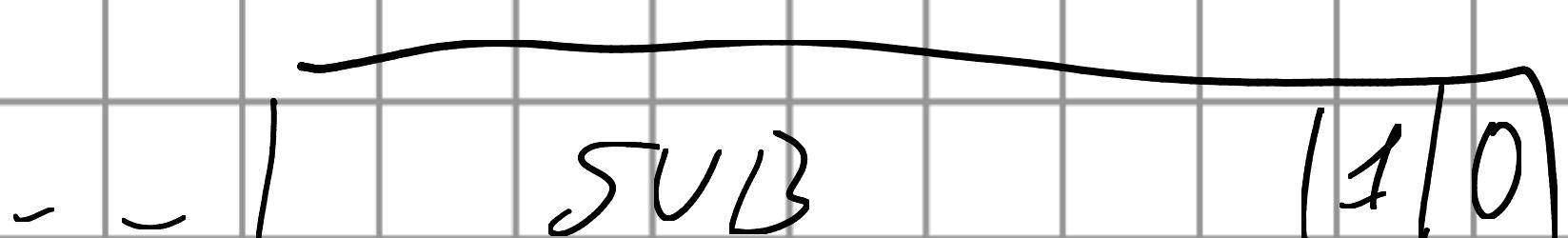
≡

"lettura"

si innesta (x)
che dice

Master
che dice

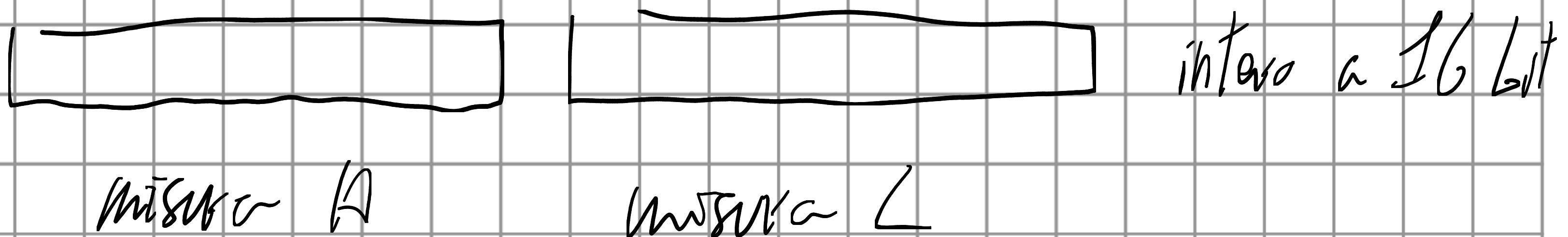
chip slave manda "richiesto"
↓
VALUE dati



(A) Comunico con chip con caro indirizzo e
poi cerco il suo registro → quale che servis
o leggo

- Per contrarrevel. vel. di clock: se master va troppo
Velocità slave si appenderà al clock e blocca master

• INTERI SGN / SGN IN SGN



$$N = (M15 \text{ H}) * 256 + M15 \text{ L} \quad \text{codifica UINT16}$$

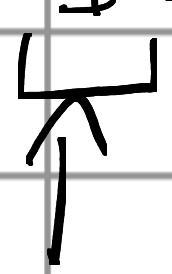
Datasheet \rightarrow g. fissa = funzione di N $f(N)$

$-45 + \frac{N}{1024}$ potrebbe essere
[°C] temp. in celsius.

- Codifica interi con segno.

Complemento 2.

10011



Segno $+ = 0$
 $- = 1$

Se '+' ha codifica STD

$L_{100011} = 3$

Se '-'
dico bene ① complementare
② Daggiungere 1

$$10011 \rightarrow 1100 = 8 + 4 = 12$$

$$12 + 1 = 13 \rightarrow -13.$$

Ovvio

$$'+' \rightarrow 0 \text{ e}^{-} < 2^{n-1}$$

$$'-' \rightarrow 1 \text{ e}^{-} \geq 2^{n-1}$$

\Rightarrow numero negativo se supera metà del range

$$\left[\begin{array}{l} n = \text{valore int} (\text{numero bit chip}) \\ \text{if } (n > 2^{n-1}) : \\ n = n - 2^n \end{array} \right]$$

$$10011 = 16 + 3 = 19 > 16$$

$\Rightarrow 19 - 32 = -13$ è il numero espresso nella stringa.

- Da metà dei bit (127) in poi prendo solo numeri negativi.

Alcuni usano codifica con segno ed altri senza.