

Logbook es. 08

Introduzione

Con questa esperienza si vuole prendere confidenza con i circuiti digitali elementari, studiandone il comportamento, anche fuori dal regime di buon funzionamento.

Task 1

Obiettivo: Gli esperimenti della prima parte dell'esperienza verranno realizzati con l'aiuto di uno tra due MOSFET: BS170 e BS107. Di seguito si annotano le caratteristiche di queste 2 componenti, in particolare piedinatura e threshold o pinch-off V_P .

- BS170: Bassa resistenza drain-source in conduzione, robusto e switch rapido. Corrente massima di funzionamento 500 mA.

BS170

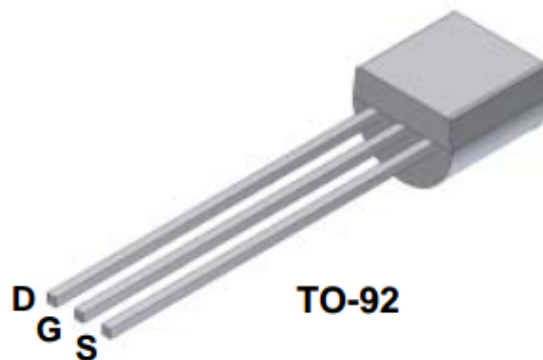


Figura 1: Immagine del MOSFET BS170, con riportata piedinatura.

Infine si riporta il voltaggio di threshold V_P , riportato sul datasheet come "Gate Threshold Voltage", pari a $V_P = 2.1^{+0.9}_{-1.2}$ V.

- BS107: Per applicazioni nell'automotive che richiedono specifici change control. Corrente massima 120 mA.

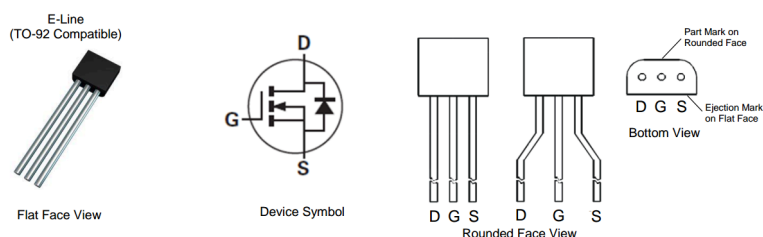


Figura 2: Immagine del MOSFET BS107, con riportata piedinatura.

Infine si riporta il voltaggio di threshold V_P , riportato sul datasheet come "Gate Threshold Voltage", pari a $V_P = 1 - 3 \text{ V}$ (riportati valori minimo e massimo rispettivamente).

Task 2

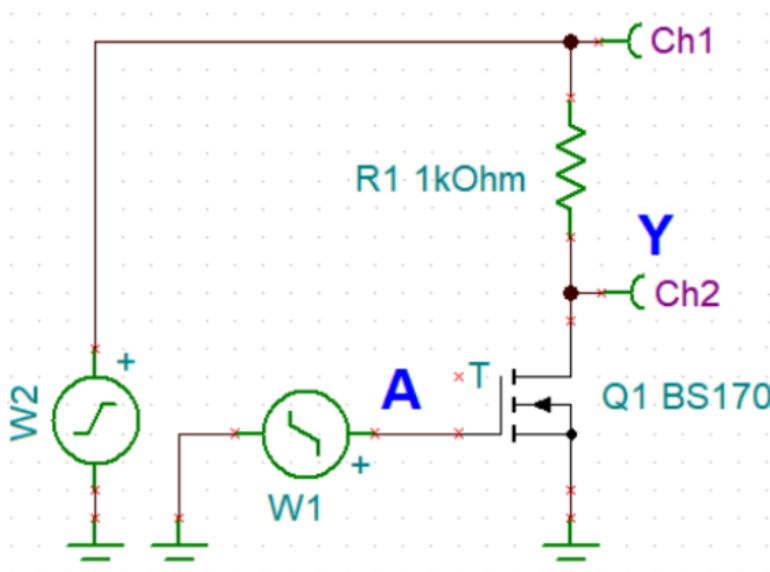


Figura 3: Immagine del circuito porta NOT studiato nei 2 prossimi task, esempio con MOSFET BS170.

Obiettivo:

1. Collegare Ch1 e Ch2 per misurare V_{DD} e V_{GS} verificare la corrente massima attesa quando $V_{DD} = 5 \text{ V}$ e se la scheda sia in grado erogarla.
2. Impostare W2 a 5 V e misurare la curva di risposta del circuito V_{DS} vs V_{GS} variando W1 da 0 a 5 V.
3. Quantificare dei possibili valori di V_{OH} , V_{OL} , V_{IH} e V_{IL} sulla base della pendenza della curva di risposta (trascurare la possibile variabilità di V_P tra i due dispositivi utilizzati, cruciale per la definizione di questi valori del voltaggio cercati e per il margine del rumore).

Di seguito l'immagine del circuito assemblato:

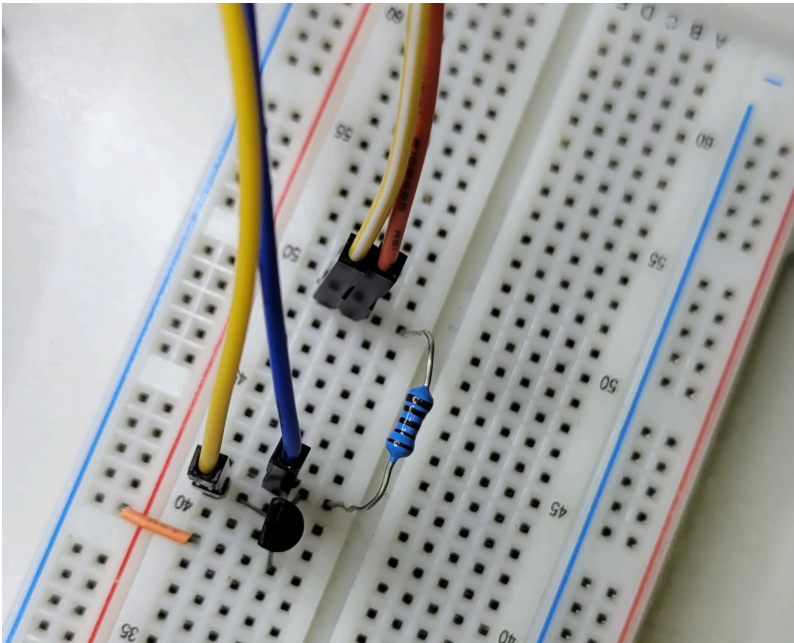


Figura 4: Immagine circuito assemblato in laboratorio. Si è utilizzato il FET BS107

La corrente massima erogabile (data da $W2 = 5\text{ V}$) è determinabile attraverso la formula:

$$I_{max} = \frac{V_{ch1} - V_{ch2}}{R_1} = \frac{5V}{1k\Omega} = 5mA$$

La scheda riesce ad erogare tale corrente. Notare che il circuito è attraversato da I_{max} solo quando il FET conduce, quindi quando W1 è ad alto potenziale.

Di seguito la curva di risposta del circuito:

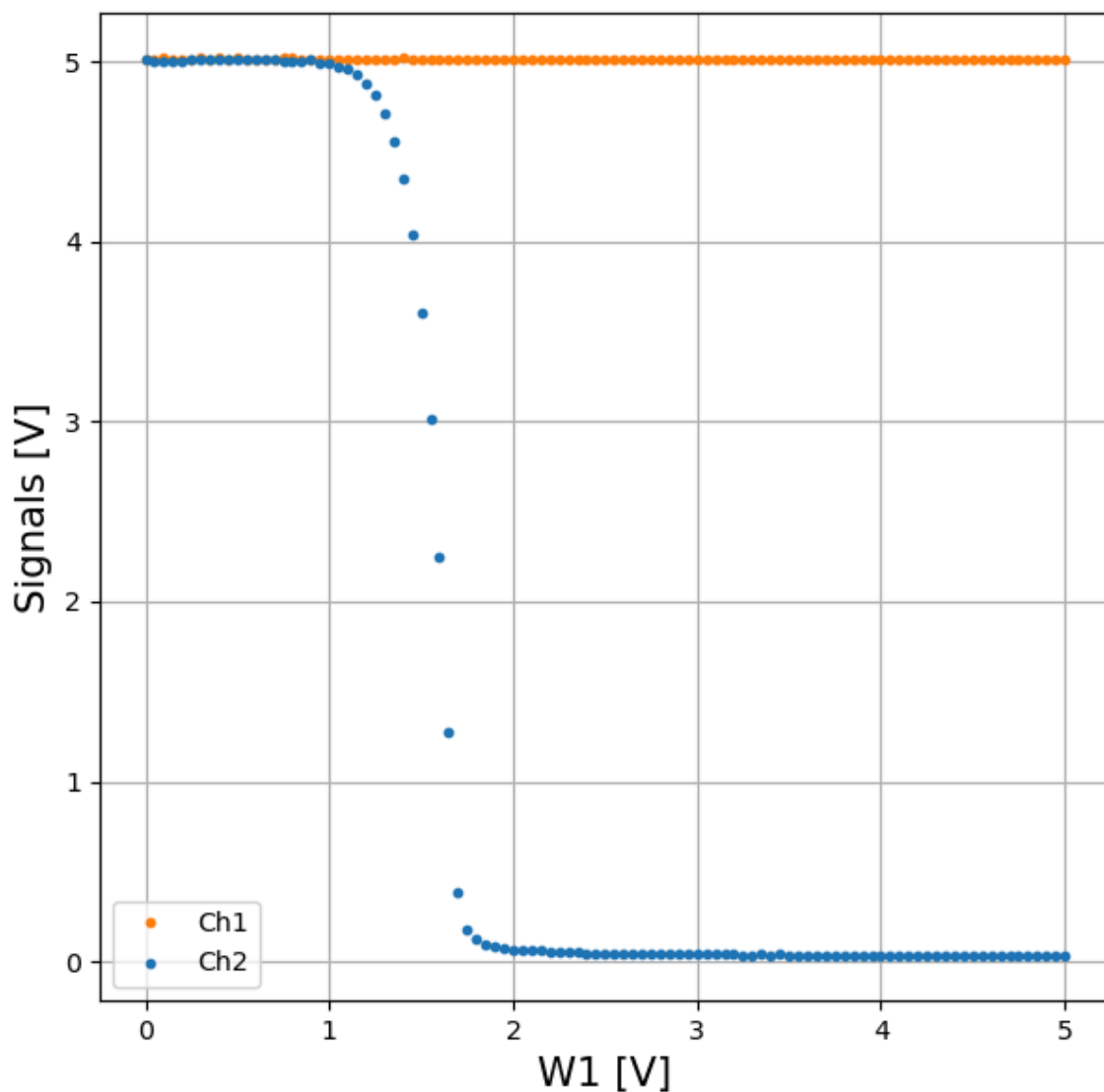


Figura 5: Curva di risposta della porta NOT V_{DS} vs V_{GS} , misurata. In arancione canale 1, in blu canale 2. Notare il punto in cui cambia il livello della ddp, che cade proprio all'interno dell'intervallo di variabilità del voltage threshold riportato nel datasheet di BS107

Per determinare i voltaggi V_{OH} , V_{OL} , V_{IH} e V_{IL} bisogna individuare i punti con slope -1 nella curva di risposta del circuito, infatti questi 4 valori di voltaggio corrispondono ad ascissa ed ordinata di tali punti. Si veda la curva d'esempio di seguito come riferimento.

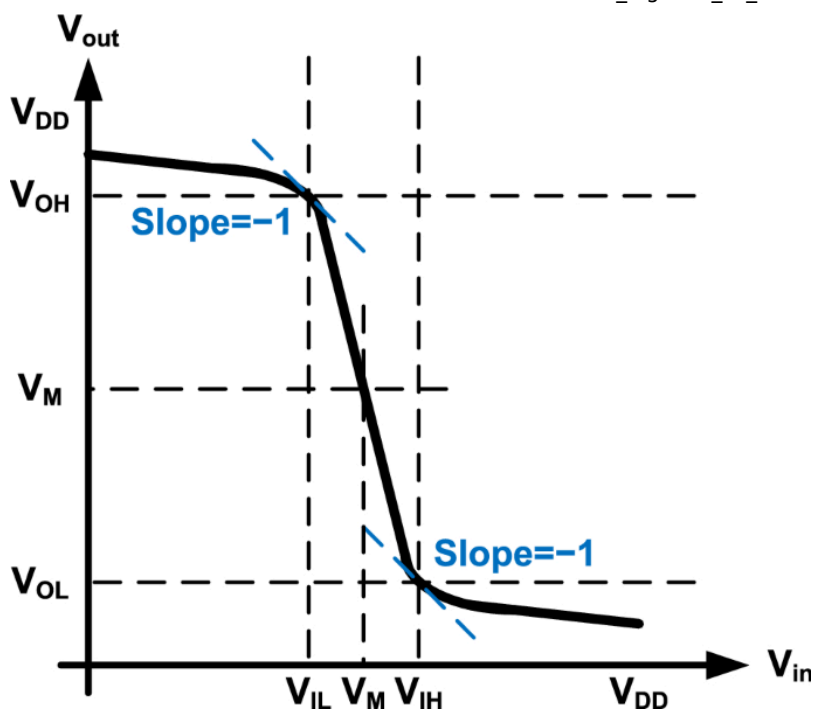


Figura 5: Cuvra di risposta d'esempio, per determinare V_{OH} , V_{OL} , V_{IH} e V_{IL} .

Quindi per confronto con la curva misurata si trova:

- $V_{OH} \simeq 4.9 \text{ V}$
- $V_{IH} \simeq 1.7 \text{ V}$
- $V_{OL} \simeq 0.2 \text{ V}$
- $V_{IL} \simeq 1.2 \text{ V}$

Task 3

Obiettivo:

1. Ricostruire le caratteristiche di uscita $I_D(V_{DS})$ al variare di V_{GS} .
2. Plottare le curve per una sequenza di valori di V_{GS} che copra la regione in cui il circuito passa da 5 V a 0 V.
3. Generare un grafico riassuntivo dei risultati dell'intero esperimento con il transistor NMOS e salvarlo in "PortaNOT.pdf".

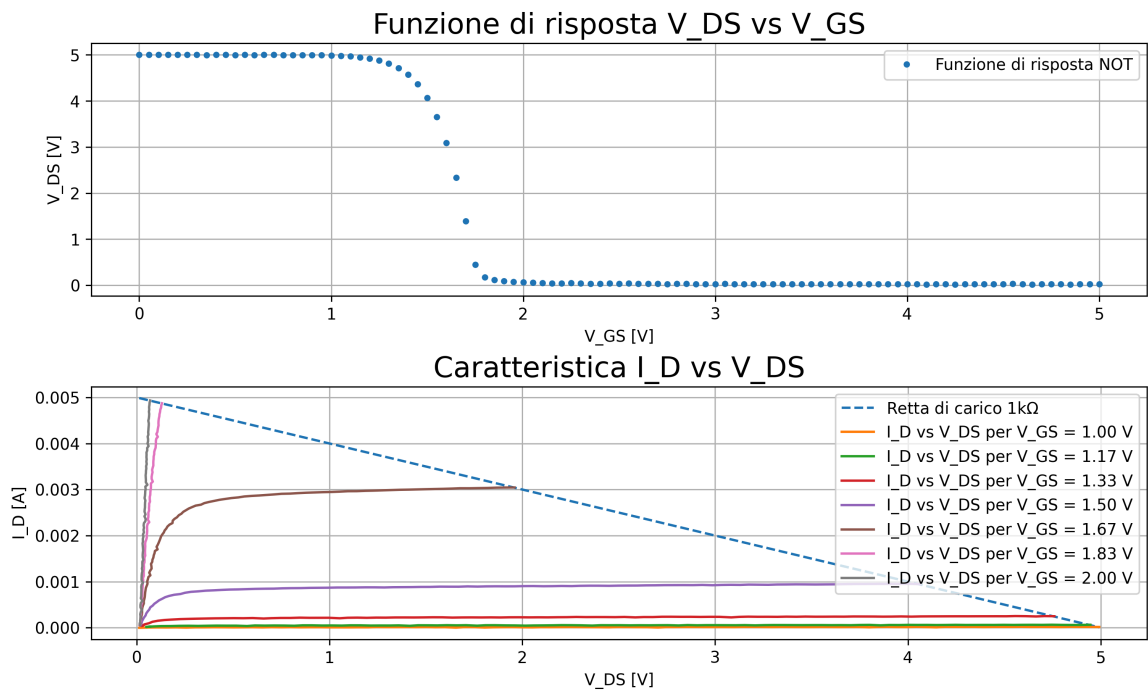


Figura 5: Caratteristiche $I_D(V_{DS})$ al variare di V_{GS} in $[1, 2]$ V. Notare come le curve caratteristiche non superino mai la retta di carico in quanto W2 è impostato in modo da non superare mai i 5 V (del resto l'AD2 non è in grado di generare un voltaggio maggiore).

Task 4

Obiettivo: Consultare il datasheet di CA4011 riportando la piedinatura dell'integrato, verificare poi che sia compatibile con le specifiche dell'AD2, controllando, in particolare il voltaggio di alimentazione.

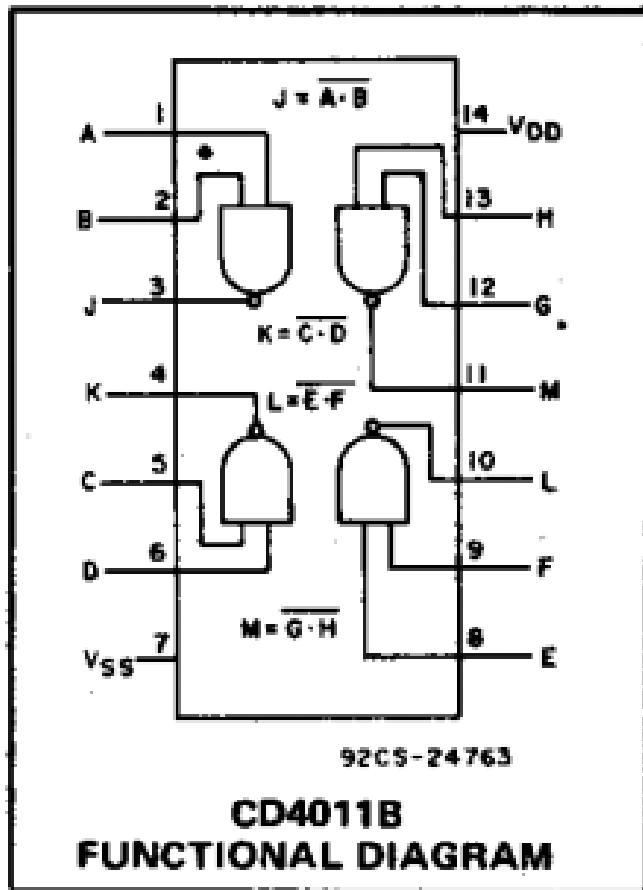


Figura 6: Piedinatura CA4011.

Dal datasheet si osserva che l'integrato ha il seguente "Supply Voltage Range": 3 - 18 V, quindi l'integrato è compatibile con l'AD2, in quanto risulta possibile alimentarlo con $V_{SS} = 0\text{ V}$ e $V_{DD} = 5\text{ V}$.

Task 5

Obiettivo: Verificare il comportamento di una delle porte NAND dell'integrato attraverso il seguente circuito.

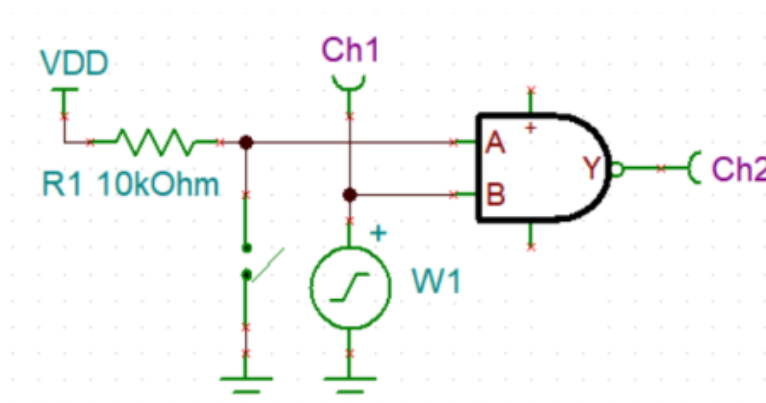


Figura 6: Circuito porta NAND.

Di seguito la tabella di verità della porta NAND:

A	B	Y
1	1	0
0	1	1
1	0	1
0	0	1

Di seguito il circuito costruito in lab

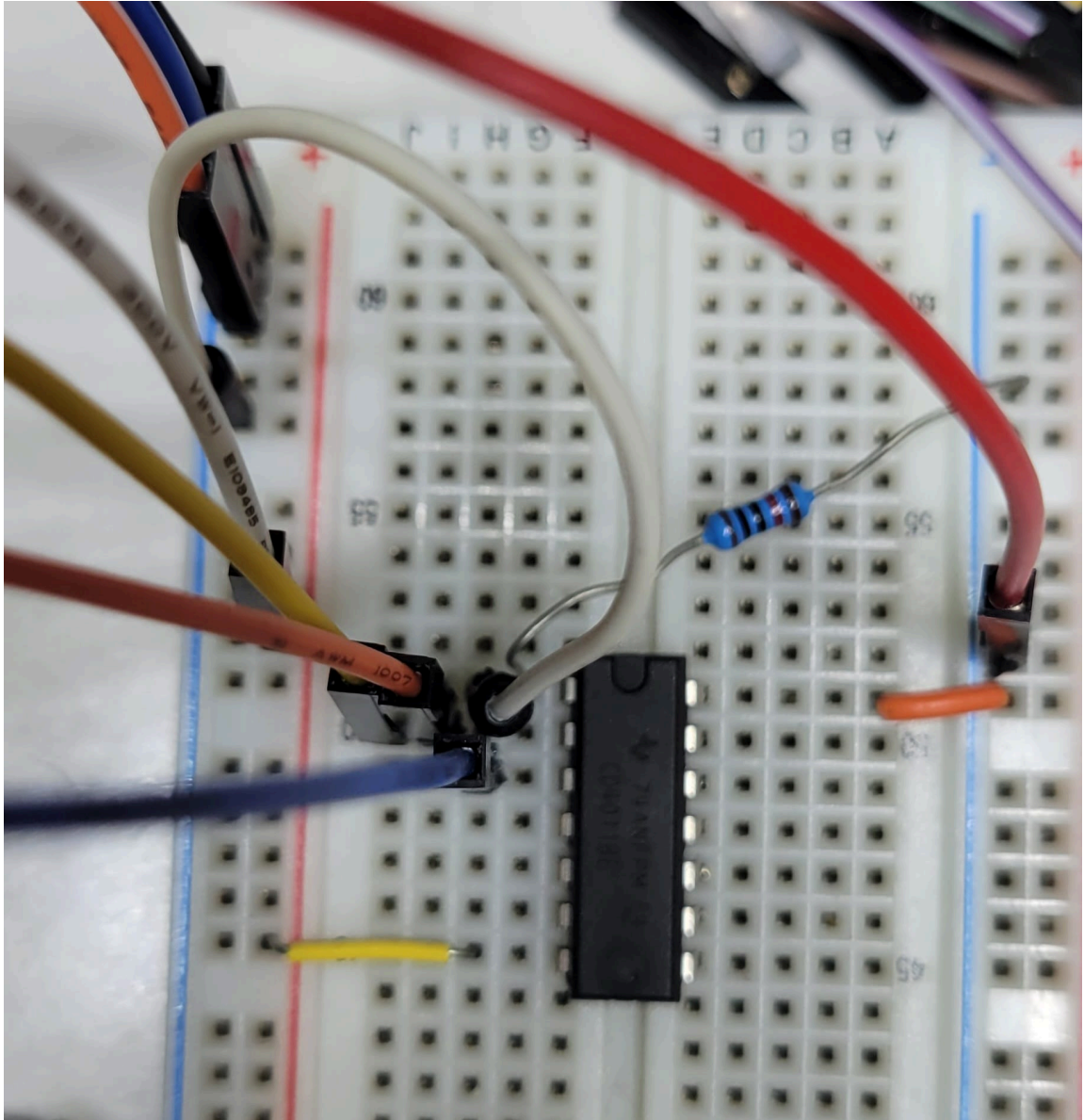


Figura 7: Porta NAND montata in lab.

Si effettuano i seguenti test:

1. Lasciare interruttore aperto portando l'ingresso A a 5 V e verificare che la porte effettui un'operazione NOT: $\overline{A \cdot B} = \overline{1 \cdot B} = \overline{B}$

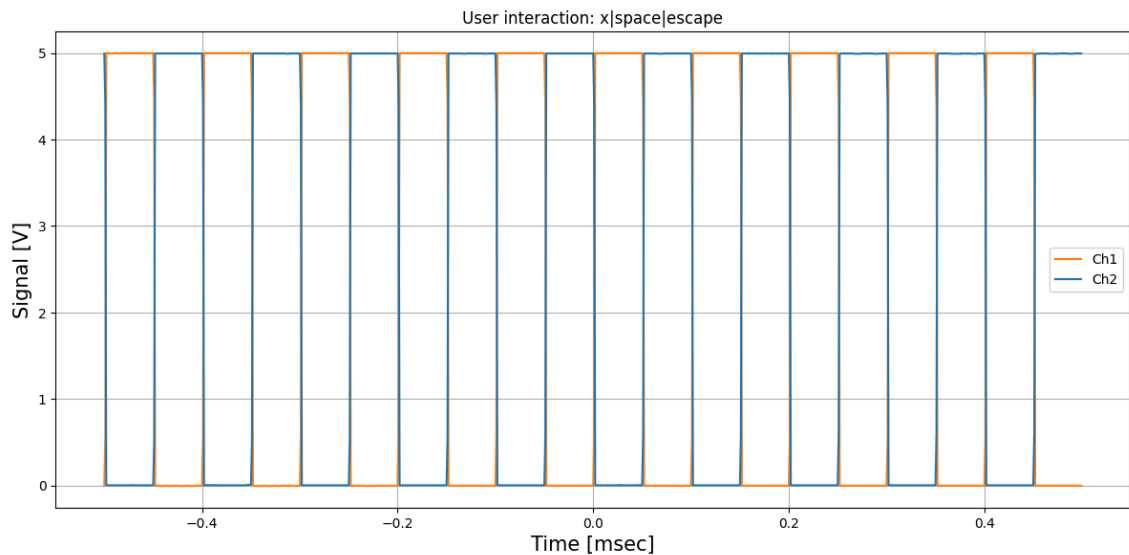


Figura 8: Porta NAND con un ingresso alto fisso, il canale uno è l'ingresso, mentre il canale 2 è l'uscita dalla porta. Notare come le due forme d'onda siano perfettamente in controfase, a riconferma che la porta operi come un NOT in questa modalità operativa.

Questo risultato è logicamente atteso in quanto il valore di verità di un AND è "vero" solo quando entrambe le porte sono a livello alto, quindi la sua negazione si comporterà in modo opposto. Osservando la relativa tabella di verità si vede come, se A è "VERO" allora, se B è "VERO", ottengo un "FALSO", viceversa se B è "FALSO" si ottiene un "VERO" in uscita dalla porta.

1. Chiudere l'interruttore portando A a terra e verificare che l'uscita rimane alta a prescindere dal valore di B: $\overline{A} \cdot B = 0 \cdot B = 0 = 1$

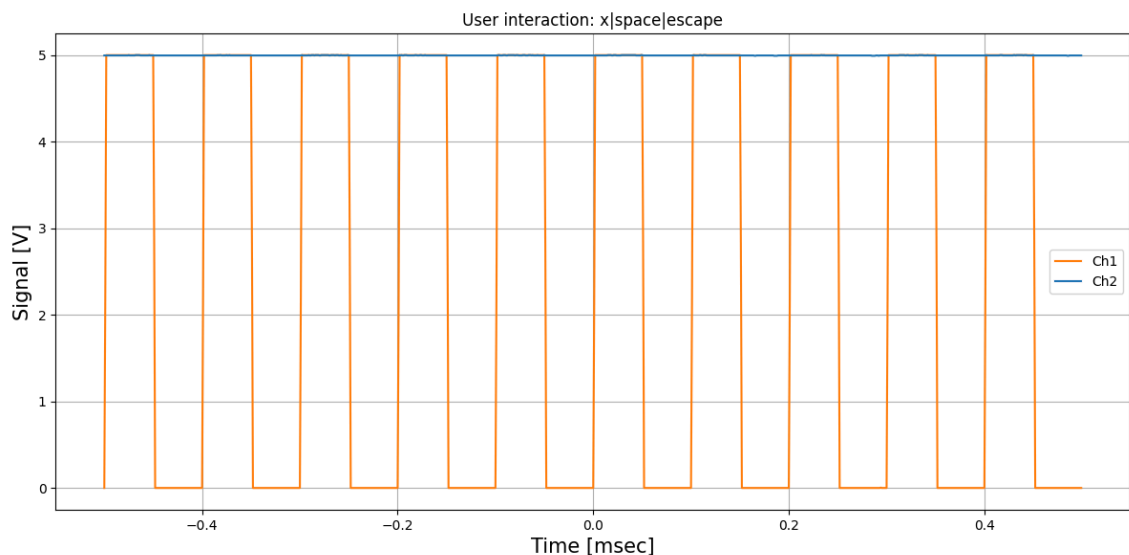


Figura 9: Porta NAND con un ingresso basso fisso, il canale uno è l'ingresso, mentre il canale 2 è l'uscita dalla porta, che, come atteso, rimane alto.

Anche questo si vede bene dalla tabella di verità: se metto a terra, cioè gli faccio assumere il valore 0 o "FALSO", allora considero solo dei casi in cui la porta NAND mi restituisce degli 1, in quanto mi dà 0 solo se A e B sono entrambi 1.

1. Si annota, infine il valore del voltaggio di soglia al quale la porta cambia stato:
 $V_{thr} \simeq 2.34 \text{ V}$ individuato effettuando una spazzata in voltaggio dell'ingresso B della porta NAND da 0 a 5 V. Di seguito l'immagine:

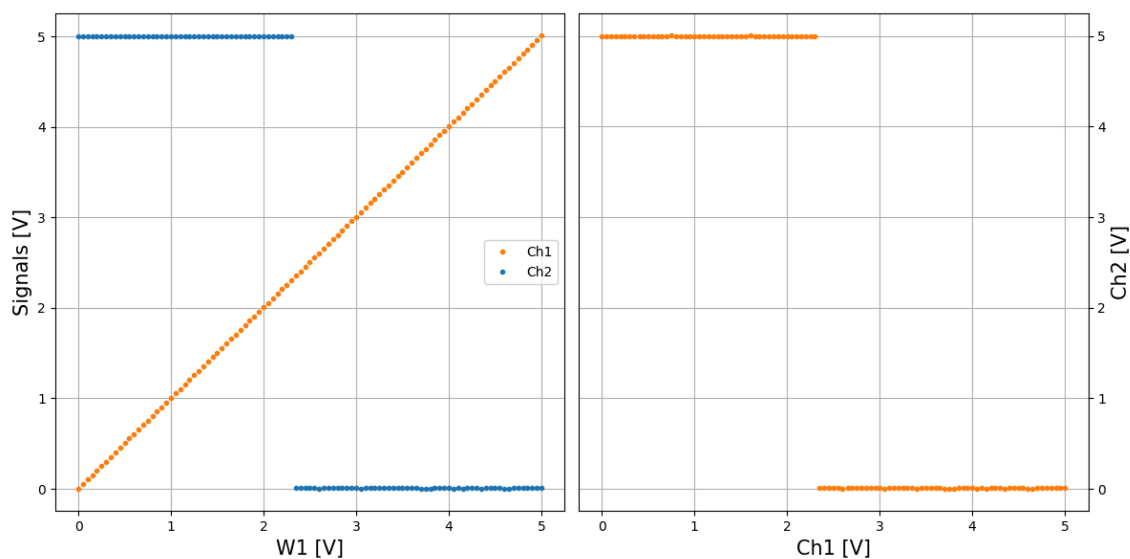


Figura 10: Risposta in voltaggio della porta NAND in esame.

Si fatta una spazzata in voltaggio dell'ingresso per vedere quando l'output della porta cambiava di stato, il valore di voltaggio relativo al cambio di stato coincide proprio con il voltaggio di soglia cercato per la soglia.

Task 6

Obiettivi:

1. Costruire una tabella di verità contenente A, B, Y1, Y2, Y3 e Y4 e verificare se qualcuno dei circuiti riproduce la funzione XOR, ossia $A \oplus B$.
2. Scrivete una formula booleana $Y\#=\dots$ anche per le eventuali reti che non svolgono la funzione XOR.
3. Verificare sperimentalmente se la rete da voi scelta funziona effettivamente come uno XOR, generando con W1 e W2 due ingressi logici dipendenti dal tempo, e verificando che l'uscita riproduce effettivamente la funzione booleana XOR.
4. Salvare il risultato in un grafico CircuitoXOR.pdf.

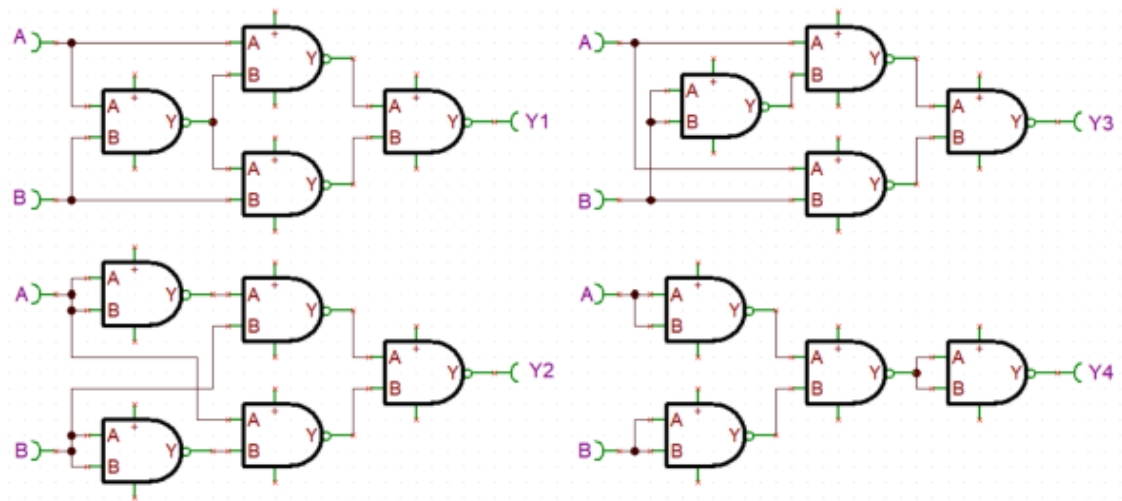


Figura 11: Esempi di reti logiche combinatorie costruite con porte NAND.

L'operazione logica fatta dalla porta XOR è detta "disgiunzione esclusiva" ed assume un valore di verità "VERO" solo quando le due proposizioni che confronta hanno valori di verità diversi (si può pensare con il connettivo "oppure").

Quindi mi aspetto di vedere un segnale alto solo quando A e B sono rispettivamente alto e basso o viceversa, invece quando sono uguali, quindi entrambe alti o bassi, il segnale in uscita sarà basso.

Nota: le formule booleane successive sono state ottenute con le relazioni:

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

$$\overline{\overline{A} + \overline{B}} = \overline{\overline{A}} \cdot \overline{\overline{B}}$$

- Porta logica Y1:

A	B	Y1
1	1	0
0	1	1
1	0	1
0	0	0

è effettivamente uno XOR con:

$$A \cdot \overline{B} + \overline{A} \cdot B = Y1$$

- Porta logica Y2:

A	B	Y2
1	1	0
0	1	1
1	0	1
0	0	0

un altro XOR, con:

$$\overline{A} \cdot B + \overline{B} \cdot A = Y2$$

- Porta logica Y3:

A	B	Y3
1	1	1
0	1	0
1	0	1
0	0	0

riproduce il valore di verità di A, con:

$$A = Y3$$

- Porta logica Y4:

A	B	Y4
1	1	0
0	1	0
1	0	0
0	0	1

concide con:

$$\overline{A} \cdot \overline{B} = Y4$$

Di seguito l'immagine del circuito montato in lab:

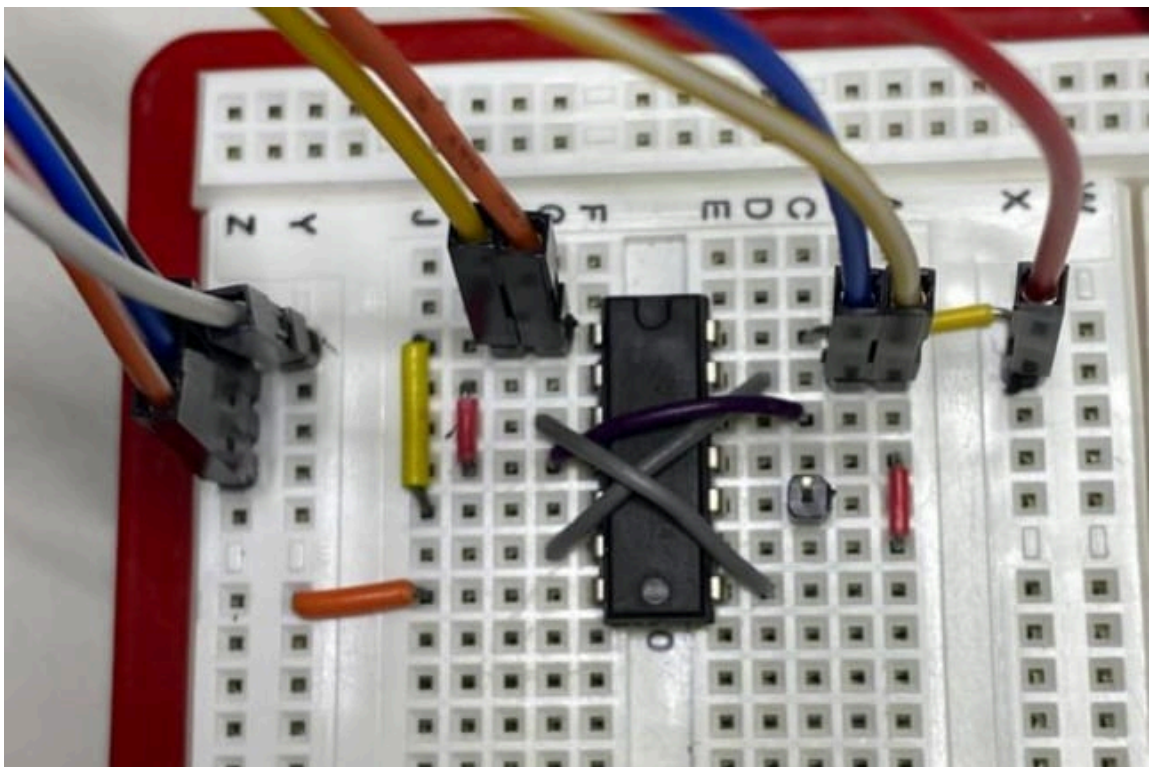


Figura 12: Immagine circuito porta XOR montata in lab.

Si riportano, poi, le immagini di ingressi del circuito e poi dell'uscita sovrapposta ad uno dei due ingressi del circuito (si è scelto di riportare le osservazioni in questo modo in quando, nonostante si sia utilizzate la funzione ".sync()" di tdwf per sincronizzare gli ingressi, comunque questi risultavano sfasati).

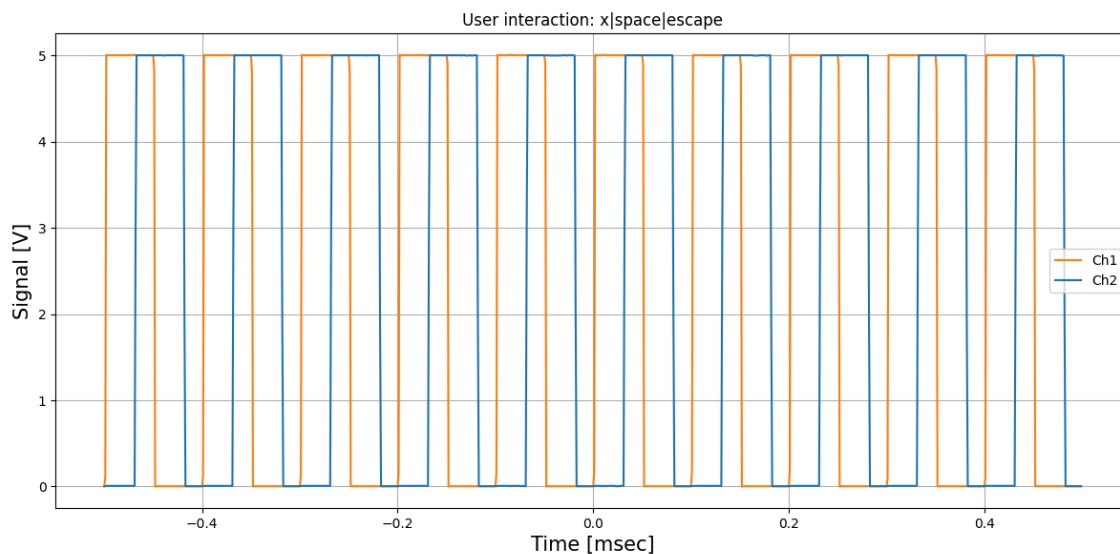


Figura 13: Ingressi della porta XOR.

Notare il loro relativo sfasamento.

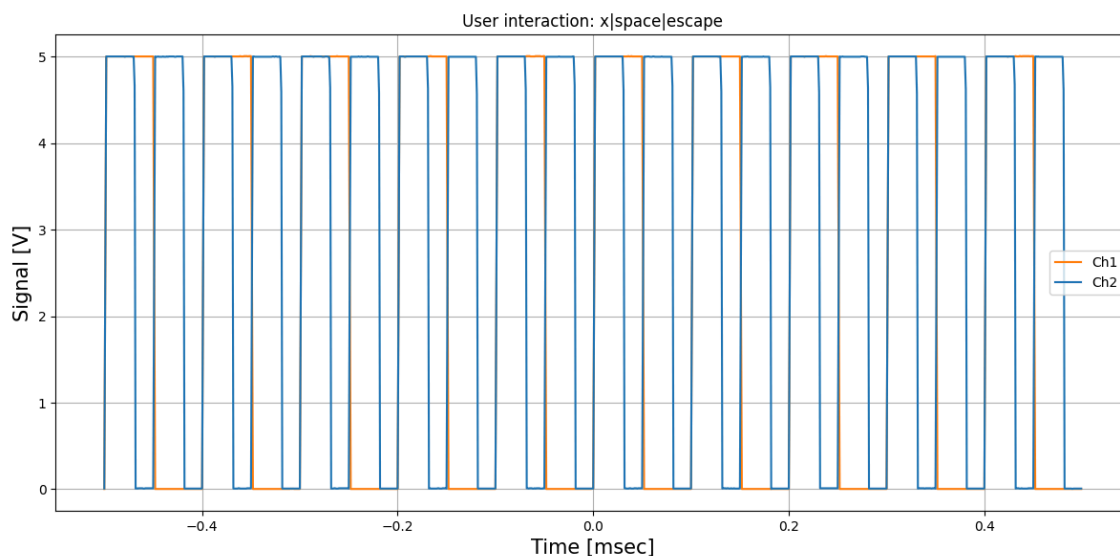


Figura 14: Ingresso del canale 1 (medesimo dell'immagine precedente), messo a confronto con l'uscita dalla porta.

Il funzionamento del circuito è quello atteso, in quanto dove i due ingressi hanno lo stesso livello (sono sovrapposti) l'uscita della porta è bassa, mentre dove occupano livelli diversi, l'uscita è alta, in accordo con la tabella di verità della porta XOR, riportata sopra.

Task 7

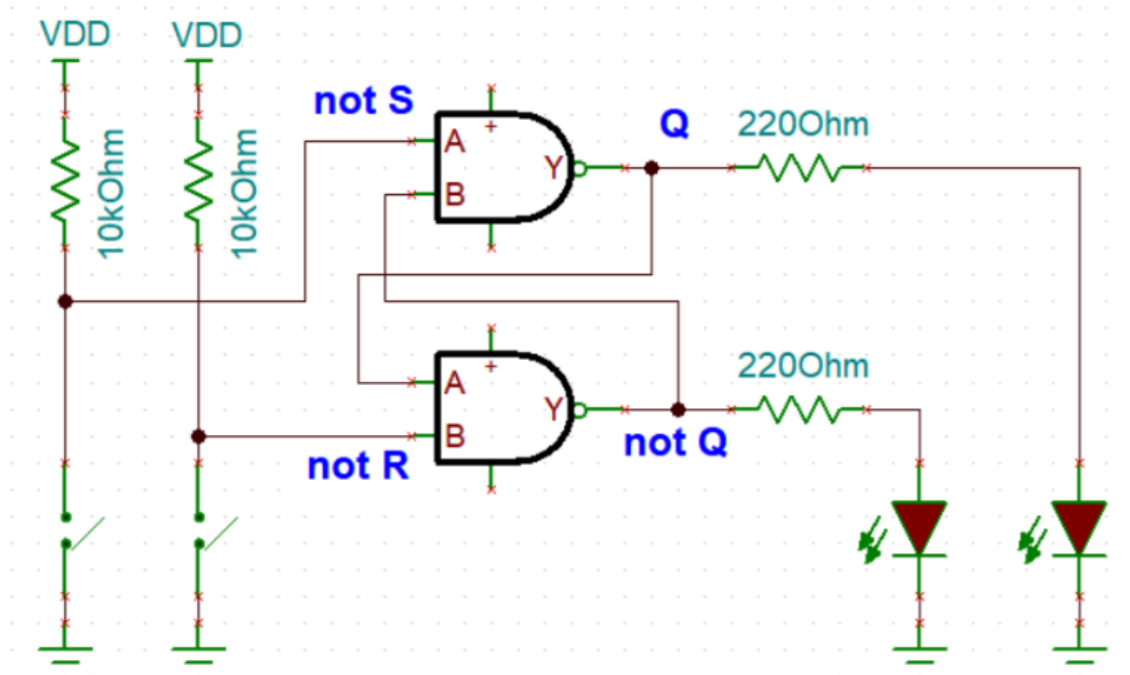


Figura 15: Schema del circuito Latch SR.

Obiettivo: Montare il Latch SR e mostrare che è possibile farlo transire tra i due stati stabili agendo sugli ingressi \overline{S} ed \overline{R} .

Di seguito immagine del Latch montato in lab:

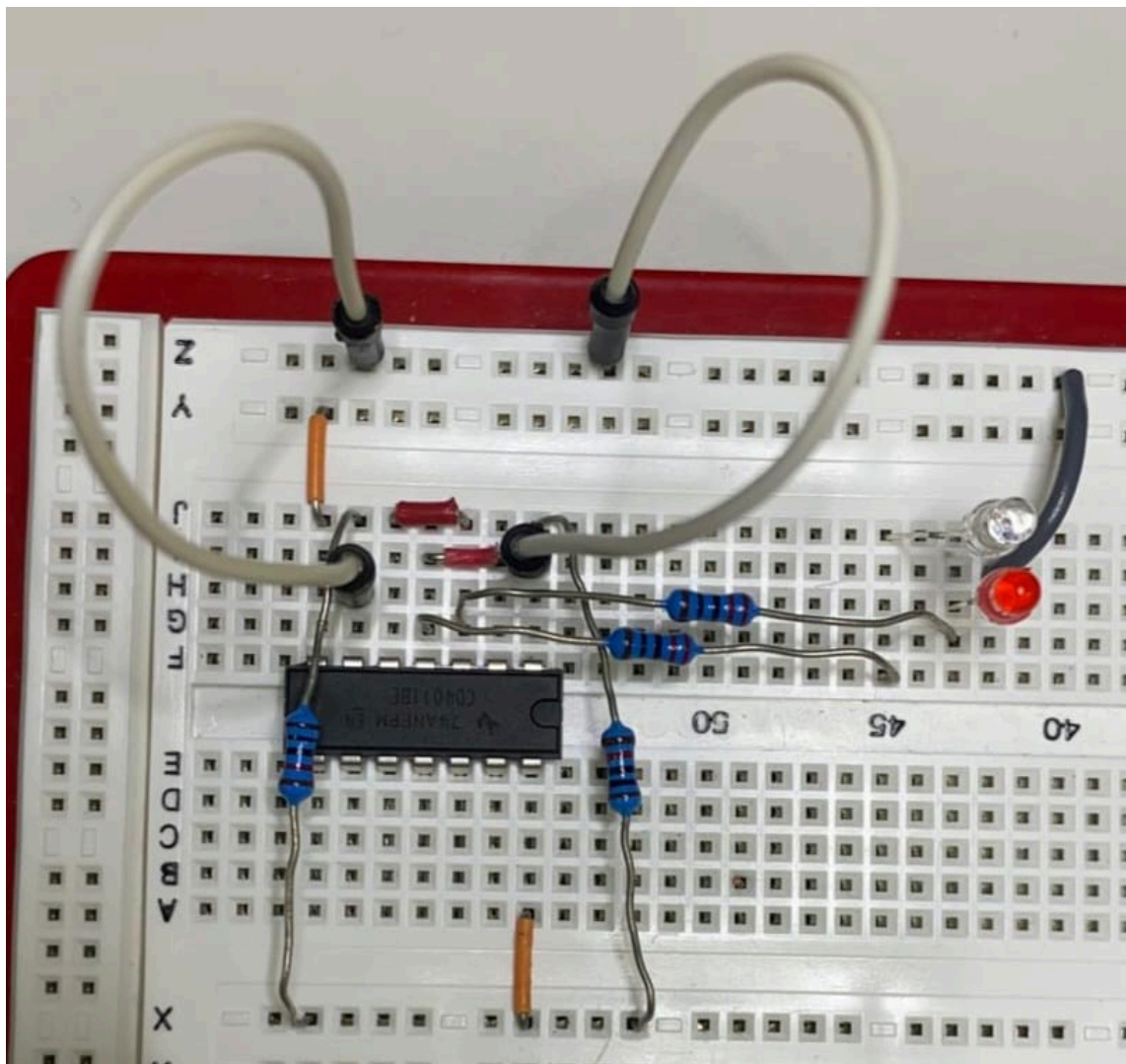


Figura 15: Circuito latch SR montato in lab.

il circuito in esame è un esempio di circuito di logica sequenziale. Quello che mi aspetto è che sulla base dei valori di S ed R le uscite dei due NAND siano alte o basse e di conseguenza i LED collegati al circuito si illuminino o meno.

Di seguito la tabella di verità del circuito:

\overline{S}	\overline{R}	Q	\overline{Q}
1	0	0	1
0	1	1	0
1	1	HO	LD
0	0	F.	S.

Dove HO-LD sta ovviamente per "hold" e F.S. sta per "forbidden state".

Mettere l'ingresso \overline{S} (o l'altro) alto si dice fare un "set" (l'altro "reset"). Di seguito trattiamo tutte le possibili combinazioni possibili di set e reset con annesse immagini così da verificare il funzionamento dell'analogo circuito costruito in lab.

Note:

1. Gli switch sono costituiti dai cavi, che possono essere staccati ed attaccati a piacere, portando gli ingressi ad alto e basso rispettivamente.
 2. Di per sè il circuito è invariante sotto scambio di R ed S, quindi, in modo arbitrario si sceglie come set il cavo di destra nell'immagine e come reset il cavo di sinistra
 3. Perchè i LED si illuminino devono essere in conduzione, quindi la rispettiva uscita delle porte deve essere alta. Nel caso presente il LED rosso è "collegato" a Q, mentre il LED viola a \overline{Q} .
- SET: partiamo dalla prima riga della tabella di verità.

Eseguendo un set nella pratica scollego dalla terra (rail in alto) il cavo di destra lasciando l'altro a terra. Mi aspetto, quindi, che il LED rosso non si illumini in quanto la relativa uscita Q è bassa, mentre il LED viola si illuminerà, in quanto \overline{Q} sarà chiaramente alta e infatti:

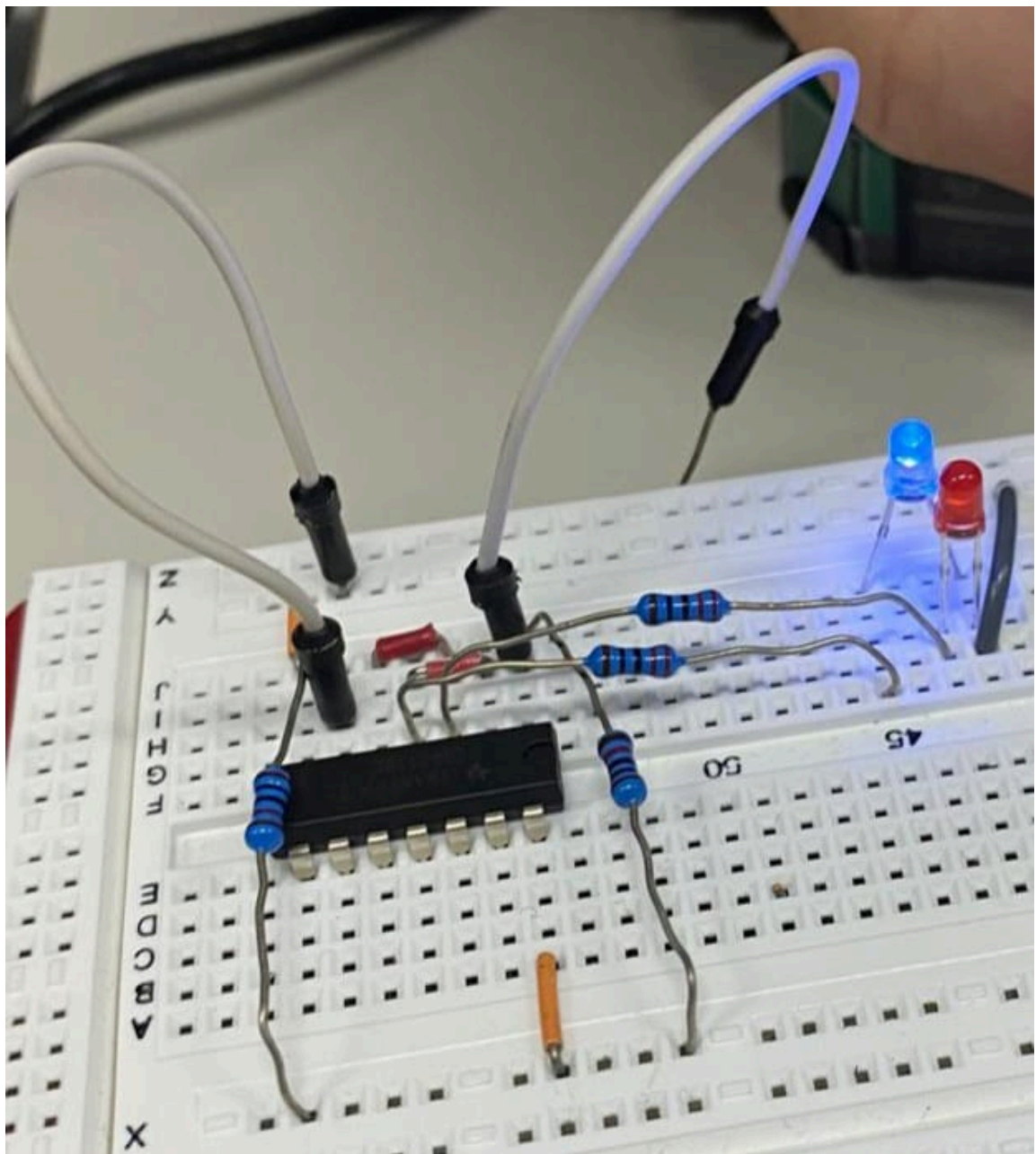


Figura 16: Set e conseguenziale illuminazione del LED viola.

- Primo HOLD: terza riga della tabella di verità.

Scollego anche il cavo di sinistra, effettuando un reset ($\overline{R} = 1$). A livello logico, per come è costruito il circuito, lo stato delle uscite dipende dallo stato precedente, perchè a seconda dello stato precedente le uscite avranno un certo valore di verità e tale resterà in questo stato. Perchè accade questo? Perchè, sempre dalla logica del circuito, se \overline{S} o \overline{R} sono bassi, allora le uscite delle relative porte sono necessariamente alte, per la logica delle porte NAND.

Quindi se \overline{R} è a zero (come nel caso precedentemente trattato) allora \overline{Q} , sarà necessariamente alto e se eseguo un set, allora Q sarà basso, ma eseguendo da questo stato un reset, per la logica dei NAND mi ritroverei ad avere:

\overline{R}	Q	\overline{Q}
1	0	1
1	0	1

e l'uscita \overline{Q} resta invariata dal caso precedente.

Ho quindi uno stato di HOLD ed il LED viola rimane illuminato come se nulla fosse cambiato (ed in effetti, almeno dalla sua parte del circuito, è proprio così) e infatti:

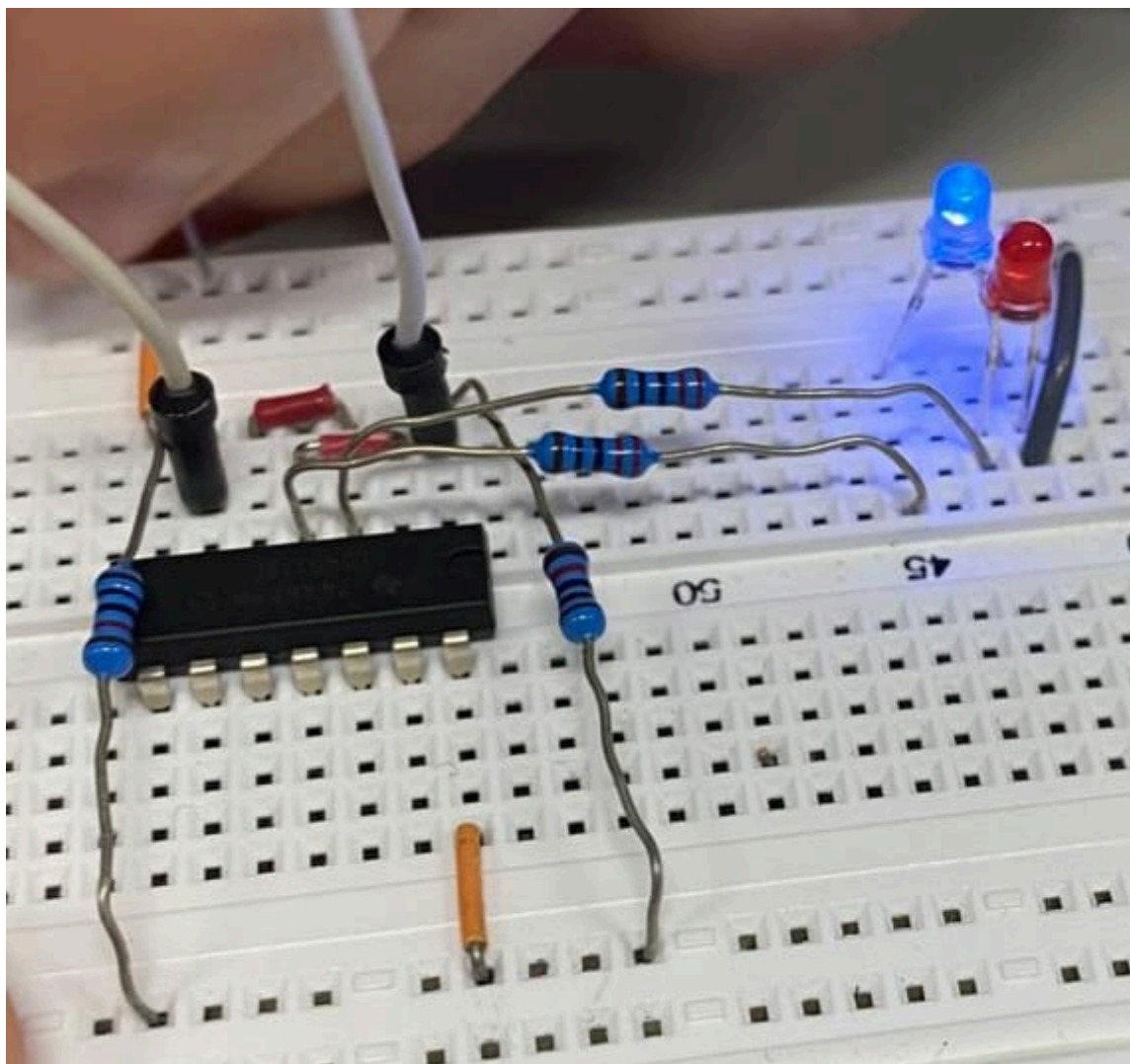


Figura 17: Reset in seguito a Set e mantenimento dello stato precedente del circuito. Purtroppo nell'immagine non si vede bene il cavo di sinistra collegato, ma lo stato delle

uscite è comunque evidente.

- Reset: seconda riga della tabella di verità.

In questo caso sono nella situazione opposta al caso di Set analizzato all'inizio (cavo di sinistra scollegato), quindi \overline{Q} bassa e Q alta, di conseguenza LED viola spento e LED rosso acceso, infatti:

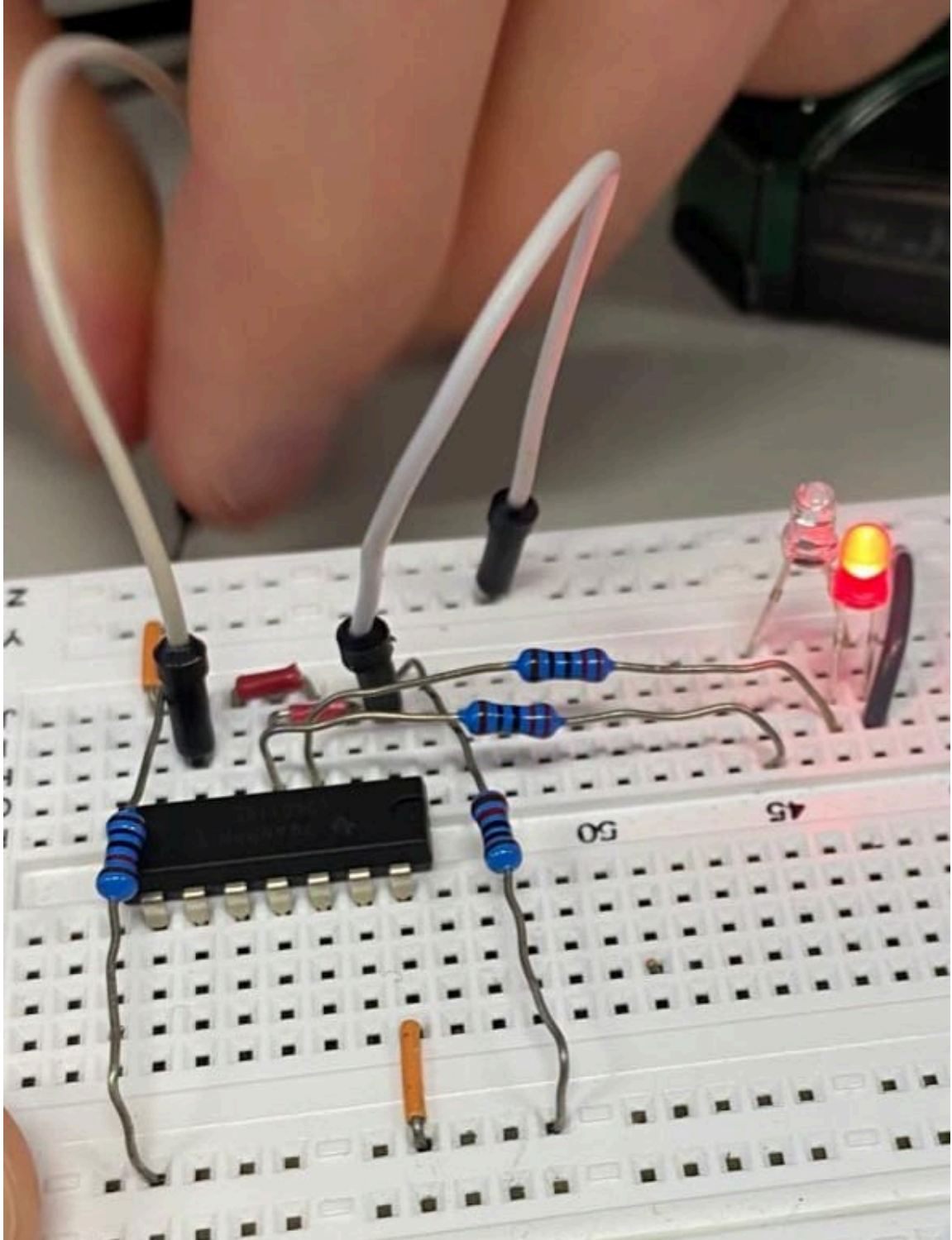


Figura 18: Reset e conseguenziale illuminazione del LED rosso.

- Secondo HOLD: di nuovo terza riga della tabella di verità, ma questa volta eseguo un Set in concatenazione ad un Reset (entrambe i cavi scollegati).

I motivi per i quali le uscite restano invariate al caso del Reset sono già stati trattati nel caso del primo HOLD, la situazione si ripete ora analogamente, ma scambiando ordine di Set e Reset. In definitiva, avrò il LED rosso ancora illuminato:

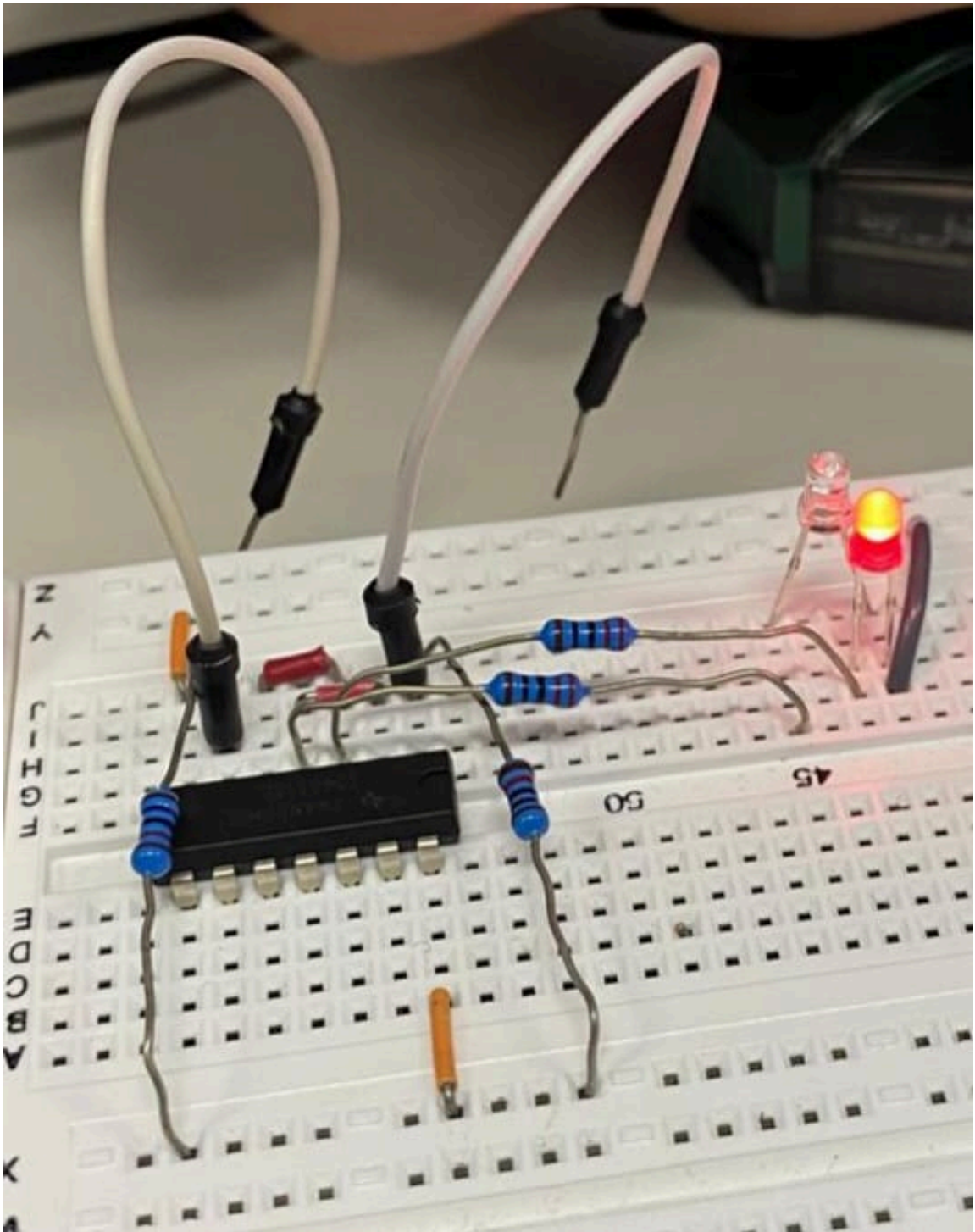


Figura 19: Set in seguito a Reset e mantenimento dello stato precedente del circuito.

- Forbidden state: stato proibito (logicamente parlando) nel senso che \overline{Q} e Q sono entrambe alti.

È chiaro che in questo caso entrambe i LED risulteranno illuminati (con entrambe i cavi collegati):

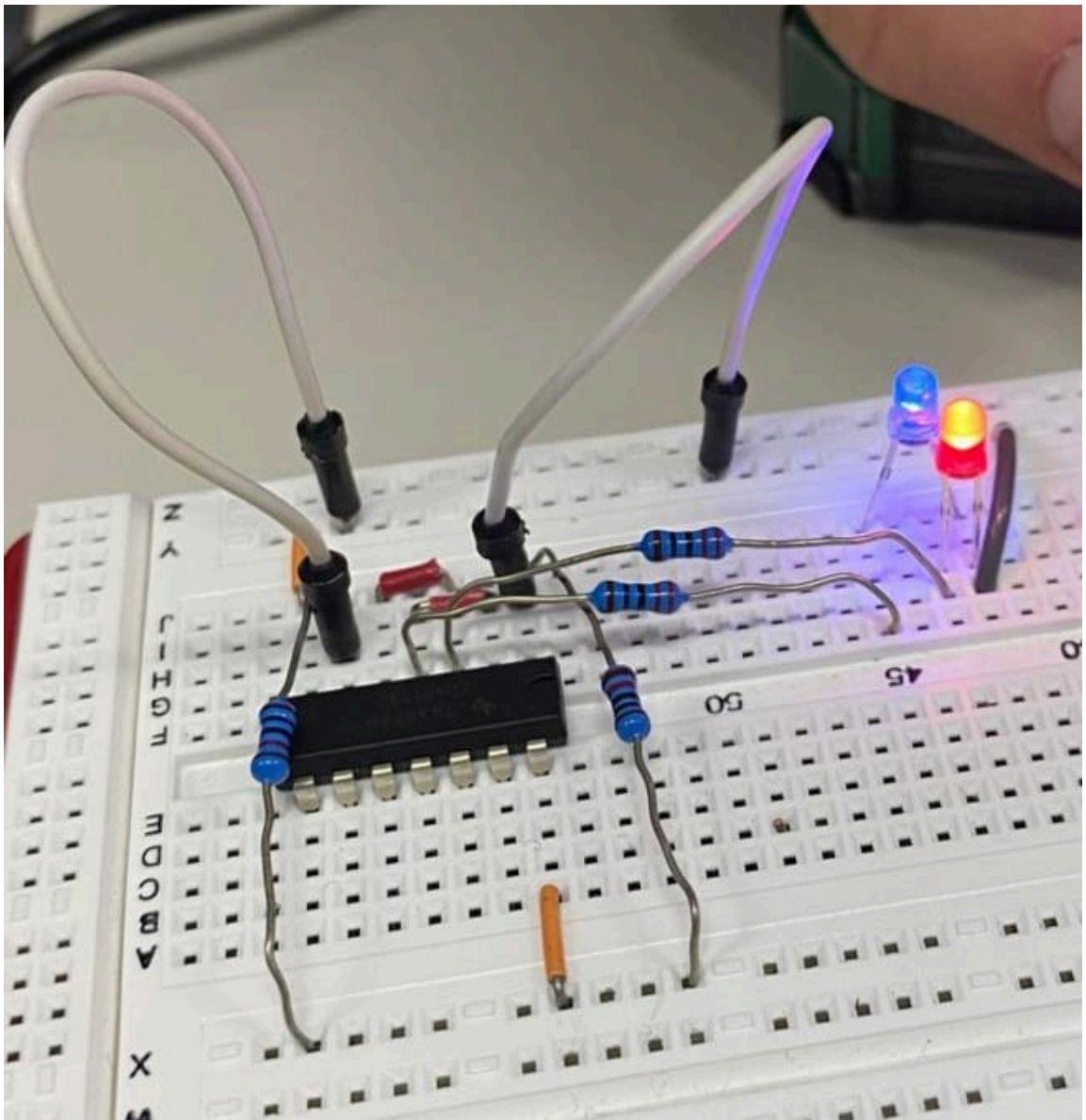


Figura 20: Entrambe i cavi collegati che portano entrambe le uscite ad essere alte (essendo \overline{S} e \overline{R} bassi contemporaneamente).