S09 – Registri a scorrimento e generatore pseudocasuale

Dai divisori ai LFSR: MC14557, CD4013 e ciclo di feedback

Nome Cognome
T10

Tecnologie Digitali

11 dicembre 2025

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Obiettivi della sessione

Cosa abbiamo costruito e cosa abbiamo analizzato

- Divisori di frequenza con FF D (CD4013).
- Registro a scorrimento programmabile MC14557.
- Misura del *ritardo di propagazione* per vari valori di n.
- Generatore di bit pseudocasuali tramite XOR e feedback.
- Analisi della periodicità e confronto con la teoria.

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Divisore di frequenza per 2

- Collegamento: $\overline{Q} \to D$, clock su fronte di salita.

Divisore di frequenza per 2

- Collegamento: $\overline{Q} \to D$, clock su fronte di salita.
- In uscita si ottiene $f_{\text{out}} = f_{\text{in}}/2$.

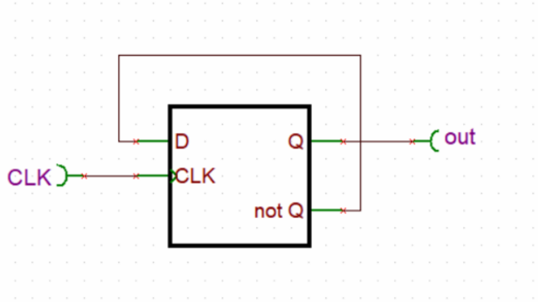


Figura: *Schema del divisore di frequenza per 2 con* FF *D.*

Divisore di frequenza per 2

- Collegamento: $\overline{Q} \to D$, clock su fronte di salita.
- In uscita si ottiene $f_{\text{out}} = f_{\text{in}}/2$.
- È il blocco base per contatori, divisori e registri a scorrimento.

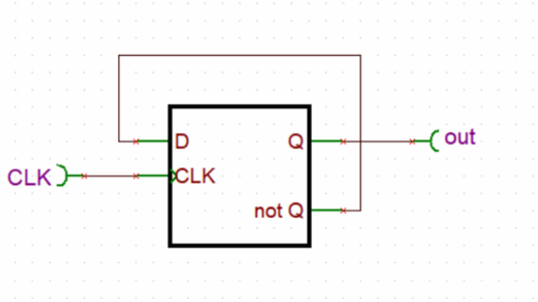


Figura: *Schema del divisore di frequenza per 2 con* FF *D.*

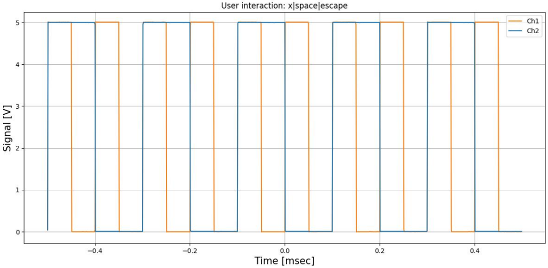


Figura: *Forme d'onda sperimentali: clock in ingresso (Ch1) e uscita divisa per 2 (Ch2).*

Divisore di frequenza per 3

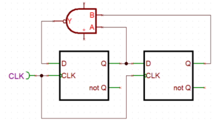
- Due FF D in cascata con rete di feedback logica.

Divisore di frequenza per 3

- Due FF D in cascata con rete di feedback logica.
- Condizione di feedback: $IN = \overline{Q_1^n} \cdot Q_2^n$.

Stato n	$IN = \overline{Q_1^n} \cdot Q_2^n$	Stato $n+1$	$OUT = Q_2^{n+1}$
00	1	10	0
10	1	11	1
01	1	10	0
11	0	01	1

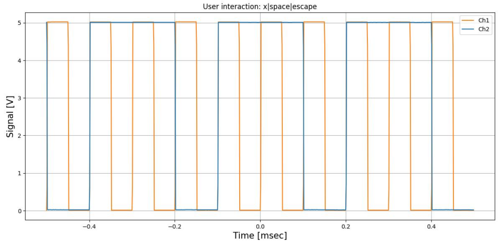
Divisore di frequenza per 3



Schema del divisore di frequenza per 3 con due FF D e porta NAND/ di feedback.

- Due FF D in cascata con rete di feedback logica.
- Condizione di feedback: $IN = \overline{Q_1^n} \cdot Q_2^n$.
- In regime stazionario si ottiene $f_{out} = f_{in}/3$.

Stato n	$IN = \overline{Q_1^n} \cdot Q_2^n$	Stato $n+1$	$OUT = Q_2^{n+1}$
00	1	10	0
10	1	11	1
01	1	10	0
11	0	01	1



Forme d'onda sperimentali

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Registro lineare a lunghezza variabile

- Il chip contiene blocchi da 1, 2, 4, 8, 16 e 32 bit.

Registro lineare a lunghezza variabile

- Il chip contiene blocchi da 1, 2, 4, 8, 16 e 32 bit.
- Gli ingressi L_i selezionano quali blocchi attivare.

Registro lineare a lunghezza variabile

- Il chip contiene blocchi da 1, 2, 4, 8, 16 e 32 bit.
- Gli ingressi L_i selezionano quali blocchi attivare.
- Lunghezza: $n = 1 + L_1 + 2L_2 + \cdots + 32L_{32}$.

Registro lineare a lunghezza variabile

- Il chip contiene blocchi da 1, 2, 4, 8, 16 e 32 bit.
- Gli ingressi L_i selezionano quali blocchi attivare.
- Lunghezza: $n = 1 + L_1 + 2L_2 + \cdots + 32L_{32}$.
- Ingressi cruciali: A/B, CE, RESET.

Registro lineare a lunghezza variabile

- Il chip contiene blocchi da 1, 2, 4, 8, 16 e 32 bit.
- Gli ingressi L_i selezionano quali blocchi attivare.
- Lunghezza: $n = 1 + L_1 + 2L_2 + \cdots + 32L_{32}$.
- Ingressi cruciali: A/B, CE, RESET.

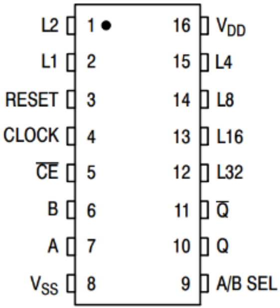


Figure 2. Pin Assignment

Piedinatura e schema a blocchi del MC14557.

Ritardo di propagazione

- Misura: differenza temporale tra ingresso A e uscita Q.

Ritardo di propagazione

- Misura: differenza temporale tra ingresso A e uscita Q.
- Ritardo oscillante con n.

Ritardo di propagazione

- Misura: differenza temporale tra ingresso A e uscita Q.
- Ritardo oscillante con n.
- Necessario sincronizzare W1 e W2.

Ritardo di propagazione

- Misura: differenza temporale tra ingresso A e uscita Q.
- Ritardo oscillante con n.
- Necessario sincronizzare W1 e W2.

reg_scorr_32bit.png

Forme d'onda 32 bit (sopra), 64 bit (sotto)

Ritardo di propagazione

reg_scorr_32bit.png

Forme d'onda 32 bit (sopra), 64 bit (sotto)

reg_scorr_64bit.png

- Misura: differenza temporale tra ingresso A e uscita Q.
- Ritardo oscillante con n.
- Necessario sincronizzare W1 e W2.

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

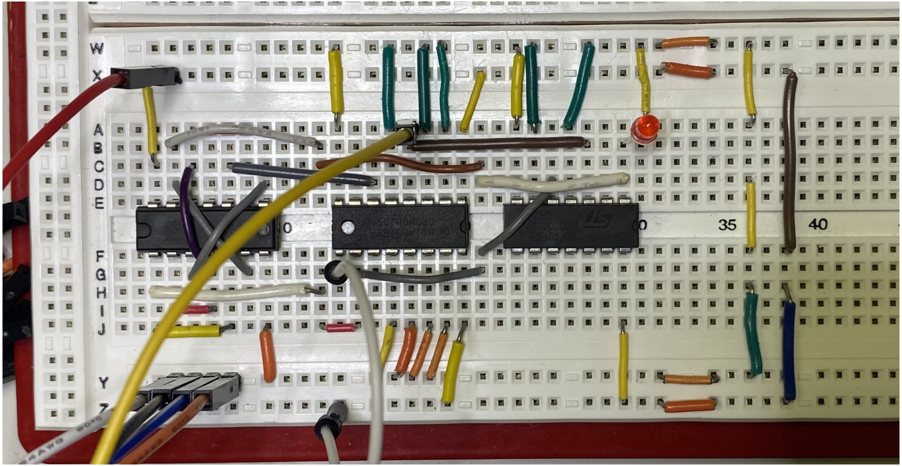
Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Architettura del generatore

- Feedback: XOR tra uscita del MC14557 e FF CD4013.
- Innesco: caricare tutti 1 con ingresso A $\rightarrow$ quindi selezionare B.



Analisi della periodicità

- Dai calcoli emerge:

Analisi della periodicità

- Dai calcoli emerge:
  - $n = 1, 2, 3, 5$: periodo max $2^m - 1$.

Analisi della periodicità

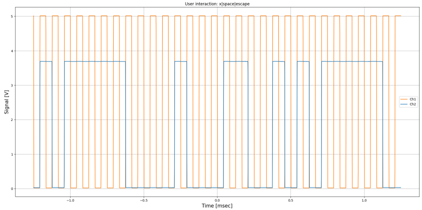
- Dai calcoli emerge:
  - $n = 1, 2, 3, 5$: periodo max $2^m - 1$.
  - $n = 4$: compaiono sottocicli, periodo ridotto ($L = 21$).

n	**m=n+1**	**Stato iniz.**	**Sequenza teorica (da Q)**	L_{teo}
1	2	11	1 1 0	3
2	3	111	1 1 0 1 1 1 1	7
3	4	1111	1 1 1 1 0 0 0 1 0 0 1 1 0 1 0	15
4	5	11111	1 1 1 1 1 0 0 0 0 1 0 0 0 1 1 0 0 1 0 1 0	21
5	6	111111	111111000001... (seq. max)	63

Analisi della periodicità

- Dai calcoli emerge:
  - $n = 1, 2, 3, 5$: periodo max $2^m - 1$.
  - $n = 4$: compaiono sottocicli, periodo ridotto ($L = 21$).
- Confronto tra teoria e misure:

n	**m=n+1**	**Stato iniz.**	**Sequenza teorica (da Q)**	L_{teo}
1	2	11	1 1 0	3
2	3	111	1 1 0 1 1 1 1	7
3	4	1111	1 1 1 1 0 0 0 1 0 0 1 1 0 1 0	15
4	5	11111	1 1 1 1 1 0 0 0 0 1 0 0 0 1 1 0 0 1 0 1 0	21
5	6	111111	111111000001... (seq. max)	63



Simulazione VS Acquisizione per ($n = 4$).

Estrazione sequenza di bit dal segnale analogico

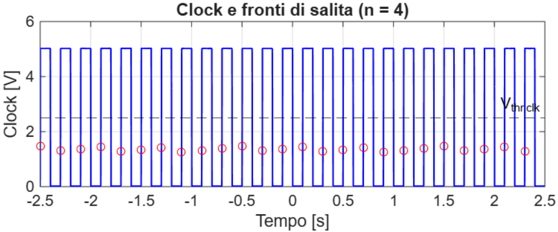
Come MATLAB ricava la sequenza di bit

- Si identificano i fronti di salita del clock tramite soglia $V_{\mathrm{thr,clk}} = 2.5\,\mathrm{V}$.
- Si calcola il numero medio di campioni per periodo del clock direttamente dai dati sperimentali.
- Si campiona l'uscita V_{out} a metà di ogni periodo $\Rightarrow$ valore stabile $\rightarrow$ bit $0/1$.
- Il periodo L si determina trovando quando la sequenza si ripete.

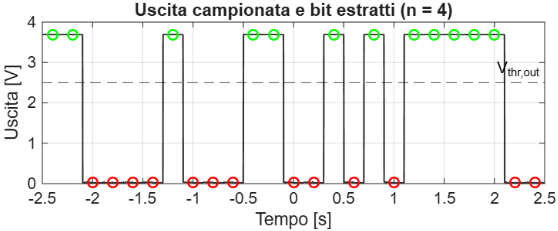
Estrazione sequenza di bit dal segnale analogico

Come MATLAB ricava la sequenza di bit

- Si identificano i fronti di salita del clock tramite soglia $V_{\mathrm{thr,clk}} = 2.5\,\mathrm{V}$.
- Si calcola il numero medio di campioni per periodo del clock direttamente dai dati sperimentali.
- Si campiona l'uscita V_{out} a metà di ogni periodo $\Rightarrow$ valore stabile $\rightarrow$ bit 0/1.
- Il periodo L si determina trovando quando la sequenza si ripete.

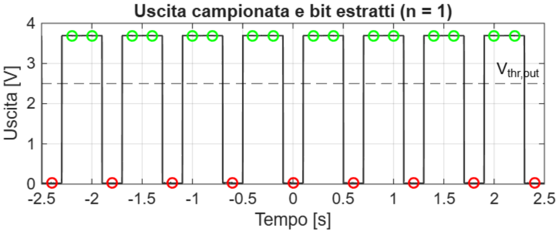


Clock e fronti di salita ($n = 4$).

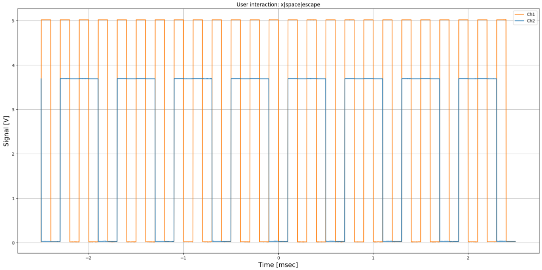


Uscita campionata e bit estratti ($n = 4$).

Confronto uscita: MATLAB vs misura

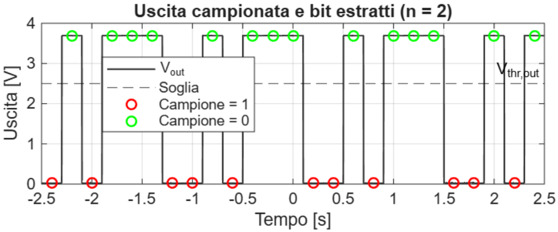


MATLAB, registro a $n = 1$ bit

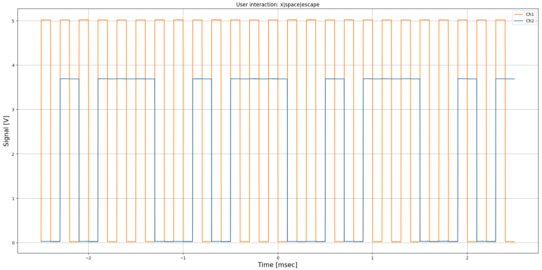


Misura sperimentale, $n = 1$

Confronto uscita: MATLAB vs misura

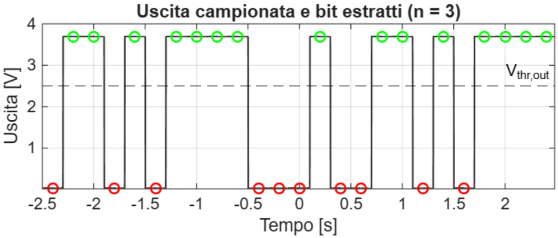


MATLAB, registro a $n = 2$ bit

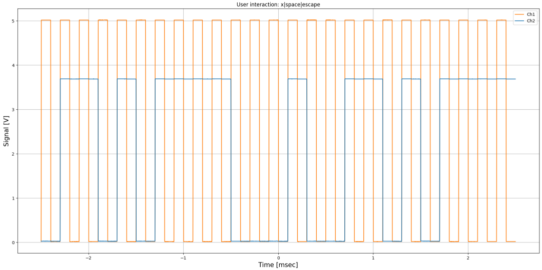


Misura sperimentale, $n = 2$

Confronto uscita: MATLAB vs misura

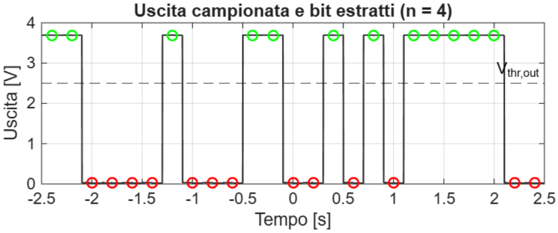


MATLAB, registro a $n = 3$ bit

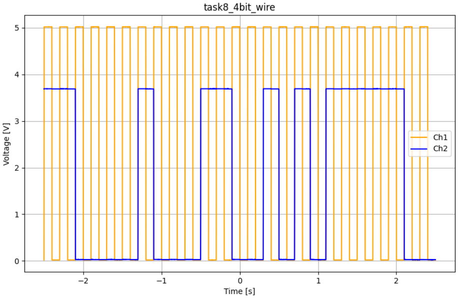


Misura sperimentale, $n = 3$

Confronto uscita: MATLAB vs misura

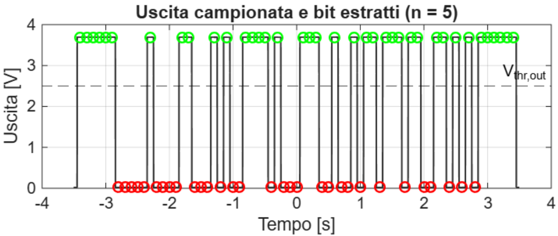


MATLAB, registro a $n = 4$ bit

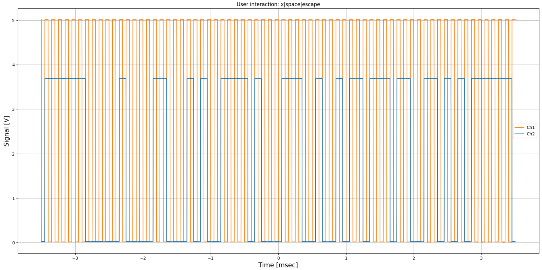


Misura sperimentale, $n = 4$

Confronto uscita: MATLAB vs misura



MATLAB, registro a $n = 5$ bit



Misura sperimentale, $n = 5$

Periodo massimo di un LFSR

Obiettivo

Variando il numero di bit n del registro a scorrimento si vuole determinare il **massimo periodo di ripetizione** osservabile con il circuito montato, usando tre punti di vista:

- **Teorico**: previsione del periodo di un LFSR a n bit con polinomio caratteristico primitivo ($L = 2^n - 1$).

Periodo massimo di un LFSR

Obiettivo

Variando il numero di bit n del registro a scorrimento si vuole determinare il **massimo periodo di ripetizione** osservabile con il circuito montato, usando tre punti di vista:

- **Teorico**: previsione del periodo di un LFSR a n bit con polinomio caratteristico primitivo ($L = 2^n - 1$).
- **Numerico**: simulazione dell'LFSR e calcolo esplicito del periodo della sequenza.

Periodo massimo di un LFSR

Obiettivo

Variando il numero di bit n del registro a scorrimento si vuole determinare il **massimo periodo di ripetizione** osservabile con il circuito montato, usando tre punti di vista:

- **Teorico**: previsione del periodo di un LFSR a n bit con polinomio caratteristico primitivo ($L = 2^n - 1$).
- **Numerico**: simulazione dell'LFSR e calcolo esplicito del periodo della sequenza.
- **Sperimentale**: misura dell'uscita del registro e ricostruzione della stringa di bit.

Periodo massimo di un LFSR

Obiettivo

Variando il numero di bit n del registro a scorrimento si vuole determinare il **massimo periodo di ripetizione** osservabile con il circuito montato, usando tre punti di vista:

- **Teorico**: previsione del periodo di un LFSR a n bit con polinomio caratteristico primitivo ($L = 2^n - 1$).
- **Numerico**: simulazione dell'LFSR e calcolo esplicito del periodo della sequenza.
- **Sperimentale**: misura dell'uscita del registro e ricostruzione della stringa di bit.

Strategia

Si utilizza il chip MC14557 configurato con un certo numero di bit attivi: dapprima $n = 7$ (registro a 8 bit), poi $n = 6$, confrontando il periodo atteso con quello misurato.

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;
  - numero di punti campionati il più alto possibile.

Scelte finali dei parametri

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;
  - numero di punti campionati il più alto possibile.

Scelte finali dei parametri

- Frequenza di campionamento: $f_{\mathrm{sampling}} = 1 \times 10^5$ Sa/s, con $N = 10000$ punti $\Rightarrow$ finestra temporale ≈ 0.1 s.

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;
  - numero di punti campionati il più alto possibile.

Scelte finali dei parametri

- Frequenza di campionamento: $f_{\text{sampling}} = 1 \times 10^5$ Sa/s, con $N = 10000$ punti $\Rightarrow$ finestra temporale ≈ 0.1 s.
- Generatore W2 lento, $f_{W2} = 5$ Hz, in modo che la semionda bassa duri ~ 0.1 s $\Rightarrow$ si misura un singolo periodo durante la semionda bassa.

Scelta dei parametri di misura

Vincoli sperimentali

- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;
  - numero di punti campionati il più alto possibile.

Scelte finali dei parametri

- Frequenza di campionamento: $f_{\text{sampling}} = 1 \times 10^5\,\text{Sa/s}$, con $N = 10000$ punti $\Rightarrow$ finestra temporale $\approx 0.1\,\text{s}$.
- Generatore W2 lento, $f_{W2} = 5\,\text{Hz}$, in modo che la semionda bassa duri $\sim 0.1\,\text{s}$ $\Rightarrow$ si misura un singolo periodo durante la semionda bassa.
- **Configurazione iniziale**: MC14557 a 7 bit $\Rightarrow$ LFSR a 8 bit, periodo atteso $L_{\text{teo}} = 2^8 - 1 = 255$ stati (in assenza di sottocicli).

Scelta dei parametri di misura

Vincoli sperimentali

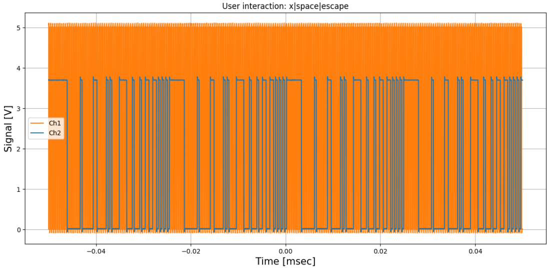
- Più bit $\Rightarrow$ periodo più lungo, ma anche **tempo di misura** più lungo.
- AD2: massimo 1×10^8 Sa/s, ma con ADC a 14 bit il numero di punti utili è limitato ($\sim 1.6 \times 10^4$).
- Si vuole mantenere:
  - numero di bit n il più alto possibile;
  - frequenza di clock non troppo elevata, per avere $\geq$ 4–5 campioni per livello logico;
  - numero di punti campionati il più alto possibile.

Scelte finali dei parametri

- Frequenza di campionamento: $f_{\mathrm{sampling}} = 1 \times 10^5$ Sa/s, con $N = 10000$ punti $\Rightarrow$ finestra temporale ≈ 0.1 s.
- Generatore W2 lento, $f_{W2} = 5$ Hz, in modo che la semionda bassa duri ~ 0.1 s $\Rightarrow$ si misura un singolo periodo durante la semionda bassa.
- **Configurazione iniziale**: MC14557 a 7 bit $\Rightarrow$ LFSR a 8 bit, periodo atteso $L_{\mathrm{teo}} = 2^8 - 1 = 255$ stati (in assenza di sottocicli).
- Frequenza di clock scelta: $f_{\mathrm{clock}} \approx 2550$ Hz, circa 5 volte inferiore a f_{sampling}.

Configurazione MC14557 a 7 bit (LFSR a 8 bit)

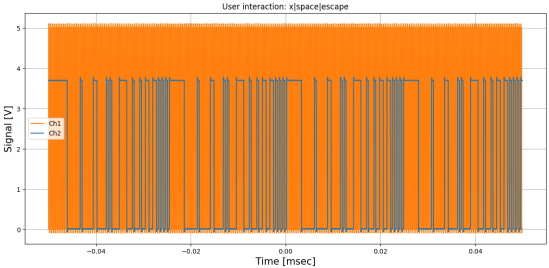
- Teoricamente, con polinomio primitivo ci si aspetta un periodo $L_{\mathrm{teo}} = 2^8 - 1 = 255$ stati.



Acquisizione con MC14557 configurato a 7 bit: il ciclo si ripete più volte nel tempo di osservazione, evidenziando un sottociclo.

Configurazione MC14557 a 7 bit (LFSR a 8 bit)

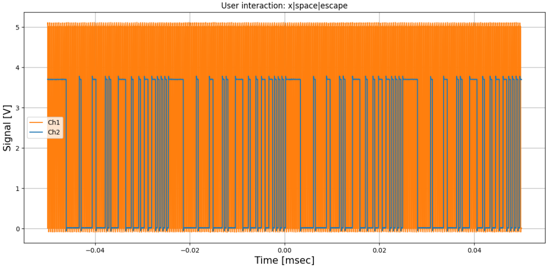
- Teoricamente, con polinomio primitivo ci si aspetta un periodo $L_{\mathrm{teo}} = 2^8 - 1 = 255$ stati.
- In misura si osserva però una sequenza che si ripete ~ 4 volte nella finestra di $0.1\,\mathrm{s}$.



Acquisizione con MC14557 configurato a 7 bit: il ciclo si ripete più volte nel tempo di osservazione, evidenziando un sottociclo.

Configurazione MC14557 a 7 bit (LFSR a 8 bit)

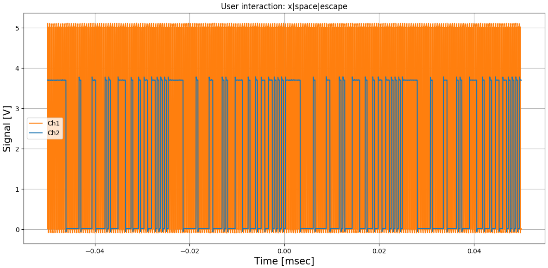
- Teoricamente, con polinomio primitivo ci si aspetta un periodo $L_{\mathrm{teo}} = 2^8 - 1 = 255$ stati.
- In misura si osserva però una sequenza che si ripete ~ 4 volte nella finestra di $0.1\,\mathrm{s}$.
- Stimando il numero di bit distinti nel singolo ciclo si trova un **sottociclo** di circa 63 stati, molto inferiore a 255.



Acquisizione con MC14557 configurato a 7 bit: il ciclo si ripete più volte nel tempo di osservazione, evidenziando un sottociclo.

Configurazione MC14557 a 7 bit (LFSR a 8 bit)

- Teoricamente, con polinomio primitivo ci si aspetta un periodo $L_{\text{teo}} = 2^8 - 1 = 255$ stati.
- In misura si osserva però una sequenza che si ripete ~ 4 volte nella finestra di $0.1\,\text{s}$.
- Stimando il numero di bit distinti nel singolo ciclo si trova un **sottociclo** di circa 63 stati, molto inferiore a 255.
- Conclusione: la combinazione di tap usata sul MC14557 non corrisponde a un polinomio primitivo a 8 bit, quindi l'LFSR non esplora tutti gli stati possibili.

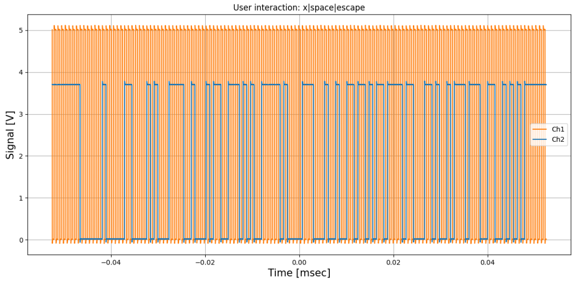


Acquisizione con MC14557 configurato a 7 bit: il ciclo si ripete più volte nel tempo di osservazione, evidenziando un sottociclo.

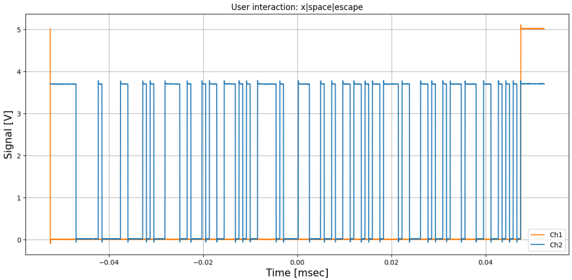
Configurazione MC14557 a 6 bit (LFSR a 7 bit)

Nuova configurazione

- Per evitare i sottocicli si riduce il numero di bit: MC14557 configurato a 6 bit $\Rightarrow$ LFSR a 7 bit.



Acquisizione di un periodo (circa) del ciclo a 7 bit.

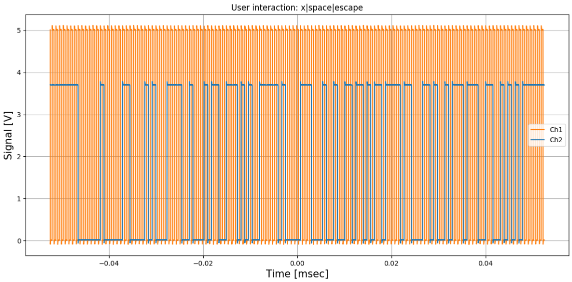


Acquisizione con clock doppio: si osservano due periodi completi.

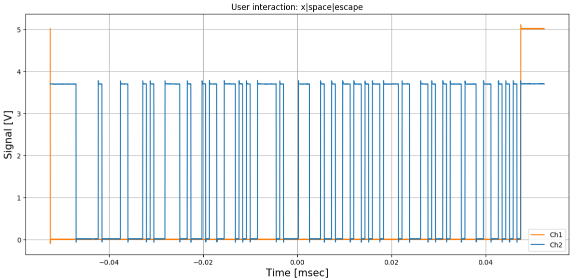
Configurazione MC14557 a 6 bit (LFSR a 7 bit)

Nuova configurazione

- Per evitare i sottocicli si riduce il numero di bit: MC14557 configurato a 6 bit $\Rightarrow$ LFSR a 7 bit.
- Teoricamente ci si aspetta un periodo $L_{\text{teo}} = 2^7 - 1 = 127$ stati.



Acquisizione di un periodo (circa) del ciclo a 7 bit.

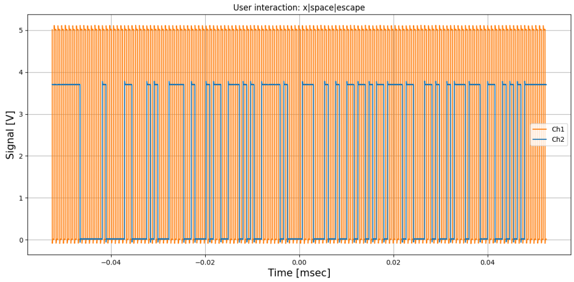


Acquisizione con clock doppio: si osservano due periodi completi.

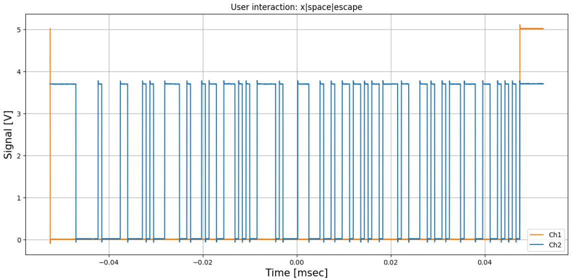
Configurazione MC14557 a 6 bit (LFSR a 7 bit)

Nuova configurazione

- Per evitare i sottocicli si riduce il numero di bit: MC14557 configurato a 6 bit $\Rightarrow$ LFSR a 7 bit.
- Teoricamente ci si aspetta un periodo $L_{\text{teo}} = 2^7 - 1 = 127$ stati.
- Si mantiene la stessa strategia di misura: $f_{\text{sampling}} = 1 \times 10^5\,\text{Sa/s}$, $N = 10000$ punti, $f_{\text{clock}} \approx 1270\,\text{Hz}$.



Acquisizione di un periodo (circa) del ciclo a 7 bit.



Acquisizione con clock doppio: si osservano due periodi completi.

Confronto teorico, numerico e sperimentale (n = 6)

Periodo atteso e calcolo numerico

- **Teorico**: per l'LFSR a 7 bit con polinomio scelto ci si aspetta una stringa binaria di $L_{\text{teo}} = 127$ bit che si ripete ciclicamente.

Confronto teorico, numerico e sperimentale (n = 6)

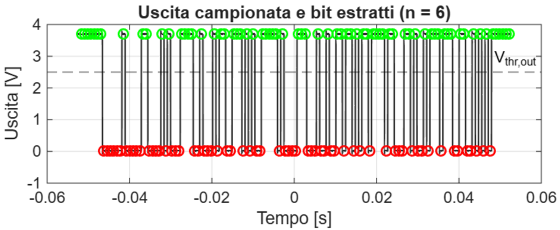
Periodo atteso e calcolo numerico

- **Teorico**: per l'LFSR a 7 bit con polinomio scelto ci si aspetta una stringa binaria di $L_{\text{teo}} = 127$ bit che si ripete ciclicamente.
- **Numerico**: ripetendo le operazioni dell'Homework 1 si ottiene una stringa binaria teorica di lunghezza 127, che definisce il contenuto del registro a ogni colpo di clock.

Confronto teorico, numerico e sperimentale (n = 6)

Periodo atteso e calcolo numerico

- **Teorico**: per l'LFSR a 7 bit con polinomio scelto ci si aspetta una stringa binaria di $L_{\text{teo}} = 127$ bit che si ripete ciclicamente.
- **Numerico**: ripetendo le operazioni dell'Homework 1 si ottiene una stringa binaria teorica di lunghezza 127, che definisce il contenuto del registro a ogni colpo di clock.
- **Sperimentale**: applicando il codice MATLAB del Task 9 ai dati misurati si ricostruisce la stringa binaria sperimentale.



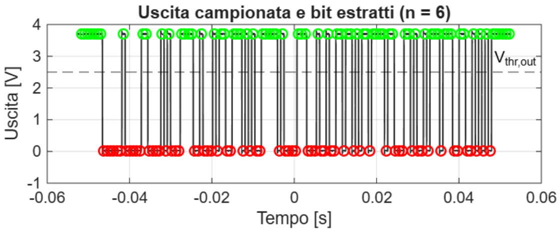
Uscita campionata e bit estratti ($n = 6$): la stringa ricostruita ha periodo $L = 127$.

Confronto teorico, numerico e sperimentale (n = 6)

Periodo atteso e calcolo numerico

- **Teorico**: per l'LFSR a 7 bit con polinomio scelto ci si aspetta una stringa binaria di $L_{\mathrm{teo}} = 127$ bit che si ripete ciclicamente.
- **Numerico**: ripetendo le operazioni dell'Homework 1 si ottiene una stringa binaria teorica di lunghezza 127, che definisce il contenuto del registro a ogni colpo di clock.
- **Sperimentale**: applicando il codice MATLAB del Task 9 ai dati misurati si ricostruisce la stringa binaria sperimentale.

- Confrontando le due stringhe si vede che:
  - coincidono bit-a-bit per i primi 127 bit;
  - dopo il 127-esimo bit la sequenza sperimentale ricomincia dall'inizio, come previsto.
- Non si osservano sottocicli: il periodo sperimentale coincide con quello teorico.



Uscita campionata e bit estratti ($n = 6$): la stringa ricostruita ha periodo $L = 127$.

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Criticità tipiche

- **Pin flottanti**: CAUSA $\Rightarrow$ instabilità logica. SOLUZIONE: fissare CE, RESET, A/B.
- **Carico del LED**: abbassa Q $\rightarrow$ usare resistenza elevata.

Roadmap

Obiettivi

Divisori D-FF

Registri MC14557

Generatore pseudocasuale

Problemi & soluzioni

Conclusioni

Grazie per l'attenzione!

Domande?