

# Calcolatori Elettronici (12AGA)

Esame del 5.2.2018

Correzione

## Domanda #10

Si progetti il circuito combinatorio minimo avente 4 ingressi  $a, b, c, d$  e una uscita  $u$  il cui valore è 1 se e solo se una delle seguenti condizioni è vera (essendo  $l$  il valore senza segno assunto dai 4 ingressi, dove  $a$  è il bit più significativo):

- $l < 2$
- $6 < l < 9$
- $11 < l < 13$ .

# Passo 1: tavola di verità

abcd	u
0000	1
0001	1
0010	0
0011	0
0100	0
0101	0
0110	0
0111	1
1000	1
1101	0
1010	0
1011	0
1100	1
1101	0
1110	0
1111	0

## Passo 2: mappa di Karnaugh

		a b			
c d		00	01	11	10
	00	1	0	1	1
	01	1	0	0	0
	11	0	1	0	0
	10	0	0	0	0

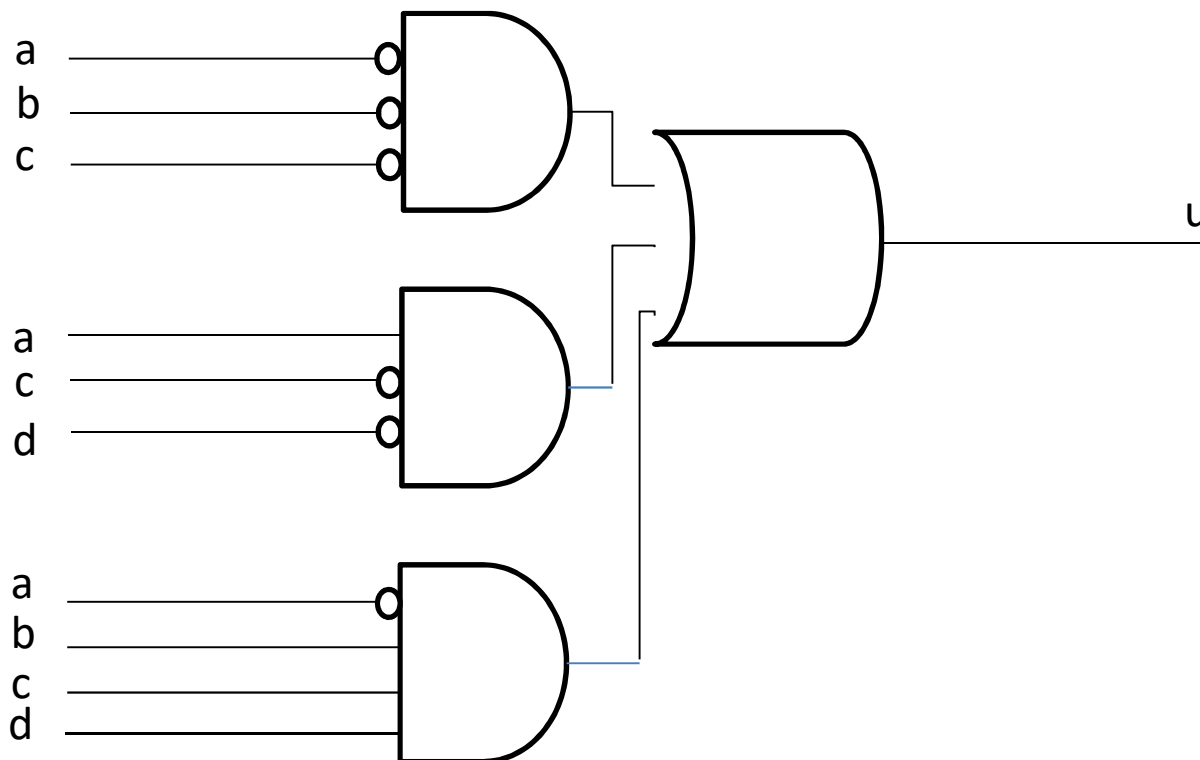
# Passo 3: copertura mappa

a b

c d

	00	01	11	10
00	1	0	1	1
01	1	0	0	0
11	0	1	0	0
10	0	0	0	0

## Passo 4: circuito

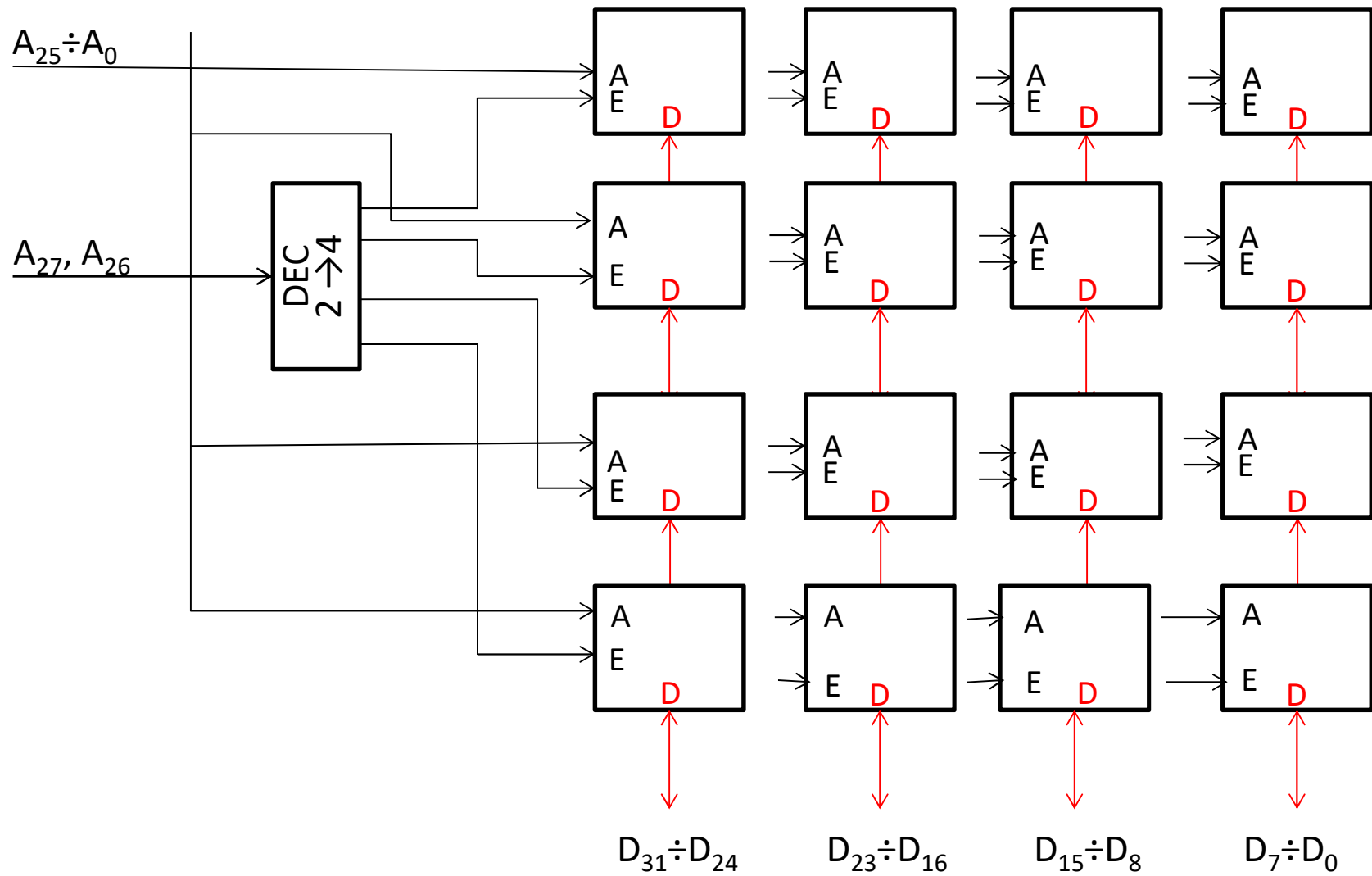


$$f = a'b'c' + ac'd' + a'bcd$$

# Domanda #11

Si progetti un banco di memoria da 256M parole da 32 bit ciascuna usando moduli da 64Mbyte.

# Domanda #11





## Domanda #12

Si illustrino le funzionalità offerte da un DMA Controller e si elenchino i passaggi attraverso i quali avviene un trasferimento in DMA, partendo dalla fase di programmazione.

# Domanda #12

- L'uso del DMAC si articola in due fasi:
  - *Programmazione:*  
la CPU scrive l'indirizzo della zona di memoria e il numero di parole da trasferire nei registri IOAR e DC, rispettivamente; la CPU fornisce inoltre al DMAC l'informazione sulla direzione del trasferimento (memoria → dispositivo o viceversa) e la modalità di trasferimento (a blocchi, cycle stealing o transparent DMA)
  - *Trasferimento:*  
il DMAC esegue il trasferimento attraverso i seguenti passi :
    - Il DMA Controller riceve una richiesta di trasferimento dal dispositivo periferico
    - Il DMA Controller attiva il segnale DMA Request verso la CPU
    - Quando la CPU riceve il DMA Request, rilascia il bus e attiva il segnale DMA Acknowledge
    - Il DMA Controller inizia il trasferimento; al termine del trasferimento di ciascuna parola, i registri IOAR e DC sono aggiornati
    - Il DMA Controller può sospendere temporaneamente il trasferimento (ad esempio perchè il dispositivo periferico non è pronto per trasferire un nuovo dato) disabilitando DMA Request; la CPU disabilita DMA Acknowledge, e riprende il controllo del bus
    - Quando DC diventa zero, il trasferimento è concluso
    - Il DMA Controller invia una richiesta di interruzione alla CPU.

## Domanda #13

- Si consideri un processore connesso a una memoria da 1Kbyte e dotato di una cache direct-mapped composta da 8 linee da 32 byte ciascuna.
- Si assuma che la cache sia inizialmente vuota e che il processore esegua una serie di accessi in memoria in cui genera i seguenti indirizzi: 0010010101, 1011010111, 0111111001, 1000000100, 1000111100, 1110100111, 1111011001, 1000111100, 1001011101, 1001001111, 1010111110, 0001100100, 1000011101, 0100110001, 0110011001.
- Si specifichi il numero del blocco memorizzato in ciascuna linea della cache al termine della sequenza.

# Domanda #13

- 0010010101 – blocco #4 – linea #4
- 1011010111 – blocco #14 – linea #6
- 0111111001 – blocco #15 – linea #7
- 1000000100 – blocco #16 – linea #0
- 1000111100 – blocco #17 – linea #1
- 1110100111 – blocco #29 – linea #5
- 1111011001 – blocco #30 – linea #6
- 1000111100 – blocco #17 – linea #1
- 1001011101 – blocco #18 – linea #2
- 1001001111 – blocco #18 – linea #2
- 1010111110 – blocco #21 – linea #5
- 0001100100 – blocco #3 – linea #3
- 1000011101 – blocco #16 – linea #0
- 0100110001 – blocco #9 – linea #1
- 0110011001 – blocco #12 – linea #4

16	0
9	1
18	2
3	3
12	4
21	5
30	6
15	7