

### COMPITO “A”

**Aula** .....

### Parte E-A – Elettronica - Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga “Punteggio totale”)

[illegible]

### Quesito A.1

Lo stato di memoria in un flip-flop Set Reset con porte NOR si ha con gli ingressi S e R pari a

- a)  $S = 1, R = 1$

- b)  $S = 1, R = 0$

- c)  $S = 0, R = 0$**

- d)  $S = 0, R = 1$

### Quesito A.2

Nel generatore di onda quadra realizzato con un inverter di tipo trigger di Schmitt, la tensione ai capi del condensatore ha andamento

- a) esponenziale**

- b) a onda quadra

- c) lineare

- d) a impulsi

### Quesito A.3

In un sistema di conversione A/D, per ogni bit aggiuntivo il rapporto segnale rumore di quantizzazione:

- a) diminuisce di 6 dB

- b) aumenta di 3 dB

- c) aumenta di 60 dB

- d) aumenta di 6 dB**

### Quesito A.4

Un convertitore FLASH a 8 bit richiede

- a) 127 comparatori

- b) 255 comparatori**

- c) 8 comparatori

- d) 1 comparatore

### Quesito A.5

Il rendimento (rapporto potenza uscita/potenza ingresso) di un regolatore serie lineare con ingresso  $V_i$  e uscita  $V_o$  è approssimativamente

- a)  $V_i/V_o$

- b) 0,5

- c)  $V_o/V_i$**

- d)  $V_o/(V_i+V_o)$

### Quesito A.6

Un gradino di tensione di 1 V si propaga lungo una linea di trasmissione. Subito dopo che il gradino raggiunge una terminazione adattata, la tensione sulla terminazione sarà

- a) 1 V

- b) 2 V

- c) -1V

- d) 0 V

**QUESITI RISERVATI A ELETTRONICA APPLICATA AA 17-18**

**Quesito A.7**

Quattro tecnologie di circuiti digitali determinano diversi ritardi di propagazione  $T$  e potenza dissipata  $P$  in un chip di prova. Indicare quale delle quattro è svantaggiosa rispetto alle altre tre:

- |                                    |  |
|------------------------------------|--|
| a) $T = 1 \text{ ns}$ , $P = 2W$   | b) $T = 2\text{ns}$ , $P = 0,5 W$                              |
| c) $T = 0,5 \text{ ns}$ , $P = 4W$ | <b>d) <math>T = 1,5\text{ns}</math>, <math>P = 2,5W</math></b> |

**Quesito A.8**

I 9 inverter di un oscillatore ad anello hanno ritardi  $t_{pdLH} = 0,1 \text{ ns}$  e  $t_{pdHL} = 0,15 \text{ ns}$ . L'oscillatore genera un'onda quadra di periodo

- |                       |  |
|-----------------------|--|
| a) $0,25 \text{ ns}$  | <b>b) <math>2,25 \text{ ns}</math></b> |
| c) $1,125 \text{ ns}$ | d) $4,5 \text{ ns}$                    |

**Quesito A.9**

Il blocco logico tipico di una FPGA contiene

- |                                     |                               |
|-------------------------------------|-------------------------------|
| a) Look-Up Table e porte AND/OR     | b) porte AND/OR e flip-flop   |
| <b>c) Look-up Table e flip-flop</b> | d) interruttori programmabili |

**Quesito A.10**

La velocità massima di un modulo di memoria DRAM DDR3 a 8 bit con bus clock a 1000 MHz è

- |             |                     |             |              |
|-------------|---------------------|-------------|--------------|
| a) 8 Gbit/s | <b>b) 16 Gbit/s</b> | c) 8 Mbit/s | d) 16 Mbit/s |
|-------------|---------------------|-------------|--------------|

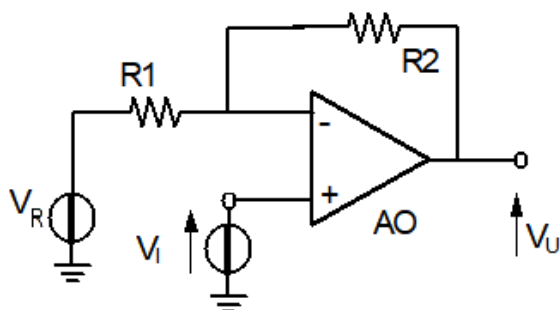
**Parte E-B – Elettronica, Esercizio B.1**

Un gruppo di 4 segnali analogici sinusoidali presenta (per ciascun canale) livelli da -1V a +1V. Il sistema di conversione impiega filtri antialiasing a 6 poli, un singolo S/H con tempo di acquisizione di 5  $\mu$ s e un convertitore A/D a inseguimento a 10 bit con dinamica di ingresso da 0 a +10 V e tempo di conversione 5  $\mu$ s. La frequenza di campionamento complessiva  $F_s$  è pari a  $K=2,5$  volte quella minima.

- a) Tracciare lo schema a blocchi del sistema di conversione. Indicare le specifiche dell'amplificatore di condizionamento e uno schema dell'amplificatore realizzato con un amplificatore operazionale.

**Schema solito, con 4 canali.**

**Amplificatore condizionamento:  $V_{out} = 5 * V_{in} + 5V$**



- b) Determinare la massima frequenza dei segnali in ingresso. Calcolare inoltre il rapporto segnale rumore di quantizzazione (supponendo segnale sinusoidale) e quello di aliasing.

**Frequenza massima campionamento del SH+AD  $f_{max}$ :  $f_{max}=1/(5+5)\mu s=100kHz$**

**Frequenza massima in ingresso  $f_i$  con sovracampionamento**

**$K=4$ :  $2*f_i*K^4 \leq 100kHz \Rightarrow f_i \leq 5kHz$**

**$SNR_q=6*N+1.76dB$  con  $N=10 \Rightarrow SNR_q=61.76 dB$**

**Errore di aliasing: ogni segnale è campionato a  $f_s=25kHz$  e ci sono  $p=6$  poli**

**$SNR_a=p*20\log_{10}(f_i/(f_s-f_i))=72dB$**

**Parte E-B – Elettronica, Esercizio B.2**

Un driver alimentato a 3,3 V ( $V_{oh}=3.3V$ ,  $V_{ol}=0V$ ) con  $R_o=80\ \Omega$  pilota una connessione con  $Z_\infty = 60\ \Omega$ , velocità di propagazione  $U = 0,7\ C$ , lunghezza 15 cm. I ricevitori sono circuiti CMOS con  $V_{il} = 1V$ ,  $V_{ih} = 2,2\ V$ . Tutte le domande si riferiscono alla transizione L-H.

a) Determinare il minimo coefficiente di riflessione all'estremo remoto e la corrispondente resistenza di terminazione per garantire commutazione su onda riflessa per i ricevitori ovunque collocati.

**Per avere commutazione su onda riflessa occorre:**

$$3,3 \cdot 60 / (60 + 80) \cdot (1 + \Gamma_T) \geq 2,2V$$

**Il coeff. di riflessione alla terminazione  $\Gamma_T$  deve essere almeno 0,556**

**La resistenza di terminazione deve dare  $\Gamma_T = (R_t - Z_\infty) / (R_t + Z_\infty) = 0,556$**

$$R_t \geq 210\ \text{ohm}$$

b) Con terminazione aperta all'estremo remoto, determinare la tensione finale sulla linea (dopo il transitorio), i tempi di trasmissione e lo skew per un ricevitore collocato all'inizio della linea e per uno collocato alla fine della linea.

$$t_p = 0.7\ \text{ns}$$

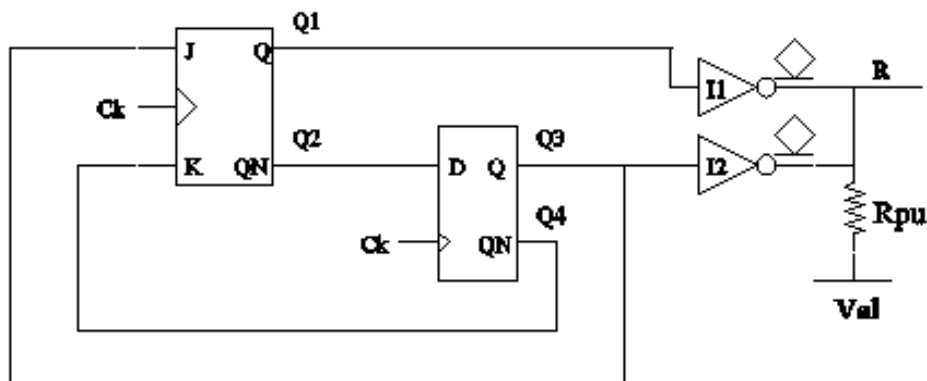
**Per ricevitore ad inizio linea:**

$$T_{tx\_min} = 0; \quad T_{tx\_max} = 2 \cdot t_p \quad t_k = 2 \cdot t_p$$

**Per ricevitore a fine linea:**

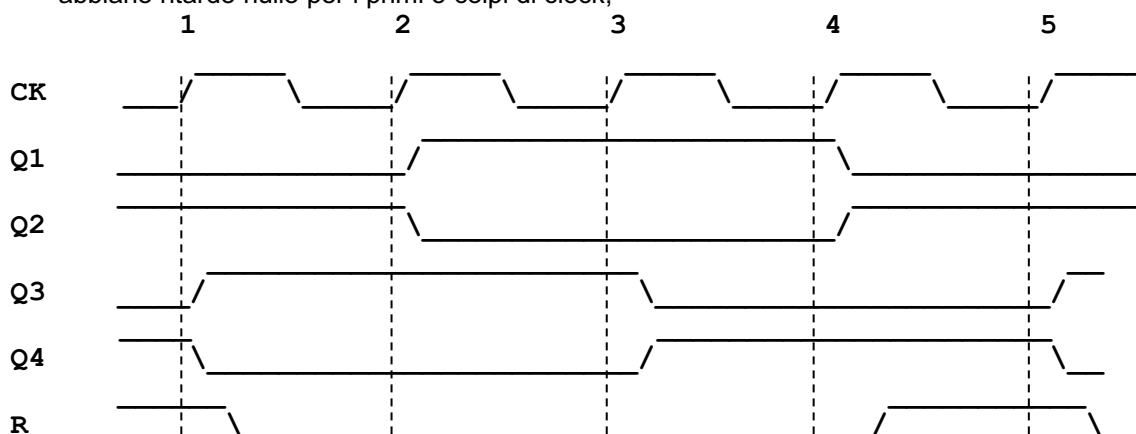
$$T_{tx\_min} = T_{tx\_max} = t_p \quad t_k = 0$$

**Parte E-B – Elettronica, Esercizio B.3**



Nello schema di figura i FF hanno le uscite Q inizializzate a 0; I1 e I2 sono inverter open collector.

- a) Rappresentare le forme d'onda ai nodi Q1, Q2, Q3, Q4, e R nell'ipotesi che tutti i componenti abbiano ritardo nullo per i primi 5 colpi di clock;



- b) Nell'ipotesi che si abbiano le seguenti tempistiche (periodo di CK 20 ns):  
 per i FF di tipo D:  $T_{ck \rightarrow Q} = 3 \text{ ns}$  (per entrambe le transizioni),  $T_{su} = 3 \text{ ns}$ ;  
 per i FF JK:  $T_{ck \rightarrow Q} = 6 \text{ ns}$  (per entrambe le transizioni),  $T_{su} = 2 \text{ ns}$ ,  $T_h = 1 \text{ ns}$ ;  
 per gli inverter I1 e I2:  $T_{LHinv} = 2 \text{ ns}$ ,  $T_{HLinv} = 1 \text{ ns}$   
 indicare se ci sono violazioni dei tempi di setup e hold e quale è la massima frequenza di clock.

**I tempi di set-up non sono violati con  $T_{CK}$  a 20 ns**

**Anche i tempi di hold non sono violati poiché'  $T_h < T_{ck \rightarrow Q}$**

**Il caso peggiore è:**

$$T_{CKmin} = (T_{ck \rightarrow Q, JK} + T_{SU, FFD}) = 9 \text{ ns} \quad f_{CK, max} = 111 \text{ MHz}$$

**ESERCIZIO RISERVATO A ELETTRONICA APPLICATA AA 17-18**

**Parte E-B – Elettronica, Esercizio B.4**

Si consideri una memoria SRAM con 8 bit di indirizzo (utilizzati tutti per la decodifica di riga) e word da 8 bit. Sapendo che i pass-transistor delle celle SRAM hanno di gate  $C_g=0,2\text{fF}$  e la tensione di alimentazione vale  $V_{dd}=1\text{V}$ , rispondere alle domande seguenti.

- a) Calcolare il numero di bitline e il numero totale di transistor della memoria.

**Numero bitline=16**

**Numero tot celle memoria:  $(2^8) \times 8 = 2048$**

**Ogni cella ha 6 transistor, quindi numero tot transistor : 12288**

- b) Sapendo che il decoder pilota le wordline con una resistenza di uscita  $R_o=100\ \Omega$  calcolare il ritardo di propagazione sulla wordline.

**$C_{wl}=(2 \cdot C_g) \cdot 8 = 3,2\text{fF}$     ritardo  $t_d = 0.69 \cdot R_o \cdot C_{wl} = 0,22\ \text{ps}$**