

Cognome .....  
Nome .....  
Matricola .....

**COMPITO "A"**

Aula ..... Laboratorio frequentato nell'anno accademico .....

**Parte A – Domande a risposta multipla**

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a			X	X						
Risposta b		X			X				X	
Risposta c										
Risposta d	X						X	X		X
Punteggio totale										

**Quesito A.1**

Un flip-flop attivo sul fronte di salita ha il comando asincrono CLEAR attivo; in questa condizione:

- a) l'uscita rimane sempre a 1  
b) l'uscita non cambia anche se l'ingresso varia  
c) l'uscita cambia stato seguendo l'ingresso  
**d) l'uscita rimane sempre a 0**

**Quesito A.2**

Un ciclo di scrittura asincrono ha durata minima di:

- a)  $T_{su} + T_k$   
b)  $T_h + T_k + T_{su} + 4 T_{txmax}$   
c)  $T_h + T_k + T_{su} + T_{txmax}$   
d)  $4 T_{txmax}$

**Quesito A.3**

In un sistema di conversione A/D, per ogni bit *in meno* il rapporto segnale rumore di quantizzazione:

- a) diminuisce di 6 dB**  
b) aumenta di 3 dB  
c) aumenta di 60 dB  
d) aumenta di 6 dB

**Quesito A.4**

Un driver con resistenza di uscita  $R_o = Z_\infty$  pilota a livello alto ( $V_{dd}$ ) una linea con impedenza caratteristica  $Z_\infty$  con terminazione  $R_o = Z_\infty/2$ . La tensione a transitorio esaurito all'estremo di terminazione è:

- a)  $V_{dd}/3$**   
b) 0  
c)  $2 \cdot V_{dd}$   
d)  $V_{dd}/2$

**Quesito A.5**

Un regolatore lineare con  $V_{out} = 8\text{ V}$  e  $V_{in} = 10\text{ V}$  ha un'efficienza pari a circa:

- a) 0,2  
b) **0,8**  
c) 1  
d) 2

**Quesito A.7**

Quattro tecnologie di circuiti digitali determinano diversi ritardi di propagazione  $T$  e aree  $A$  in un chip di prova. Indicare quale delle quattro è svantaggiosa rispetto alle altre tre:

- |  |  |
|--|--|
| a) $T = 1 \text{ ns}$ , $A = 2 \text{ mm}^2$   | b) $T = 2 \text{ ns}$ , $A = 0,5 \text{ mm}^2$                               |
| c) $T = 0,5 \text{ ns}$ , $A = 4 \text{ mm}^2$ | <b>d) <math>T = 1,5 \text{ ns}</math>, <math>A = 2,5 \text{ mm}^2</math></b> |

**Quesito A.8**

Quanti Flip-Flop di tipo D occorrono per realizzare un contatore modulo 254?

- |      |       |      |             |
|------|-------|------|-------------|
| a) 9 | b) 10 | c) 7 | <b>d) 8</b> |
|------|-------|------|-------------|

**Quesito A.9**

In un oscillatore a trigger di Schmitt, raddoppiando il valore sia della resistenza sia del condensatore:

- |                         |                                  |
|-------------------------|----------------------------------|
| a) raddoppia il periodo | <b>b) quadruplica il periodo</b> |
| c) dimezza il periodo   | d) quadruplica l'ampiezza        |

**Quesito A.10**

Il tempo di propagazione in salita all'uscita di un inverter CMOS con resistenze  $R_{ol}=1 \text{ k}\Omega$  e  $R_{oh}=1,5 \text{ k}\Omega$  e capacità di carico  $50 \text{ fF}$  vale circa:

- |          |           |           |                 |
|----------|-----------|-----------|-----------------|
| a) 34 ps | b) 150 ps | c) 550 ps | <b>d) 53 ps</b> |
|----------|-----------|-----------|-----------------|

**Parte -B – Problema B.1 (5 punti)**

Un sistema di acquisizione a N canali usa un convertitore A/D a 8 bit a inseguimento con frequenza di clock 100 MHz e un circuito Sample & Hold con tempo di acquisizione 1  $\mu$ s. Per ogni canale si vuole avere una frequenza di campionamento  $F_s$  pari a 3 volte la frequenza massima di 23 kHz del segnale e un filtro anti-aliasing a 8 poli.

*Inserite ogni risposta numerica nel rettangolo corrispondente.*

b) Determinare il massimo numero N di canali:

4

$$T_{\text{conv}} = 256/100 \text{ MHz} + 1 \mu\text{s} = 256 \cdot 10\text{ns} + 1 \mu\text{s} = 3,56 \mu\text{s}$$

$$T_s = 1/(3 \cdot 23 \text{ KHz}) = 14,5 \mu\text{s}$$

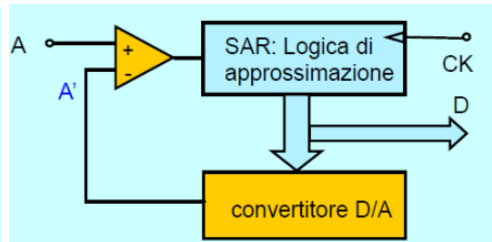
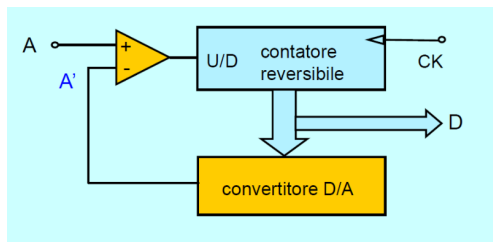
$$N = \text{floor}(T_s/T_{\text{conv}}) = 4$$

c) Nell'ipotesi di sostituire il convertitore a inseguimento con uno ad approssimazioni successive, calcolare la frequenza di clock necessaria per ottenere lo stesso tempo di conversione. Disegnare inoltre lo schema dei due tipi di convertitore.

3,1 MHz

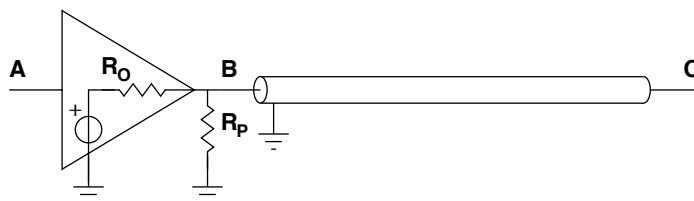
$$T_{\text{conv}} = 8/f + 1 \mu\text{s} = 3,56 \mu\text{s}$$

$$f = 100/32 \text{ Mhz} = 3,1 \text{ Mhz}$$



Parte-B – Problema B.2 (5 punti)

Un driver CMOS alimentato a 3 V con resistenza di uscita  $R_o = 100 \, \Omega$  (per entrambe le transizioni) è collegato alla linea di trasmissione in figura. La linea è lunga 10 cm, ha impedenza caratteristica  $Z_\infty = 75 \, \Omega$  e velocità di propagazione  $0,7c$ . La resistenza verso massa nel punto B è  $R_p = 300 \, \Omega$ . L'estremo remoto C è aperto. I ricevitori hanno  $V_{ih} = 2V$  e  $V_{il} = 0,5V$ .



- a) Calcolare l'ampiezza del primo gradino in B nella transizione LH 1,125 V

$$R_p // Z_\infty = 1 / (1/75 + 1/300) = 60 \, \Omega$$

$$V_b(0) = V_a (R_p // Z_\infty) / (R_o + (R_p // Z_\infty)) = 3 * 60 / 160 = 1,125V$$

$V_{ih} > V_b(0) > V_{il}$ , quindi siamo in RWS

$$V_b(\infty) = V_a (R_p) / (R_o + R_p) = 3 * 300 / 400 = 2,25 V$$

$V_b(\infty) > V_{ih}$ , quindi a fine transitorio tutti i ricevitori hanno commutato

La prima riflessione ha  $\Gamma_t = 1$  quindi l'onda riflessa ha  $V = 2 * 1,125V = 2,25V$

Il coefficiente di riflessione in B è 0 perché  $R_o // R_p = 75 \, \Omega$

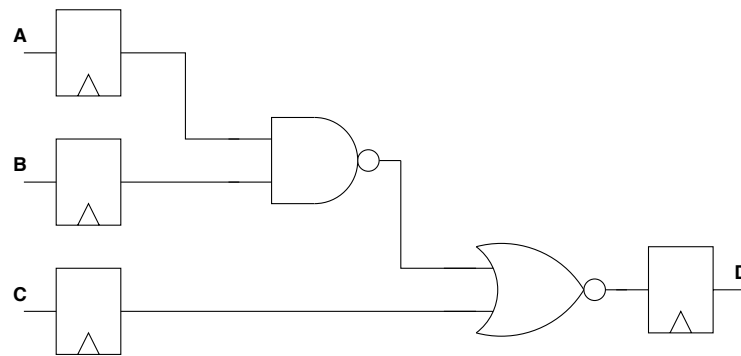
Quindi non ci sono ulteriori riflessioni

- b) Per i ricevitori collocati nel punto C, calcolare il tempo di trasmissione minimo quello massimo 0,48 ns e lo skew 0 ns per la transizione LH. 0,48 ns ,

$$T_{tmin}(C) = T_{tmax}(C) = L / (0,7 c) = 10 \, \text{cm} / (0,7 * 30 \, \text{cm/ns}) = 0,48 \text{ns}$$

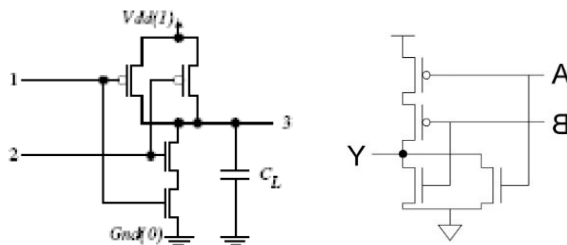
$$T_k = 0$$

**Parte B – Problema B.3 (5 punti)**



Nel circuito in figura i FF hanno  $T_{ckq} = 0,1 \text{ ns}$ ,  $T_{su} = 0,15 \text{ ns}$ ,  $T_h = 0,2 \text{ ns}$  e capacità di ingresso  $C_{in} = 20 \text{ fF}$ . Le due porte logiche combinatorie sono di tipo CMOS in cui tutti i MOS hanno resistenze  $R_{ON} = 10 \text{ k}\Omega$  e capacità di gate  $C_g = 10 \text{ fF}$ .

a) Disegnare gli schematici a livello transistor della porta NAND e della porta NOR



b) Calcolare i ritardi  $T_{pLH}$  0,138 ns e  $T_{pHL}$  0,276 ns massimi della porta NAND

$$T_{pLH} = 0,69 * 10k * 20f = 138 \text{ ps}$$

$$T_{pHL} = 0,69 * 20k * 20f = 276 \text{ ps}$$

c) Calcolare i ritardi  $T_{pLH}$  0,276 ns e  $T_{pHL}$  0,138 ns massimi della porta NOR

$$T_{pLH} = 0,69 * 20k * 20f = 276 \text{ ps}$$

$$T_{pHL} = 0,69 * 10k * 20f = 138 \text{ ps}$$

d) Calcolare la massima frequenza di clock 1,25 GHz

$$T_{ck} \geq T_{ckq} + T_{pHL \text{ nand}} + T_{pLH \text{ nor}} + T_{su} = 0,1 + 0,276 + 0,276 + 0,15 \text{ ns} = 0,802 \text{ ns}$$

$$F_{ck} \leq 1,25 \text{ GHz}$$

**Parte-B –Problema B.4 (3 punti)**

Considerate una DRAM con 16 wordline, ognuna che pilota 64 celle.  
Supponete che ogni transistor abbia una capacità di gate di 0,5 fF e che la  $R_{on}$  dei transistor del decoder sia di 100  $\Omega$

- a) Calcolate il massimo ritardo di attivazione delle celle (solo il ritardo dell'ultimo stadio del decoder per la transizione LH):

2.2ps

$$T_{pLH} = 0,69 * R_{on} * 64 * C_{gate} = 0,69 * 100 * 64 * 0,5 \text{ fs} = 2200 \text{ fs} = 2.2 \text{ ps}$$

- b) Disegnate lo schema del decoder di riga

