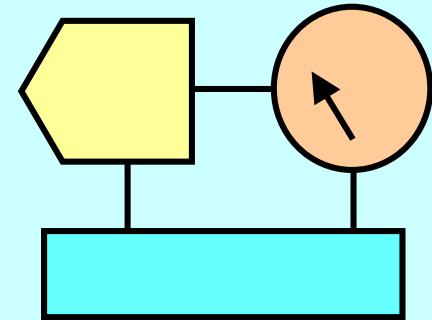
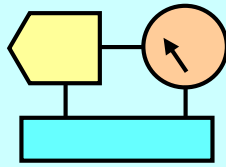


## ELETTRONICA APPLICATA

### Be1 – Esercizi parte B (1)

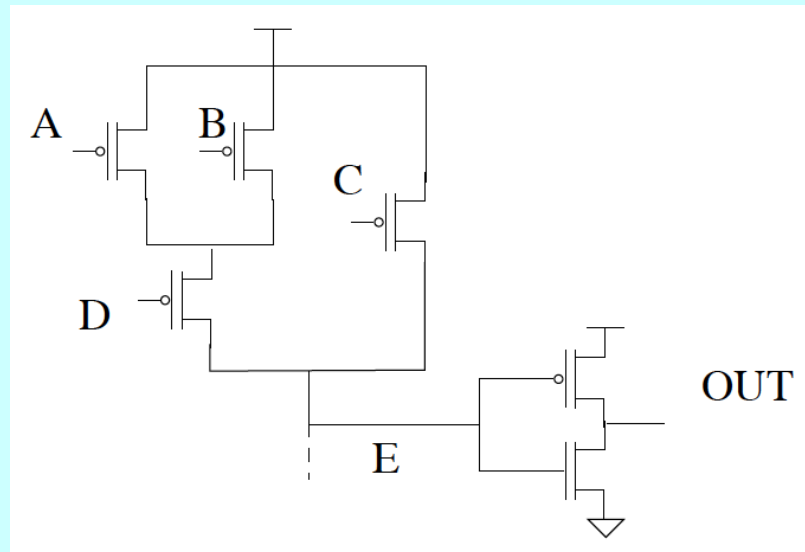
- » Porte logiche CMOS
- » Calcolo ritardi e  $F_{max}$
- » Generatore di clock

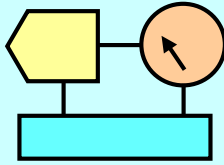




## Ese Be 1.1 Porte logiche CMOS (1)

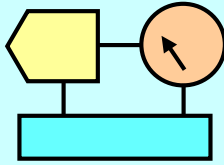
1. Completare lo schematico della porta logica in figura
2. Determinare:
  1.  $t_{\text{rise}}$  min e max al nodo E sapendo che i MOS hanno  $R_{\text{on}}=10$  kohm e  $C_{\text{gate}}=5\text{fF}$  e  $V_{\text{dd}} = 1,5\text{V}$ , considerando varie combinazioni di pull-up accesi e spenti
  2.  $t_p$  min e max della rete di pull-up e dell'inverter ( $t_{\text{PE}} + t_{\text{POUT}}$ ) sapendo che il carico collegato all'uscita OUT è costituito da 10 inverter





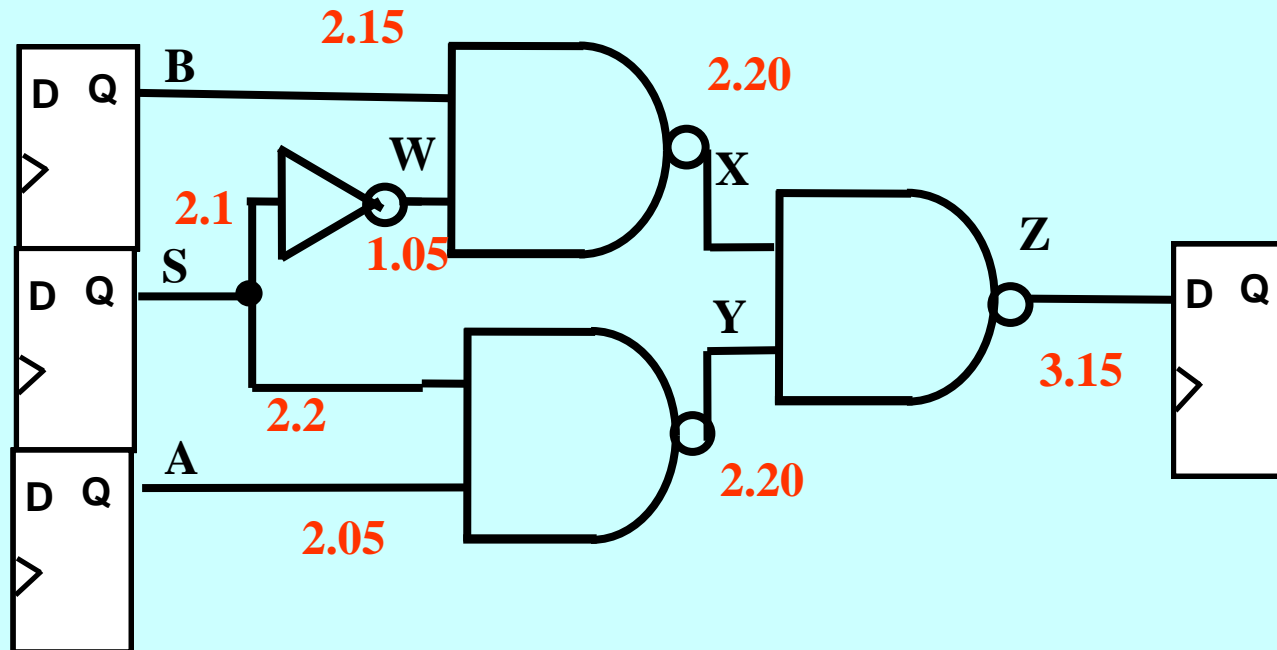
## Ese Be1.2: Porte logiche CMOS (2)

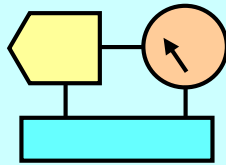
1. Implementare tramite una porta CMOS la seguente funzione logica:  $U = (A \cdot B + C \cdot D)^*$
2. Determinare i tempi di propagazione minimi e massimi sapendo che  $R_{on}=20 \text{ k}\Omega$  e l'uscita  $U$  è collegata ad un carico di  $50 \text{ fF}$ .



## Ese Be1.3: Calcolo ritardi e Fmax

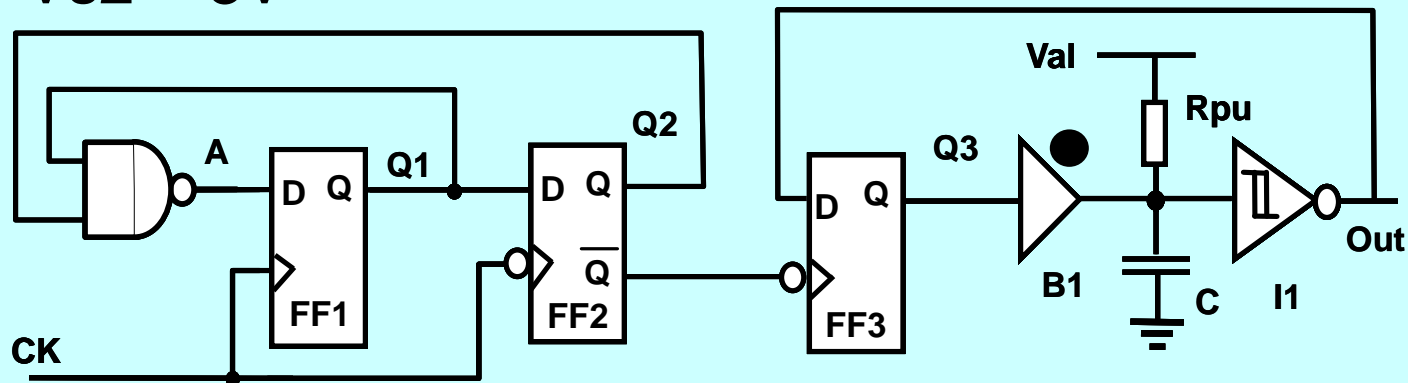
- Analizzare il ritardo di questo circuito (valori in ns)
- Valutazione della Fmax del clock con:  
 $T_{SU} = 1.5 \text{ ns}$  ;  $T_H = 0.5 \text{ ns}$



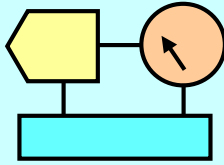


## Ese Be1.4: Circuito sequenziale

- I FF hanno le uscite Q inizializzate a 0. Il clock ha duty cycle di 0.5. B1 è un buffer non invertente Open Drain, con  $R_{ON} = 40 \Omega$ ,  $I_{OH} = 200 \mu A$ , I1 un inverter con ingresso a trigger con  $V_{s1} = 2V$  e  $V_{s2} = 3V$

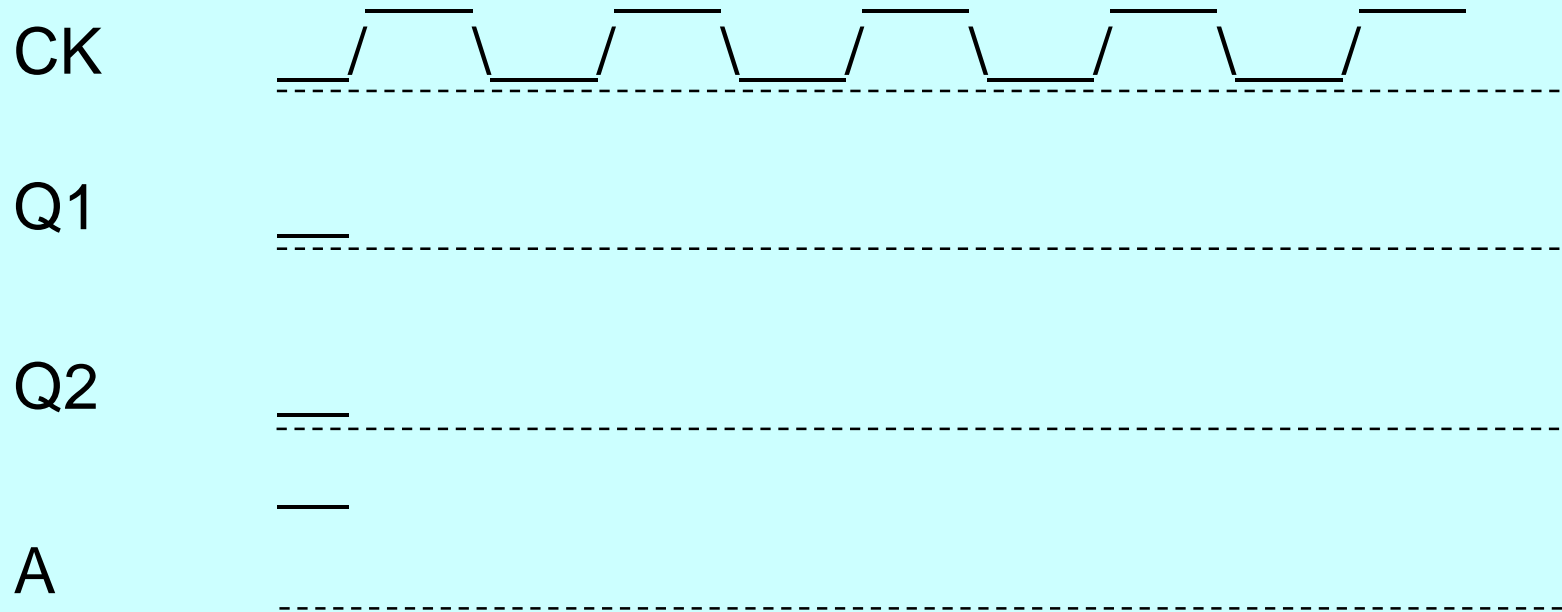


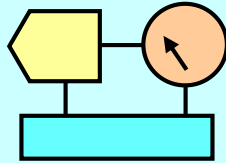
- Tracciare le forme d'onda ai nodi A, Q1, Q2, Q3, Out nell'ipotesi che tutti i componenti abbiano ritardo nullo per i primi 3 periodi del clock CK (capacità  $C = 0$ ).



## Circuito sequenziale: segnali

- Sequenza di segnali (senza ritardi)



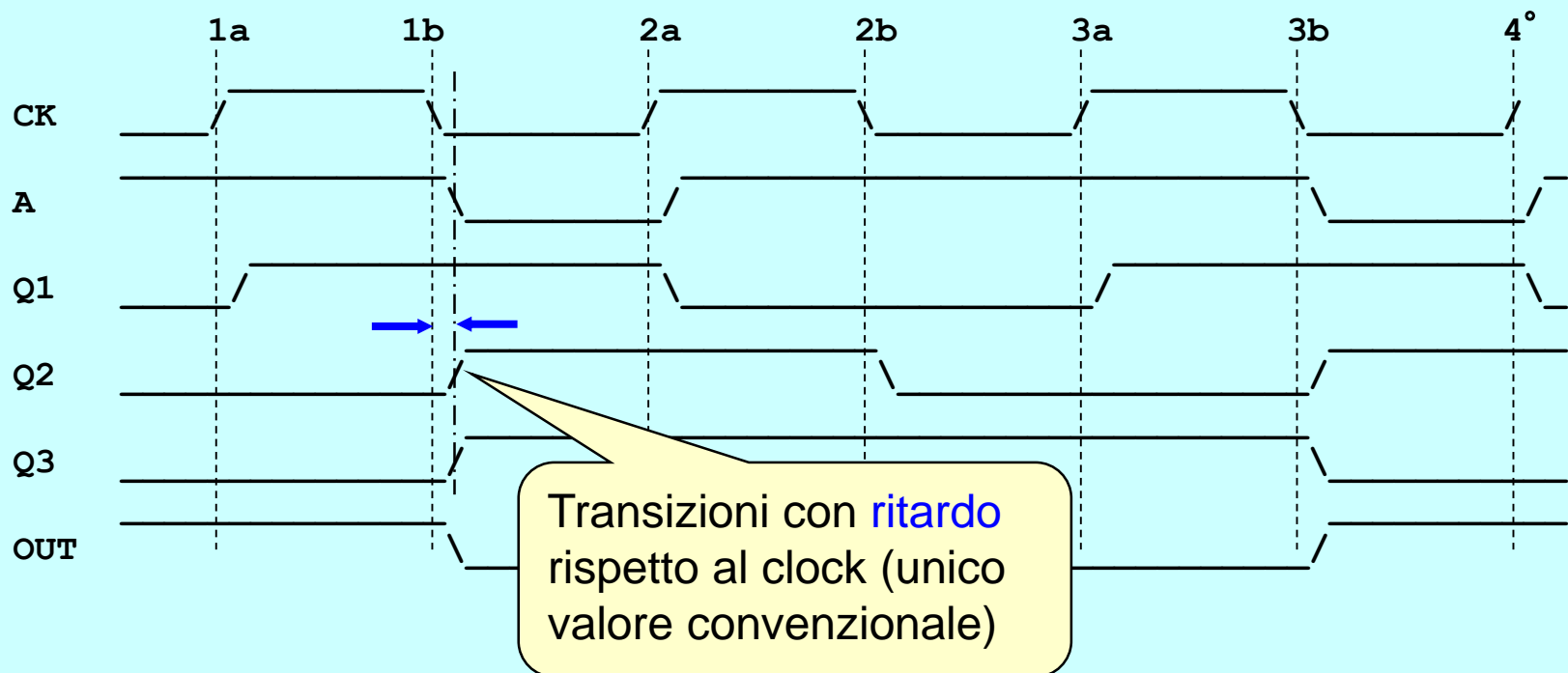


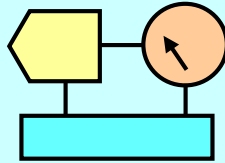
## Circuito sequenziale: sequenza di stati

Il clock è attivo su entrambi i fronti (LH  $\rightarrow$  FF1, HL  $\rightarrow$  FF2).

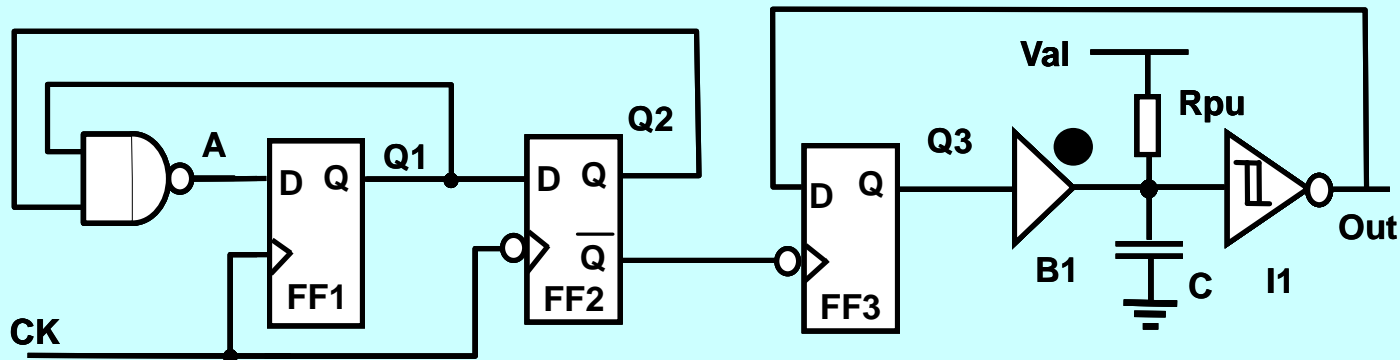
FF 3 è collegato come divisore modulo 2, e commuta sui fronti di discesa di  $Q2^*$  (salita di  $Q2$ ).

$C = 0$ ; tra  $Q3$  e  $OUT$  solo inversione di stato logico





## Circuito sequenziale: valutazione ritardi



- b. Tracciare con asse dei tempi tarata le forme d'onda per due periodi di clock ai nodi A, Q1, Q2, Q3, Out con i parametri dinamici indicati (sempre per  $C = 0$ )
- c. Determinare il periodo di clock minimo  $T_{ckmin}$

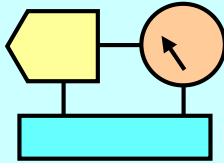
$T_{su} = 3 \text{ ns}$ ,  $T_h = 2 \text{ ns}$  (tutti i FF) ;

$T_{ckq} = 5 \text{ ns}$  (tutti i FF, sia LH che HL)

porta NAND e trigger di uscita I1:  $T_{LH} = 3 \text{ ns}$ ,  $T_{HL} = 4 \text{ ns}$ ,

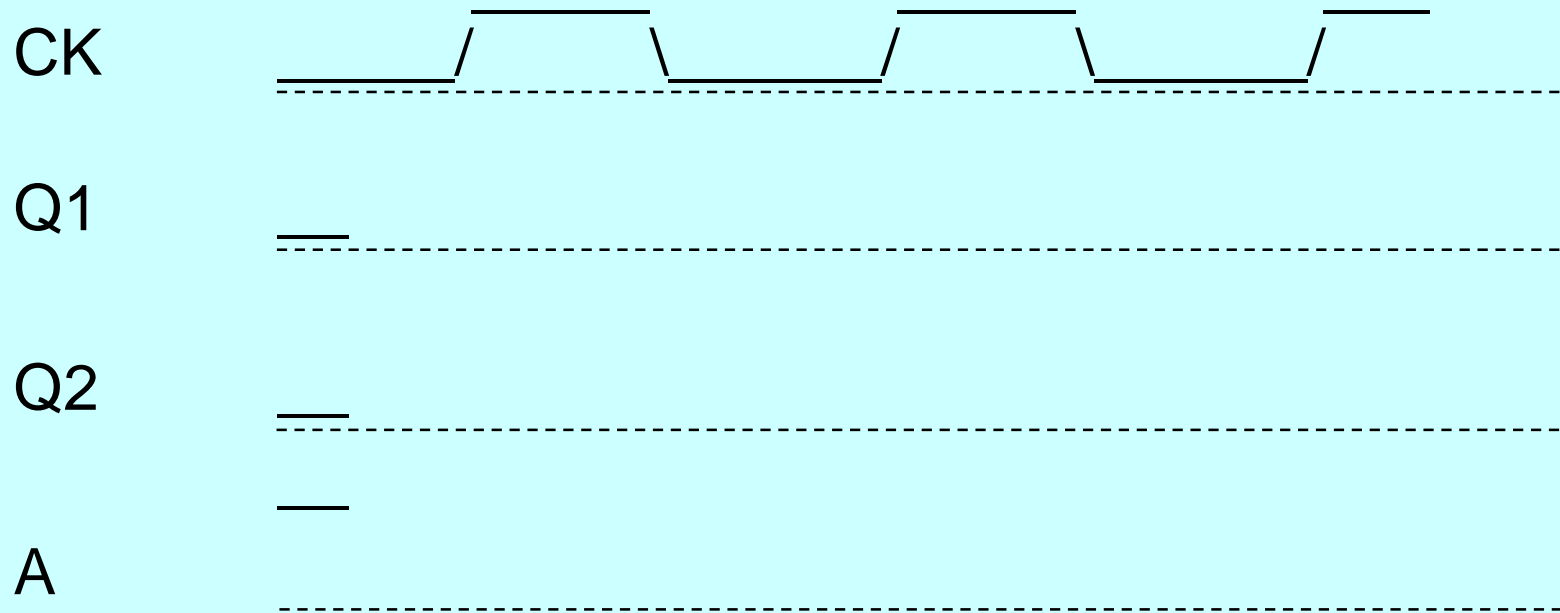
buffer B1:  $T_p = 6 \text{ ns}$  (per entrambe le transizioni)

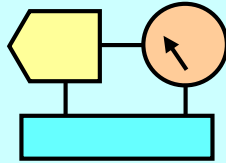




## Circuito sequenziale: ritardi

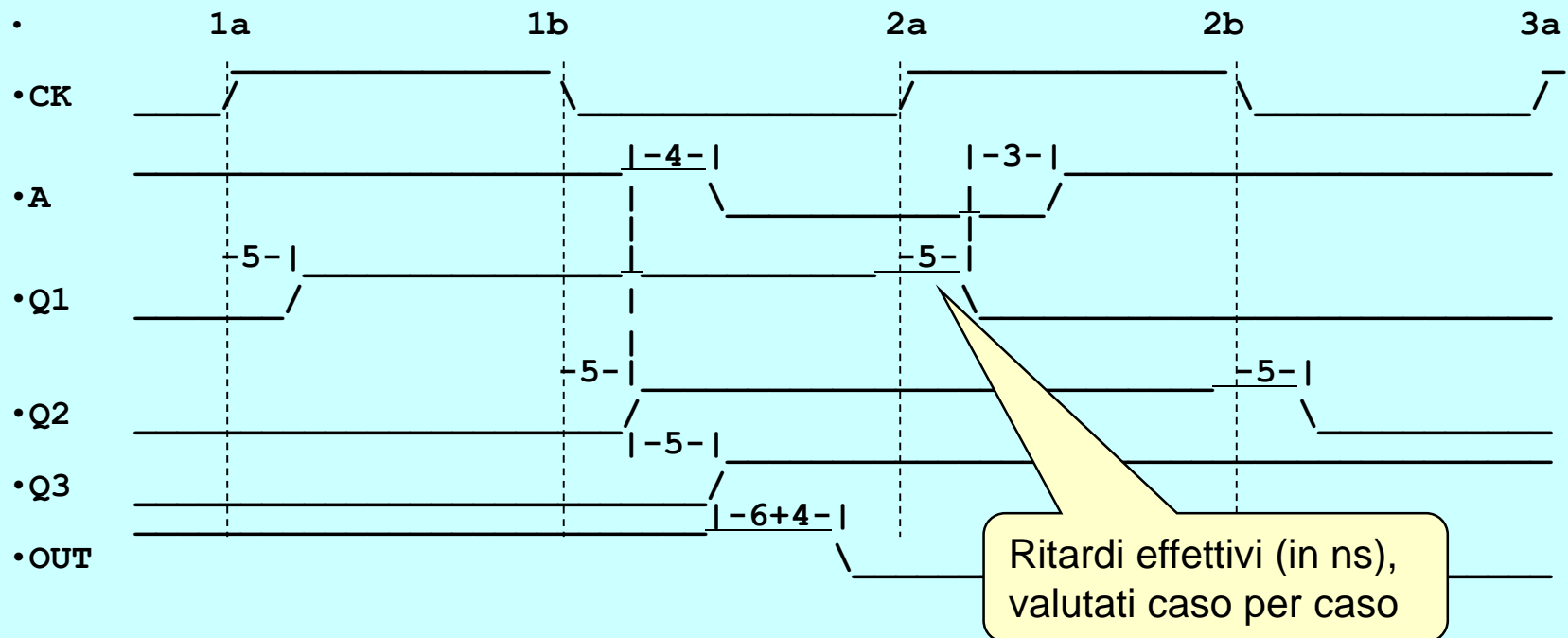
- Sequenza di segnali (con ritardi)

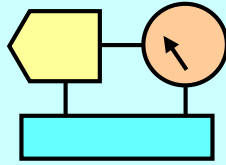




## Circuito sequenziale: diagramma temporale

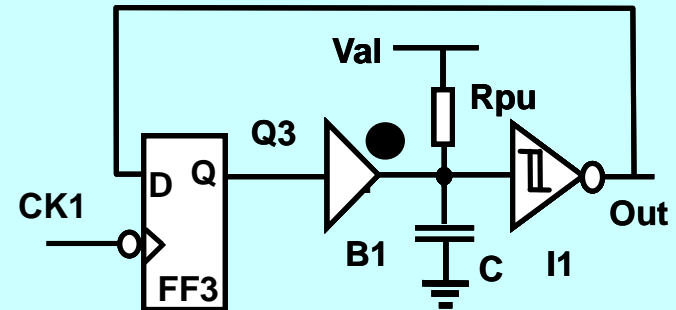
- $T_{su} = 3 \text{ ns}$ ,  $T_h = 2 \text{ ns}$  (tutti i FF) ;
- $T_{ck \rightarrow Q} = 5 \text{ ns}$  (tutti i FF, per  $L \rightarrow H$  e  $H \rightarrow L$ )
- porta NAND e trigger di uscita I1:  $T_{LH} = 3 \text{ ns}$ ,  $T_{HL} = 4 \text{ ns}$ ,
- buffer B1:  $T_p = 6 \text{ ns}$  (per entrambe le transizioni)





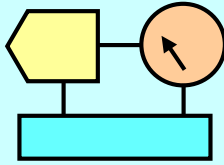
## Circuito sequenziale: Vc e Vout

d. Analizzare il comportamento dinamico dell'anello B1-C-I1-FF3. Tracciare l'andamento qualitativo di Q3, della tensione ai capi di C e della Vout.



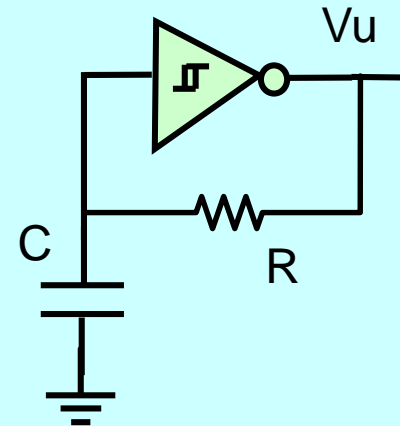
e. I1 e' un trigger con  $V_{s1} = 2V$  e  $V_{s2} = 3V$

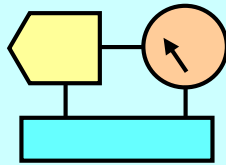
f. Determinare la massima frequenza del clock CK che permette il funzionamento di questa parte del circuito con  $R_{pu} = 1k\Omega$ ,  $C = 25pF$ ,  $V_{al} = 5V$  e per il trigger I1  $T_{LH} = 3ns$ ,  $T_{HL} = 4ns$



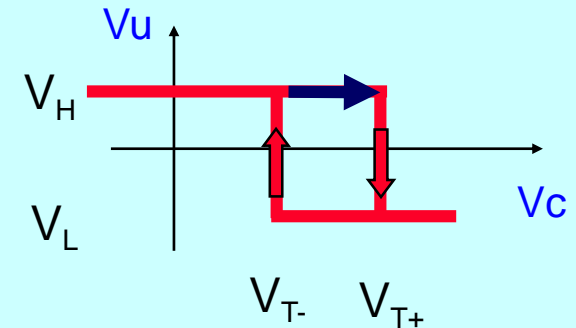
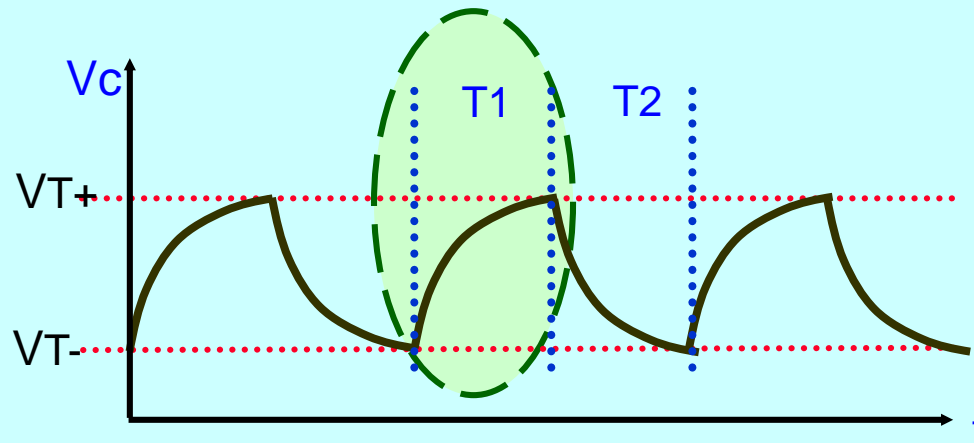
## Ese Be1.5: Generatore di clock

- Calcolare la frequenza dell'onda quadra all'uscita  $V_u$
- Parametri del comparatore
  - $V_{S2} = 2 \text{ V}$
  - $V_{S1} = 1,2 \text{ V}$
  - $V_{UH} = 4.7 \text{ V}$
  - $V_{UL} = 0.3 \text{ V}$
- Componenti
  - $R = 1 \text{ k}\Omega$
  - $C = 10 \text{ nF}$





## Generatore di clock: semiperiodo T1

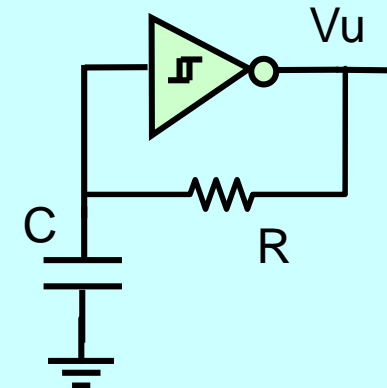


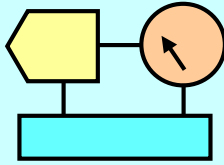
$V_u$  commuta tra  $V_H$  e  $V_L$ ;  
 $V_c$  è una sequenza di esponenziali, tra  $V_{T-}$  e  $V_{T+}$

$$T1: V_c(t) = V_H + (V_{T-} - V_H) \exp(-t/RC)$$

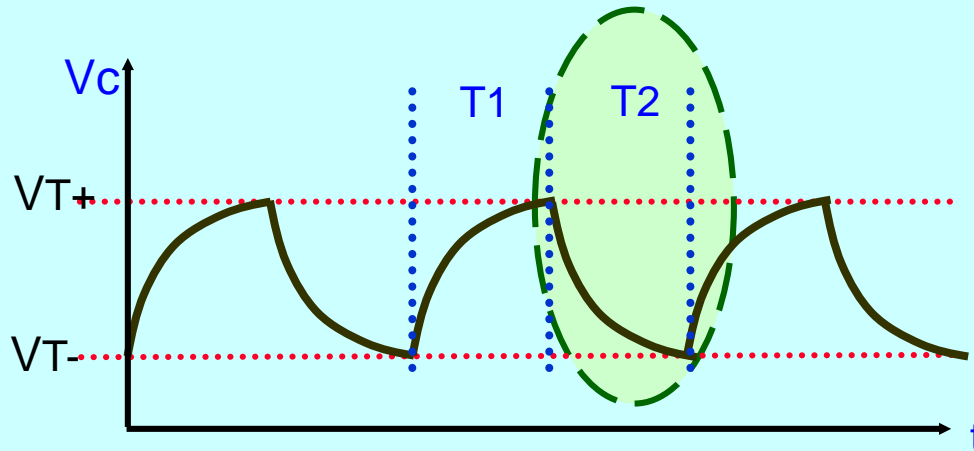
Quando  $t = T1 \rightarrow V_c(T1) = V_{T+}$

$T1 = \dots$





## Generatore di clock: semiperiodo T2

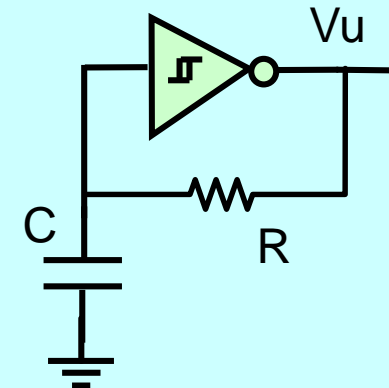
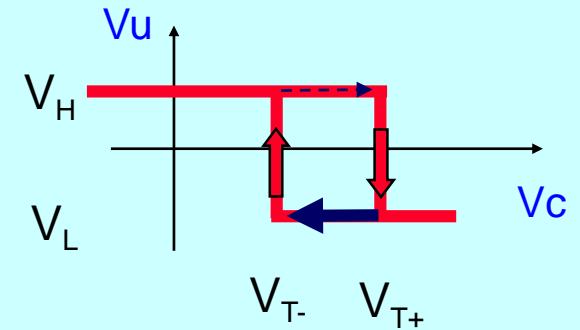


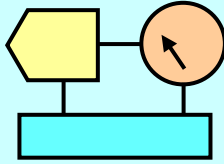
$$T2: Vc(t) = V_L + (V_{T+} - V_L) \exp(-t/RC)$$

$$\text{Quando } t = T2 \rightarrow Vc(T2) = V_{T-}$$

$$T2 = \dots$$

$$T = \dots$$

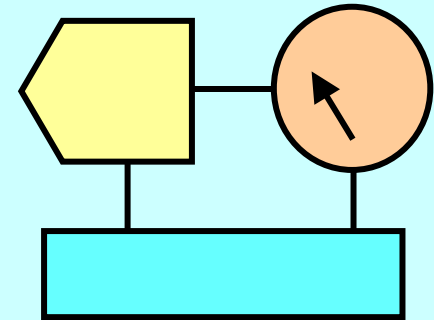


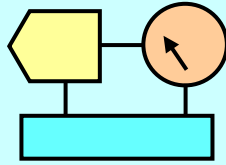


## ELETTRONICA APPLICATA

### Be2 – Esercizi parte B (2)

- » Logica programmabile
- » Memorie a semiconduttore

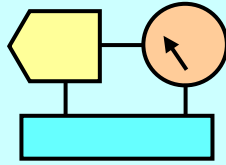




## Be2.1: Costi non ricorrenti NRE

- Un'azienda intende produrre un sistema elettronico consumer e venderlo al prezzo di 899 \$, con un margine rispetto al costo per prodotto pari al 50%.
  - Il costo unitario per la realizzazione è di 100 \$ e il numero di prodotti che si ipotizza saranno venduti durante la finestra di mercato è pari a 10,000 pezzi.
1. Determinare il massimo costo non ricorrente NRE ammissibile.
  2. Nell'ipotesi che il costo NRE raddoppi rispetto a quanto previsto al punto precedente, determinare il nuovo margine di profitto.





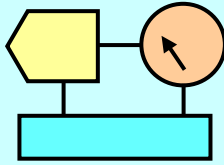
## Be2.1: Costi non ricorrenti NRE (soluzione)

### 1. NRE ammissibile

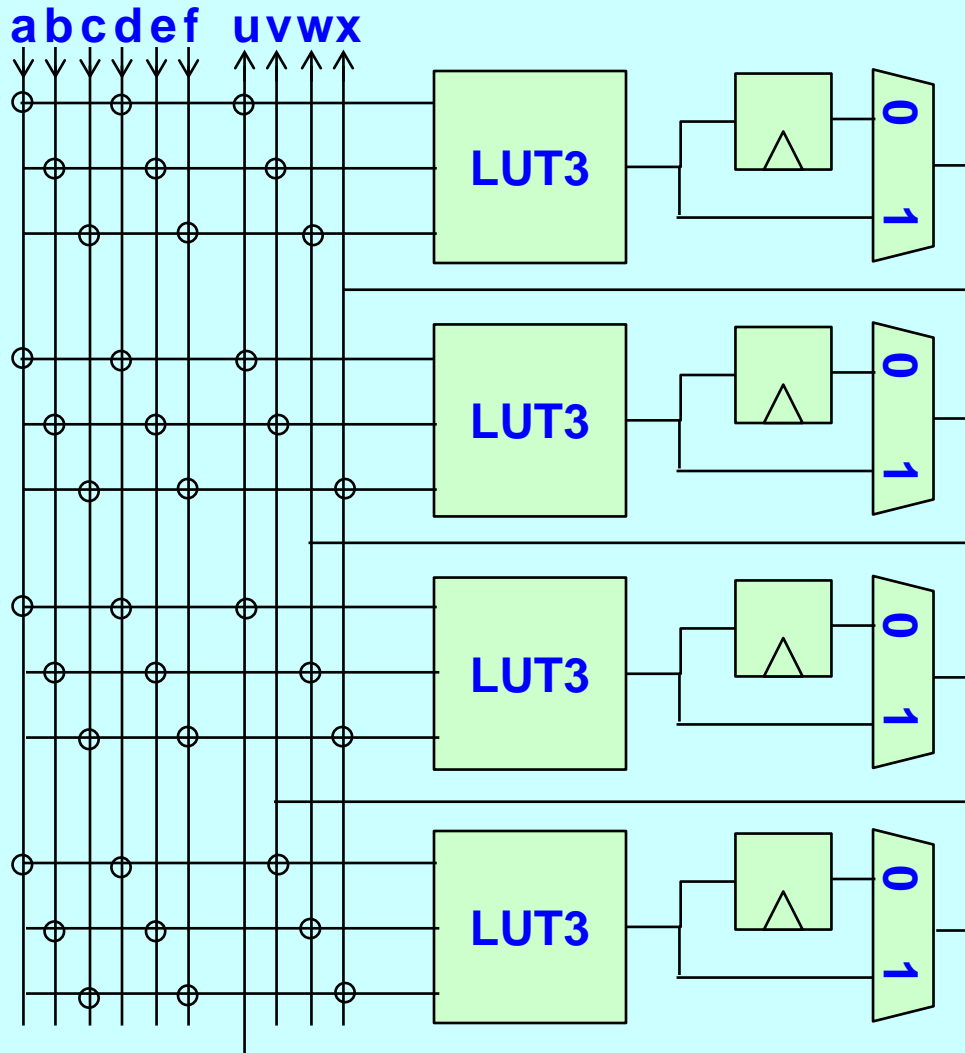
- Costo per prodotto  $C_p = 899 * 0.5 = 450 \$$
- $C_p = C_u + NRE/N$
- $NRE/N = C_p - C_u = 450 - 100 = 350 \$$
- $NRE = 350 \times 10,000 = 3,500,000 \$$

### 2. NRE raddoppia

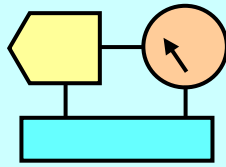
- $NRE = 7,000,000 \$$
- $C_p - C_u = NRE/N = 7,000,000/10,000 = 700 \$$
- $C_p = C_u + NRE/N = 100 + 700 = 800 \$$
- Margine =  $899 - 800 = 99 \$$  (12% di profitto)



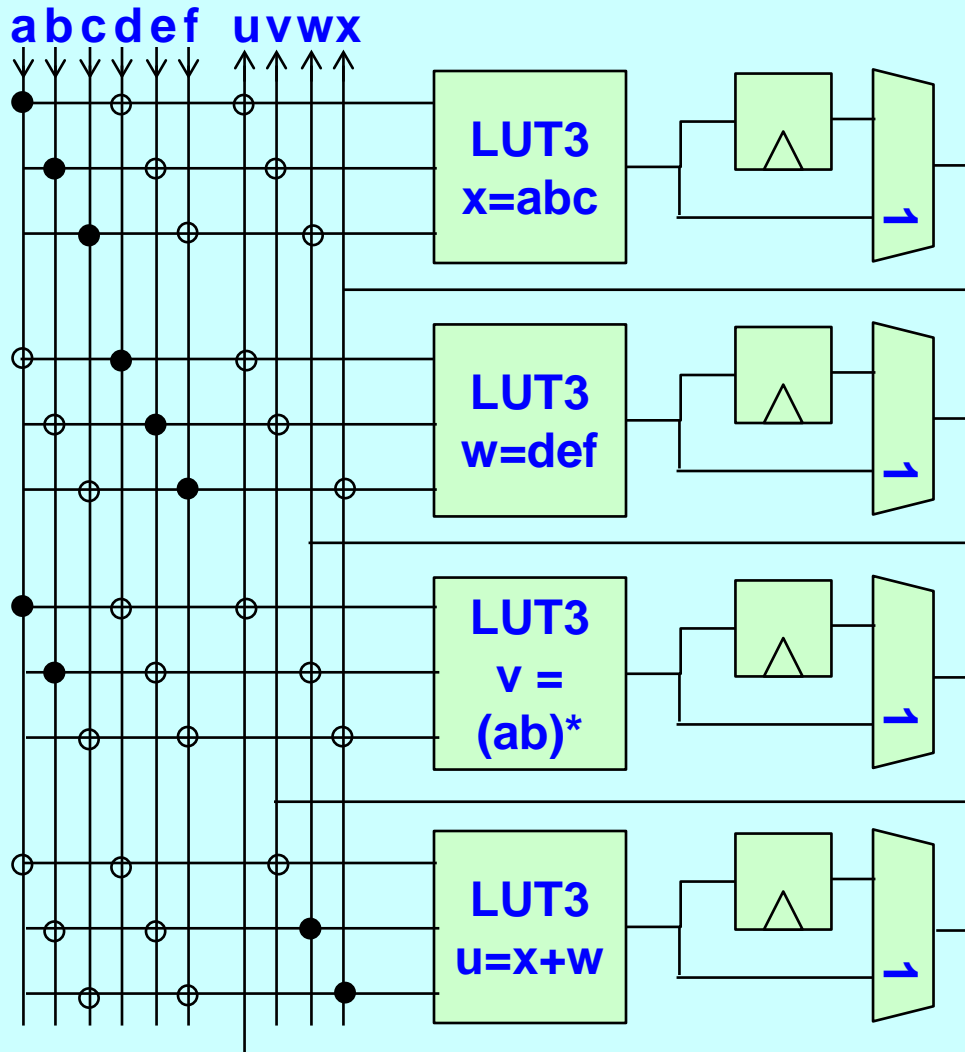
## Be2.2: Logica programmabile 1



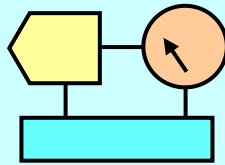
- Determinare la programmazione delle connessioni, delle look-up table (LUT) e dei multiplexer per le funzioni logiche
  - $u = abc + def$
  - $v = (ab)^*$
  - $w = def$
  - $x = \text{NON USATO}$



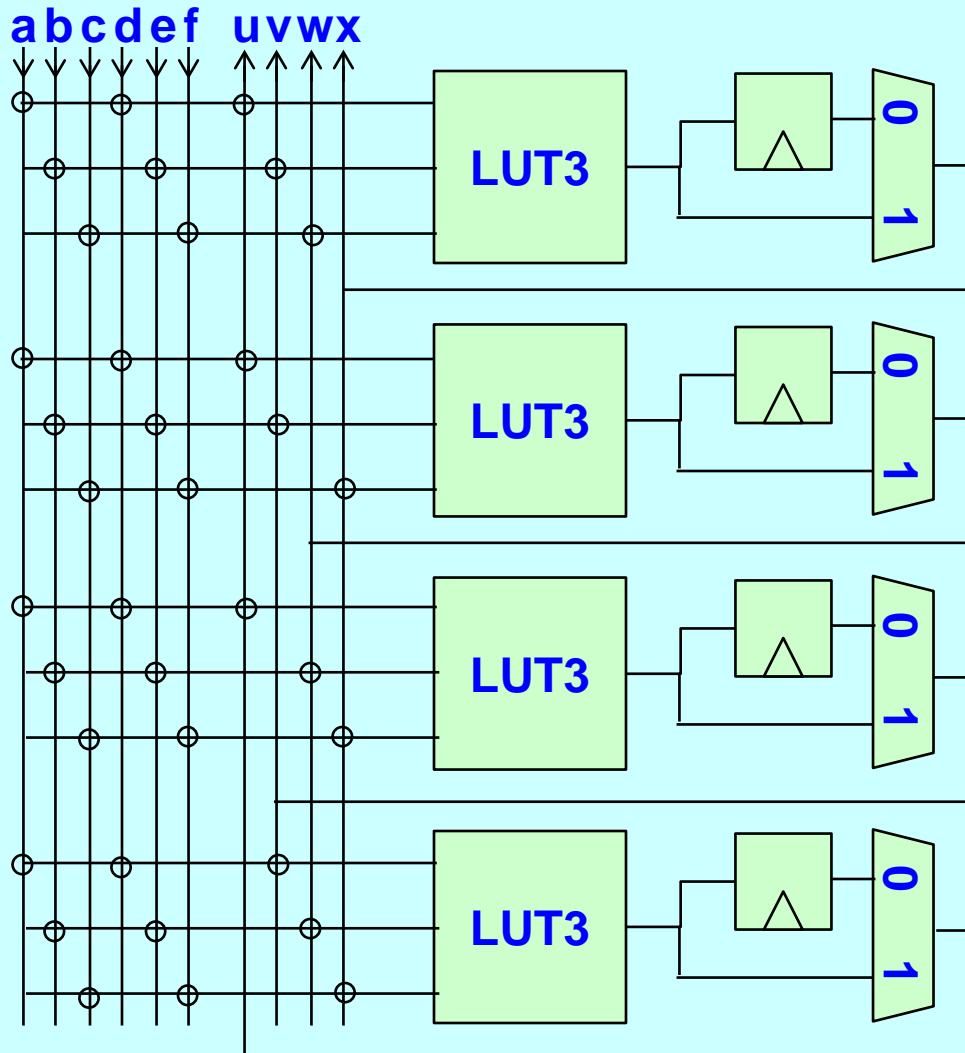
## Be2.2: Logica programmabile 1 (soluzione)



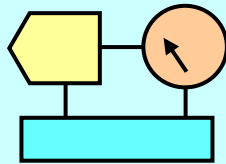
- Determinare la programmazione delle connessioni, delle look-up table (LUT) e dei multiplexer per le funzioni logiche
  - $u = abc + def$
  - $v = (ab)^*$
  - $w = def$
  - $x = \text{NON USATO}$



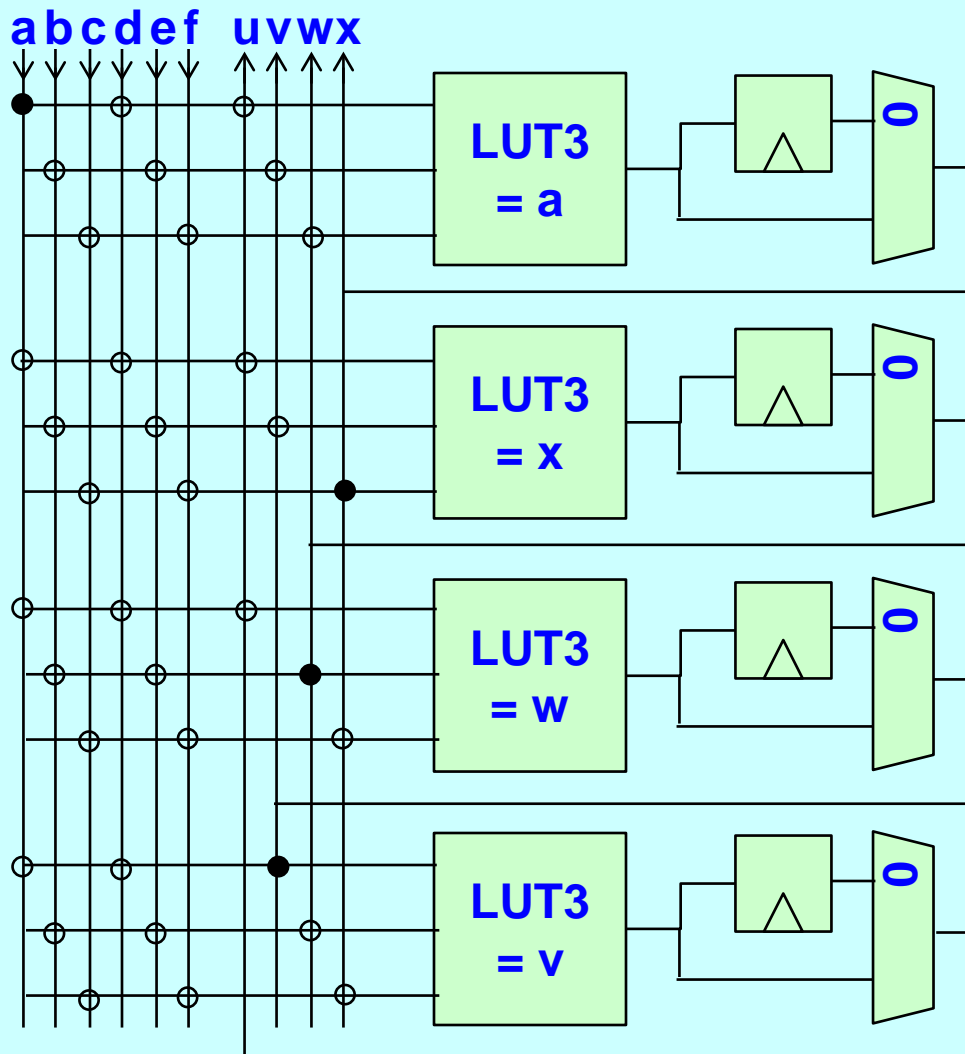
## Be2.3: Logica programmabile 2



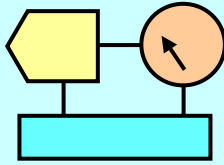
- Determinare la programmazione delle connessioni, delle look-up table (LUT) e dei multiplexer per implementare
  - Registro SIPO a 4 bit con ingresso seriale  $S_{in}=a$  e uscite  $Q_{0:3}=(u,v,w,x)$
  - Registro PIPO a 3 bit con ingresso parallelo  $(a,b,c)$ , reset  $(e)$  e uscite  $Q_{0:2}=(u,v,w)$



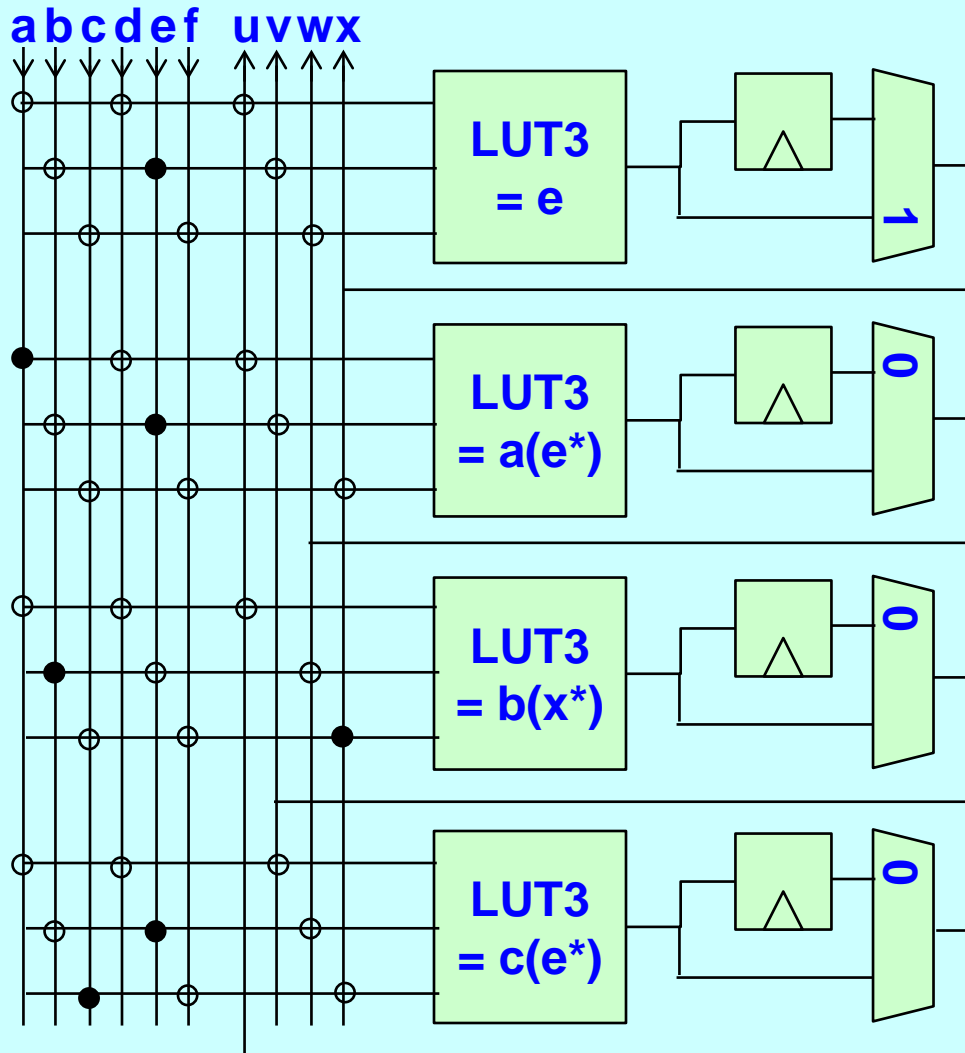
## Be2.3: Logica programmabile 2 (soluzione SIPO)



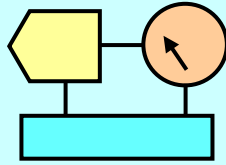
- Determinare la programmazione delle connessioni, delle look-up table (LUT) e dei multiplexer per implementare
  - Registro SIPO a 4 bit con ingresso seriale  $S_{in}=a$  e uscite  $Q_{0:3}=(u,v,w,x)$



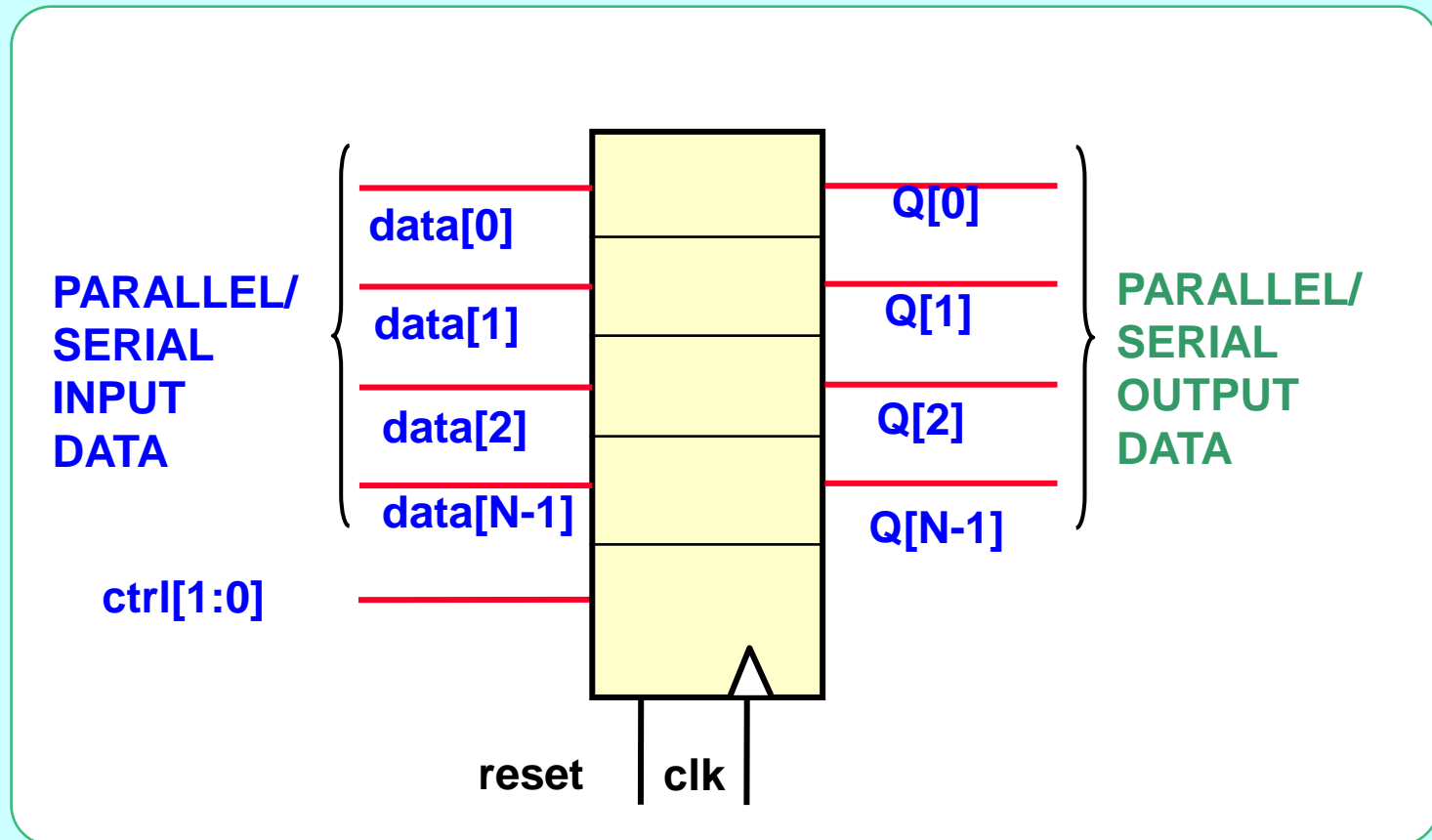
## Be2.3: Logica programmabile 2 (soluzione PIPO)

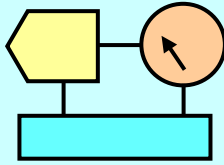


- Determinare la programmazione delle connessioni, delle look-up table (LUT) e dei multiplexer per implementare
  - Registro SIPO a 4 bit con ingresso seriale  $S_{in}=a$  e uscite  $Q_{0:3}=(u,v,w,x)$
  - Registro PIPO a 3 bit con ingresso parallelo  $(a,b,c)$ , reset  $(e)$  e uscite  $Q_{0:2}=(u,v,w)$



# Verilog: shift register completo

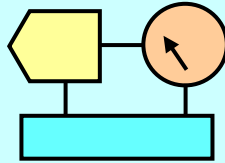




## Verilog: shift register completo

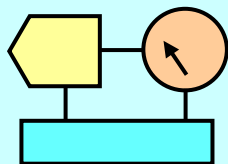
- Specifica:
  - ctrl = 0: Nessun cambiamento uscite
  - ctrl = 1: shift a destra, facendo entrare data[N-1] come MSB
  - ctrl = 2: shift a sinistra, facendo entrare data[0] come LSB
  - ctrl = 3: caricamento parallel di data[N-1:0]





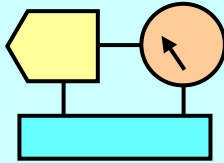
# Verilog: shift register completo

```
module shift_register #(parameter N = 8)(
    input wire clk, reset,
    input wire [1:0] ctrl,
    input wire [N-1:0] data,
    output wire [N-1:0] q);
    reg [N-1:0] s_reg, s_next;
    always @(posedge clk or posedge reset) begin
        if (reset)
            s_reg <= 0;
        else if (clk)
            s_reg <= s_next;
    end
    always @(*) begin
        case (ctrl)
            0 : s_next = s_reg;           // no operation
            1 : s_next = {data[N-1], s_reg[N-1:1]}; // right shift
            2 : s_next = {s_reg[N-2:0], data[0]};  // left shift
            3 : s_next = data;               // load data
        endcase
    end
    assign q = s_reg;
endmodule
```

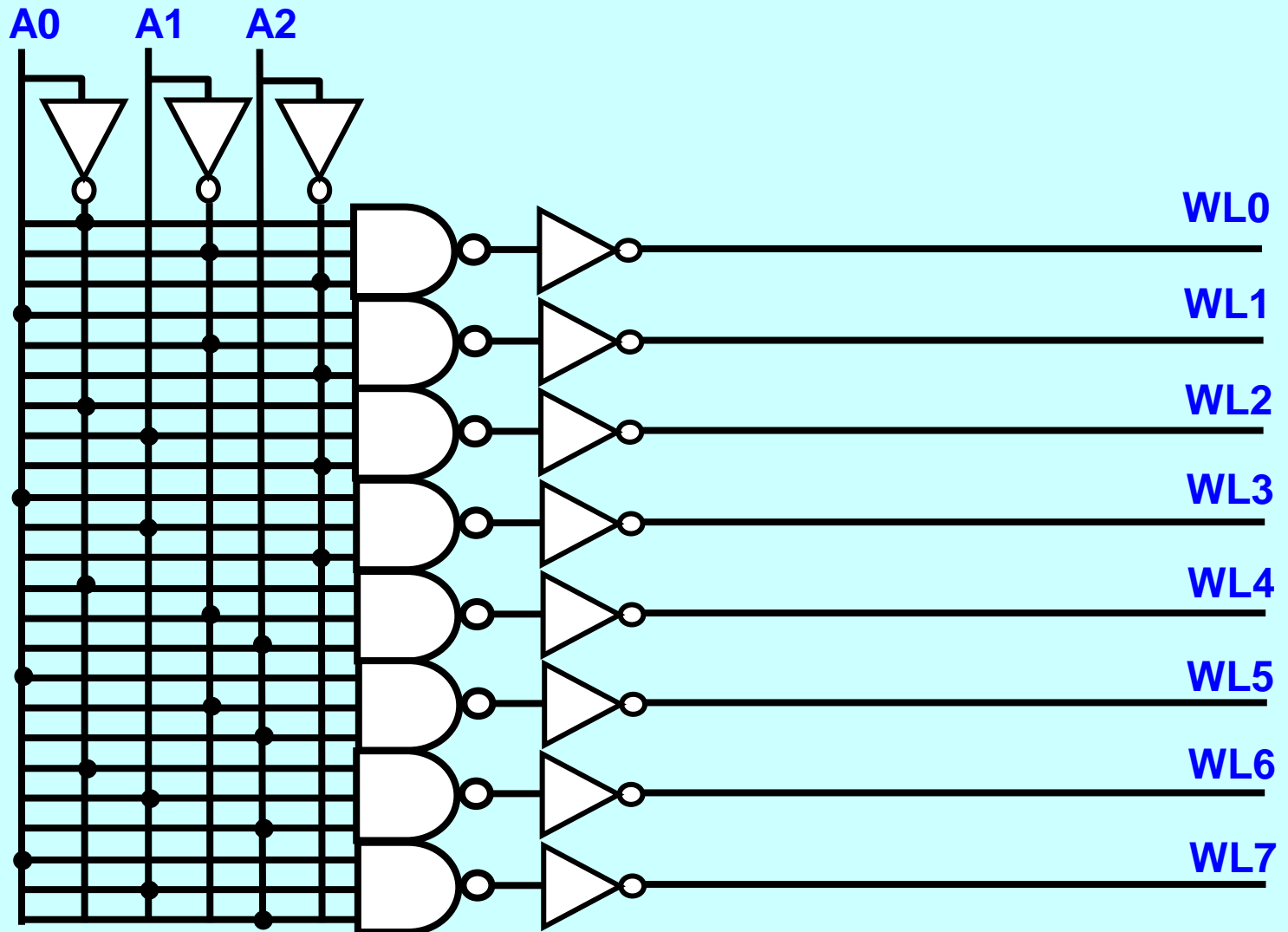


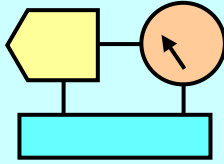
## Be2.4: Decoder indirizzi e ritardo wordline

1. Si ha un banco di memoria DRAM con 8 wordline connesse a  $N = 64$  celle ciascuna. Il pass transistor della cella presenta una capacità di gate di 0,1 fF mentre la linea metallica ha una resistenza complessiva di  $10 \times N = 640$  ohm.
  - Progettare con porte CMOS il decoder che pilota le 8 wordline a partire dai segnali di indirizzo
  - Sapendo che ogni transistor MOS usato nel decoder ha resistenza  $R_{on}=100$  Ohm e capacità di gate  $C_g=1$  fF, determinare il massimo ritardo di attivazione delle wordline
2. Ripetere progetto e calcolo ritardo nell'ipotesi che la memoria sia partizionata in  $B = 4$  banchi ciascuno con 8 wordline connesse a  $N = 64/B = 16$  celle.



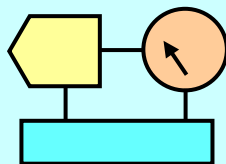
## Be2.4: Decoder



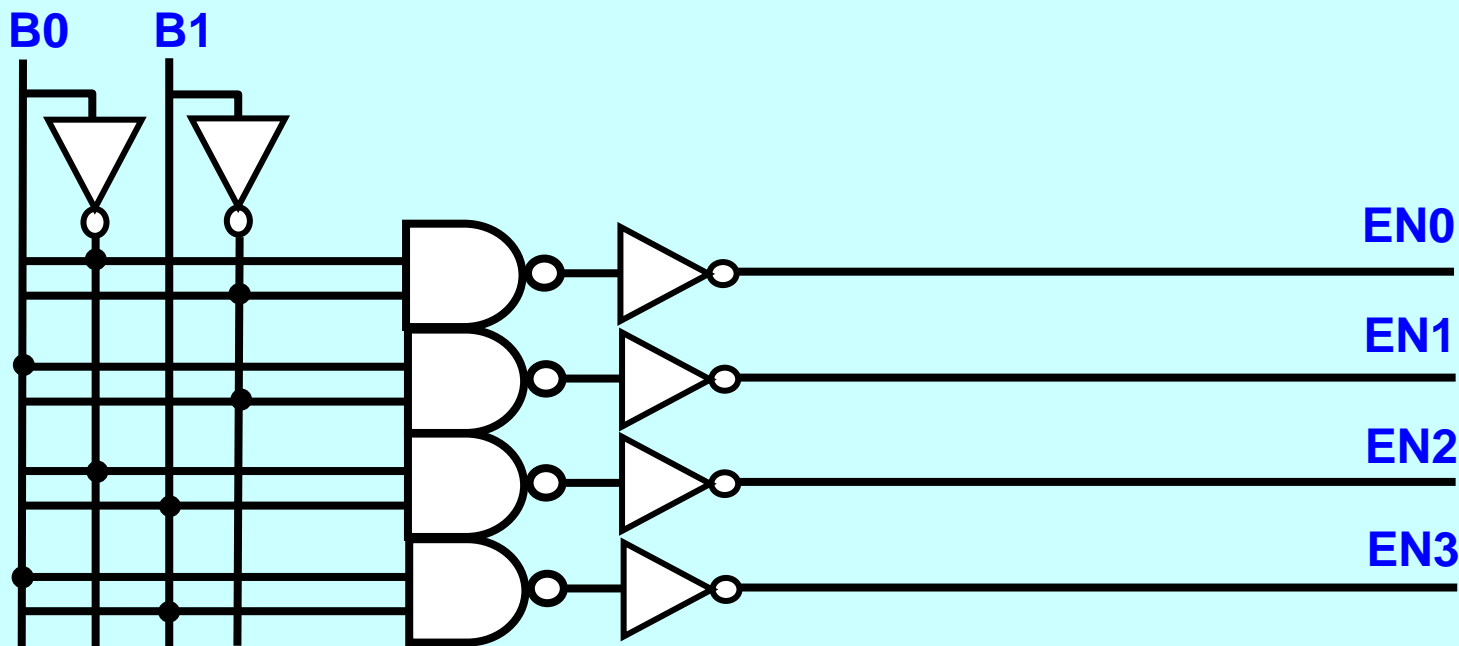


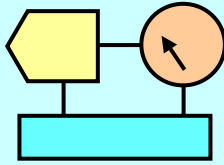
## Be2.4 soluzione caso 1

- Calcolo ritardo caso 1
  - Inverter1:  $0,69 \cdot R_{on} \cdot 8 \cdot C_g = 0,69 \cdot 100 \cdot 2 \cdot 4 \cdot 1f = 0,552 \text{ ps}$
  - Nand:  $0,69 \cdot 3 \cdot R_{on} \cdot 2 \cdot C_g = 0,414 \text{ ps}$
  - Inverter2:  $0,69 \cdot (R_{on} + R_{wl}) \cdot C_{wl} = 0,69 \cdot (100 + 640) \cdot 64 \cdot 0,1f = 3,27 \text{ ps}$
  - $T_{wl} = 0,552 + 0,414 + 3,27 = 4,236 \text{ ps}$

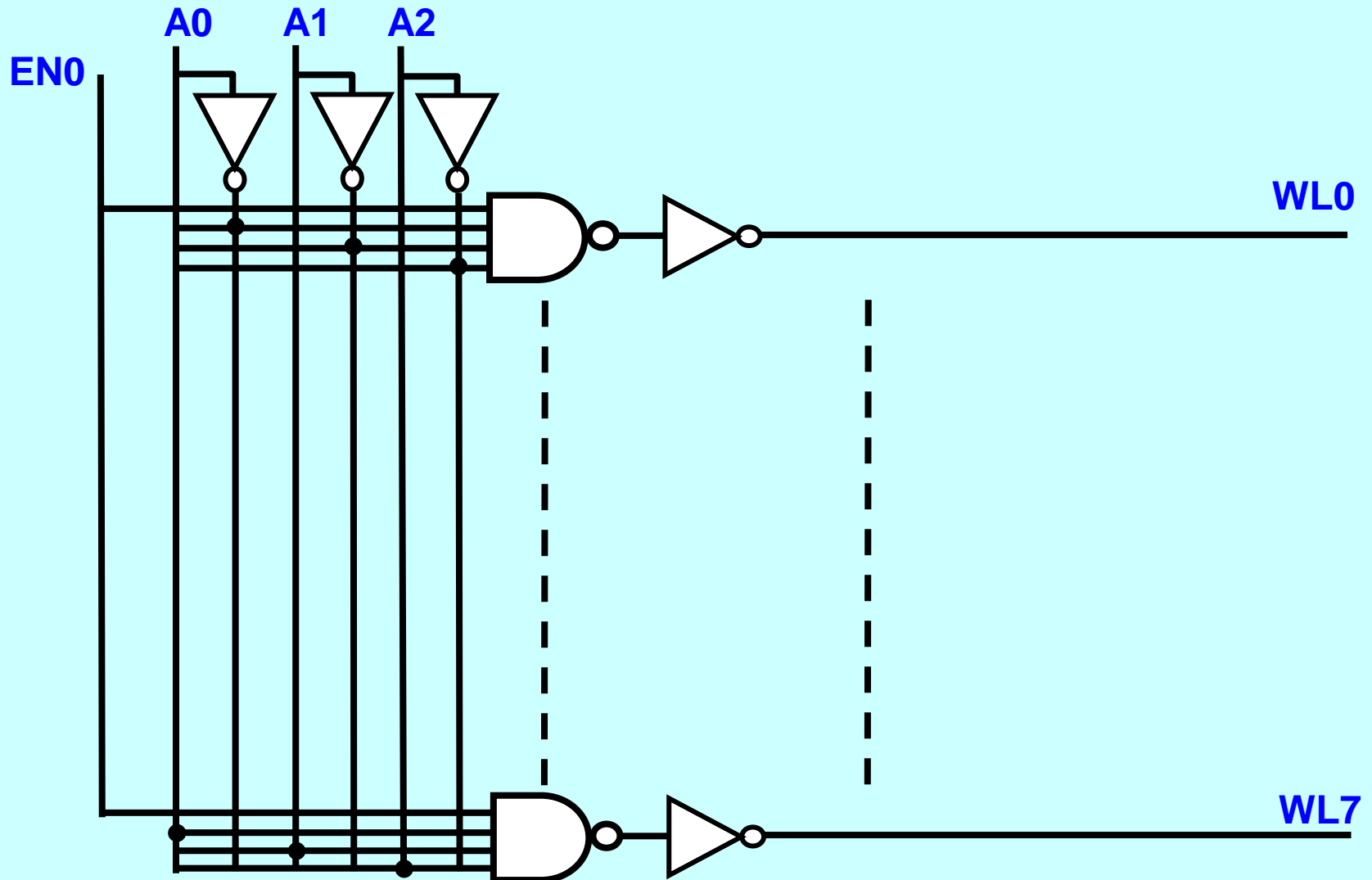


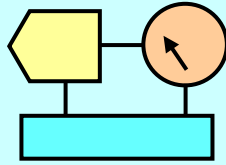
## Be2.4: Pre-decoder per abilitazione banco





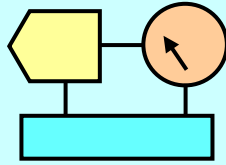
## Be2.4: Decoder Banco 0





## Be2.4 soluzione caso 2

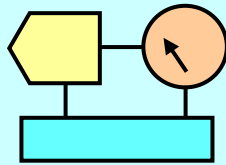
- Calcolo ritardo caso 1
  - $T_{wl} = 0,552 + 0,414 + 3,27 = \mathbf{4,236 \text{ ps}}$
- Calcolo ritardo caso 2
  - Predecoder, Inverter1:  $0,69 \cdot R_{on} \cdot 2 \cdot 2 \cdot C_g = 0,69 \cdot 100 \cdot 2 \cdot 2 \cdot 1f = 0,276 \text{ ps}$
  - Predecoder, Nand:  $0,69 \cdot 2 \cdot R_{on} \cdot 2 \cdot C_g = 0,276 \text{ ps}$
  - Predecoder, Inverter2:  $0,69 \cdot R_{on} \cdot 8 \cdot 2 \cdot C_g = 1,1 \text{ ps}$
  - Decoder Nand:  $0,69 \cdot 2 \cdot R_{on} \cdot 4 \cdot C_g = 0,552 \text{ ps}$
  - Decoder Inverter2:  $0,69 \cdot (R_{on} + R_{wl}) \cdot C_{wl} = 0,69 \cdot (100 + 160) \cdot 16 \cdot 0,1f = 0,287 \text{ ps}$
  - $T_{wl} = 0,276 + 0,276 + 1,1 + 0,552 + 0,287 = \mathbf{2,495 \text{ ps (-40%)}}$



## Be2.5: Lettura in DRAM

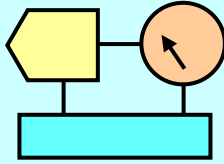
- Cella DRAM con  $C_s=20\text{fF}$ , pass transistor con  $C_d=0,1\text{fF}$  e tensione di soglia  $V_{th}=0,1\text{V}$
- Celle connesse alla bitline  $M=512$
- Tensione di alimentazione  $V_{dd}=1\text{V}$ 
  - Determinare la variazione di tensione sulla bitline e sul condensatore di storage a seguito di una lettura di un 1 memorizzato nella cella
  - Determinare la variazione di tensione sulla bitline e sul condensatore di storage a seguito di una lettura di uno 0 memorizzato nella cella
  - Se la sensibilità del Sense Amplifier è di  $50\text{mV}$ , determinare il massimo numero  $M$  di celle connesse alla bitline





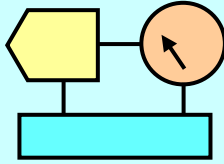
## Be2.5: Soluzione

- $C_{bl} = 512 * C_d = 51,2 \text{ fF}$
- Lettura di 1
  - $\Delta V_{bl} = C_s / (C_s + C_{bl}) * (V_{dd}/2 - V_{th}) = 20 / (20 + 51,4) (0,5 - 0,1) = 112 \text{ mV}$
  - $\Delta V_{cs} = -C_{bl} / (C_s + C_{bl}) * (V_{dd}/2 - V_{th}) = -51,4 / (20 + 51,4) (0,5 - 0,1) = -288 \text{ mV}$
- Lettura di 0
  - $\Delta V_{bl} = -C_s / (C_s + C_{bl}) * V_{dd}/2 = -20 / (20 + 51,4) 0,5 = -140 \text{ mV}$
  - $\Delta V_{cs} = C_{bl} / (C_s + C_{bl}) * V_{dd}/2 = 51,4 / (20 + 51,4) 0,5 = 360 \text{ mV}$
- Max numero di celle connesse a bitline
  - Caso peggiore lettura di 1:  $\Delta V_{bl} = C_s / (C_s + M * C_d) * (V_{dd}/2 - V_{th}) = 50 \text{ mV} \Rightarrow M = C_s / C_d * [(V_{dd}/2 - V_{th}) / 0,05 - 1] = 1400$



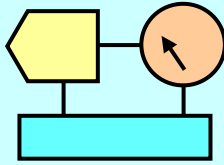
## Be2.6: Rinfresco celle DRAM

- Corrente di leakage nei pass transistor di celle DRAM  
 $I_{\text{leak}} = 25 \text{ fA}$
- Capacità di storage  $C_s = 20 \text{ fF}$ 
  - Determinare periodo di refresh per garantire una variazione massima della tensione nel condensatore di storage di  $0,1 \text{ V}$



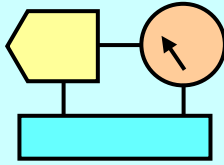
## Be2.6: Soluzione

- $I = C_s \, dV/dt = C_s \, \Delta V / \Delta t$  (scarica lineare)
- $\Delta V = 0,1V$
- $\Delta t = C_s \, \Delta V / I = 20f * 0,1 / 25f = 0,08 = 80 \, ms$



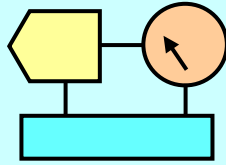
## Be2.7: Ritenzione in cella Flash

- Una cella FLASH presenta una capacità tra gate di controllo e gate flottante pari a  $C_{pp}=50\text{aF}$ 
  - Nell'ipotesi che la massima variazione ammissibile della tensione di soglia per garantire la ritenzione del dato memorizzato per 10 anni nella cella sia pari a  $\Delta V_{th}=1\text{V}$ , determinare la massima corrente di perdita tra gate flottante e substrato (in Ampere e in elettroni persi/settimana)



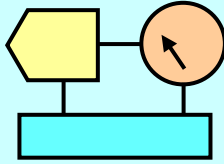
## Be2.7: Soluzione

- $\Delta Q = C_{pp} \Delta V_{th} = 50 \text{ aF} * 1 \text{ V} = 50 \text{ aC}$   
 $= 50 * 10^{-18} \text{ aC} / 1.6 * 10^{-19} \text{ C} = 312 \text{ elettroni}$
- $I = \Delta Q / \Delta T = 50 \text{ aC} * 1 \text{ V} / (10 * 365 * 24 * 3600) = 1,6 * 10^{-25} \text{ A}$
- $I = 312 e^- / (10 * 52) = 0,6 \text{ elettroni/settimana}$



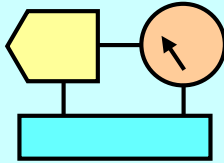
## Be2.8: Massimo numero di cicli P/E in celle FLASH

- Le celle di una memoria FLASH da 4096 blocchi possono essere programmate e cancellate al massimo per  $10^4$  volte
- In un ipotetico scenario di utilizzo, vengono continuamente eseguiti cicli di P/E su file di 50 blocchi ad un tasso medio di 1 file ogni 10 minuti. I file occupano al massimo 200 blocchi complessivi simultaneamente
- Determinare la durata massima della flash (in anni) nei due seguenti casi
  - No “wear leveling”, ossia i file sono scritti sempre negli stessi 200 blocchi
  - “wear leveling”, ossia i file vengono distribuiti uniformemente su tutti i 4096 blocchi



## Be2.8: Soluzione

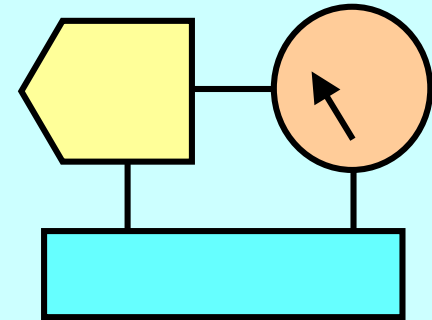
1.  $T = 10,000 \text{ cicli} * 200 \text{ blocchi} / (50 \text{ blocchi} / 10 \text{ minuti})$   
 $= 400.000 \text{ minuti} = 278 \text{ giorni} (< 1 \text{ anno})$
2.  $T = 10,000 \text{ cicli} * 4096 \text{ blocchi} / (50 \text{ blocchi} / 10 \text{ minuti})$   
 $= 5689 \text{ giorni} (> 15 \text{ anni})$



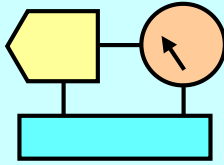
## ELETTRONICA APPLICATA

### Ce1 – Esercizi: interconnessioni

- » Ritardi e skew con modello RC
- » Linee di trasmissione, riflessioni
- » Velocità di ciclo
  - Tolleranza clock seriale
  - Condensatori di bypass

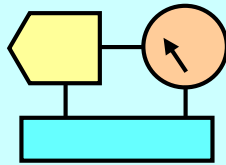






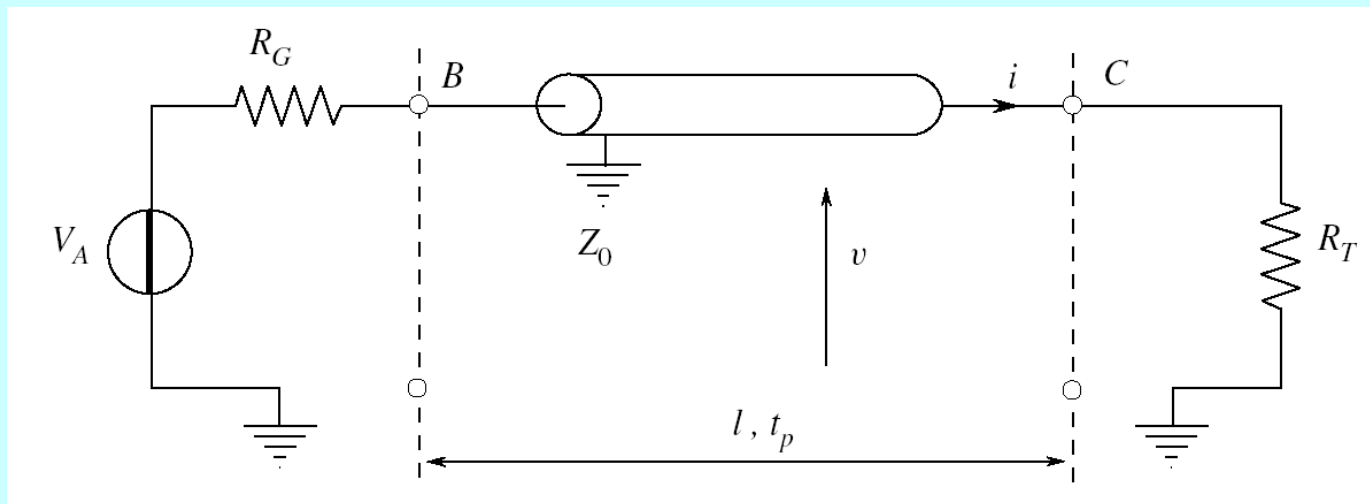
## Ce1: Esercizi su interconnessioni

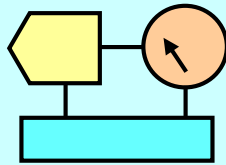
- Ritardi e skew con modelli RC Ce1.1, Ce1.2
- Modelli a linea di trasmissione Ce1.3, Ce1.4
- Diagrammi temporali, IWS Ce1.5, Ce1.6
- Esempi di esercizi di esame Ce1.7, Ce1.8
- Altri esercizi (domande a risposte chiuse) in coda alle singole lezioni di “Interconnections for high-speed digital circuits”, scaricabile dal sito [areeweb.polito.it](http://areeweb.polito.it)...



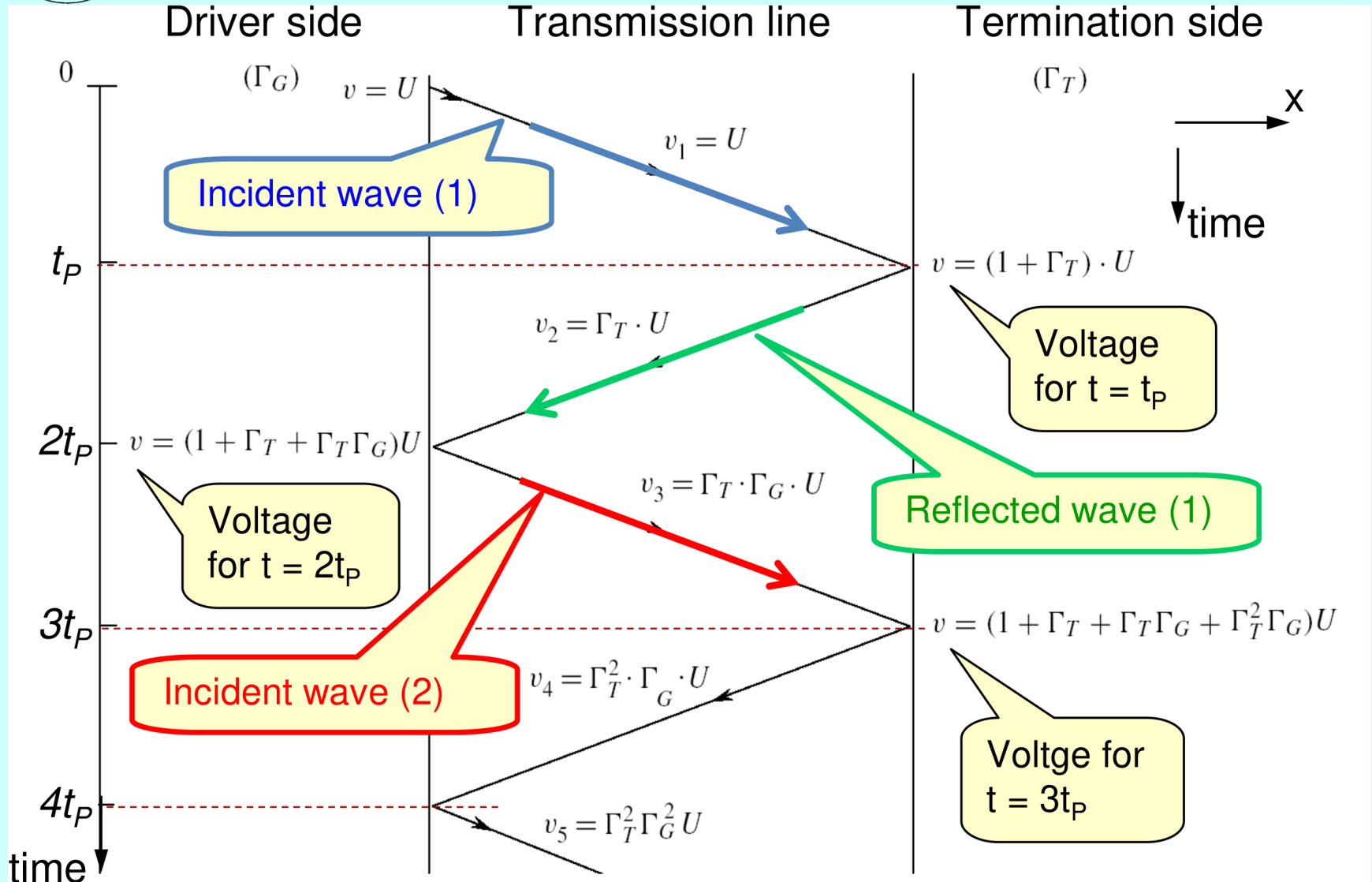
## Esercizio Ce1.4: Diagrammi temporali

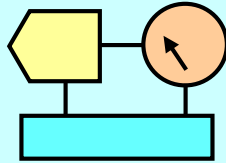
- Tracciare per  $4 t_p$ , usando la tecnica del diagramma a traliccio, l'andamento di  $V_B$  e  $V_C$  per una commutazione di  $V_A$  da 0 V a 5 V. Parametri:  
 $R_G = 50 \Omega$ ,  $R_T = \infty$ ,  $Z_\infty = 50 \Omega$ ,  
 $P = 0,8$  c,  $l = 20$  cm
- Ripetere il calcolo con  $R_G = 270 \Omega$  ed  $R_G = 15 \Omega$





## Esercizio Ce1.4: Diagrammi temporali

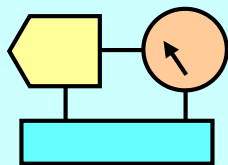




## Esercizio Ce1.4: Diagrammi temporali

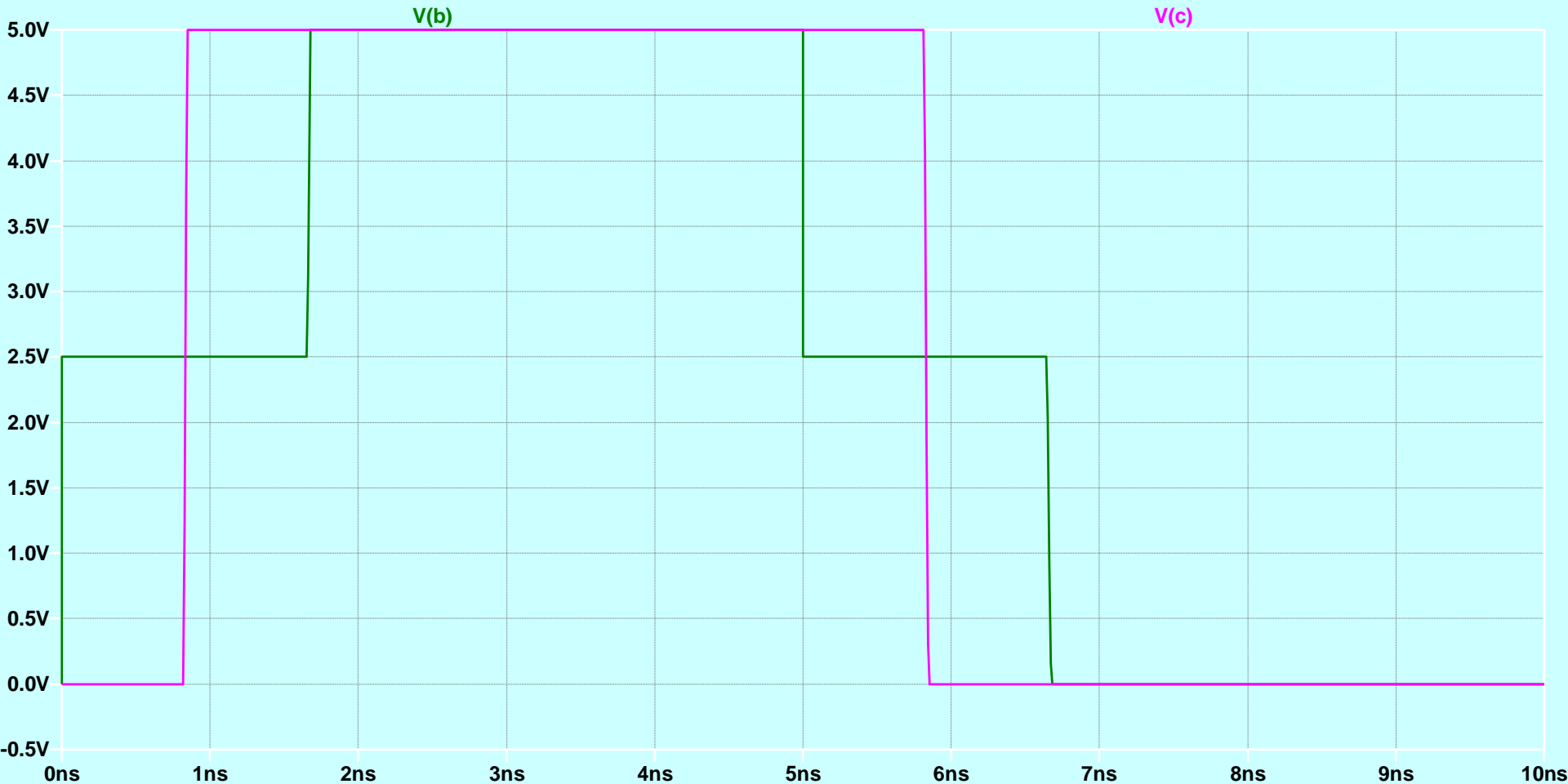
$R_G = 50 \Omega$

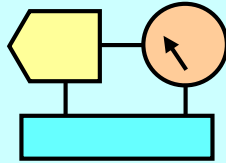
- $\Gamma_G = \frac{R_G - Z_\infty}{R_G + Z_\infty} = \frac{50 \Omega - 50 \Omega}{50 \Omega + 50 \Omega} = 0, \quad \Gamma_T = \frac{\infty - 50 \Omega}{\infty + 50 \Omega} = 1$
- $t_P = \frac{l}{P} = \frac{0,2 \text{ m}}{0,8 \cdot 3 \cdot 10^8 \text{ m/s}} = 0,83 \text{ ns}$
- $V_B(0) = \frac{Z_\infty}{R_G + Z_\infty} V_A = \frac{50 \Omega}{50 \Omega + 50 \Omega} 5 \text{ V} = 2,5 \text{ V}$
- $V_C(t_P) = (1 + \Gamma_T) V_B(0) = (1 + 1) \cdot 2,5 \text{ V} = 5 \text{ V}$
- $V_B(2 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G) V_B(0) = (1 + 1 + 1 \cdot 0) \cdot 2,5 \text{ V} = 5 \text{ V}$
- $V_C(3 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G) V_B(0) = (1 + 1 + 1 \cdot 0 + 1^2 \cdot 0) \cdot 2,5 \text{ V} = 5 \text{ V}$
- $V_B(4 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G + \Gamma_T^2 \Gamma_G^2) V_B(0) = (1 + 1 + 1 \cdot 0 + 1^2 \cdot 0 + 1^2 \cdot 0^2) \cdot 2,5 \text{ V} = 5 \text{ V}$



## Esercizio Ce1.4: Diagrammi temporali

$R_G = 50 \Omega$

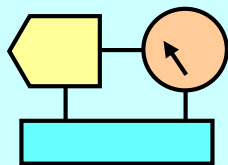




## Esercizio Ce1.4: Diagrammi temporali

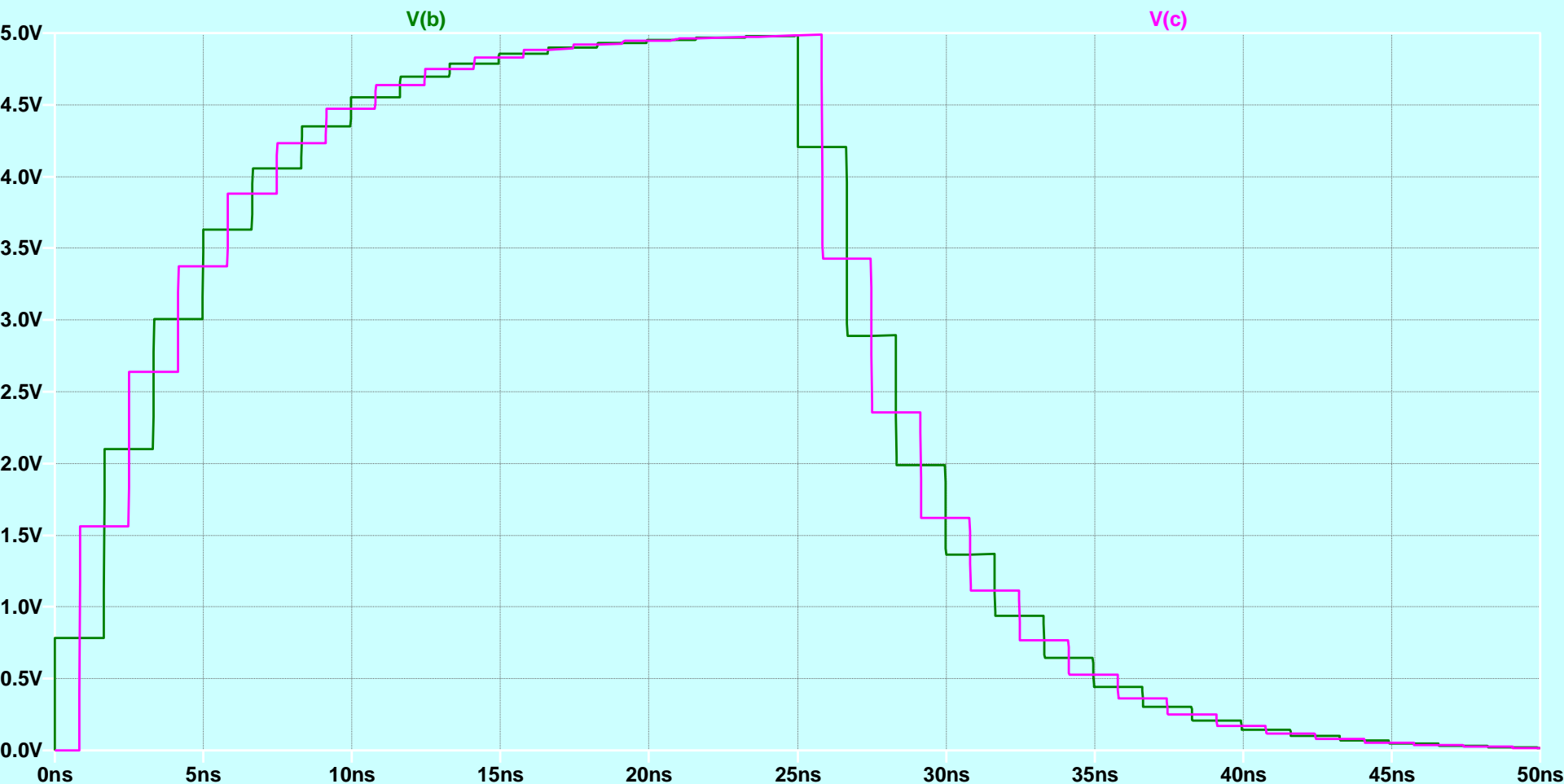
$R_G = 270 \Omega$

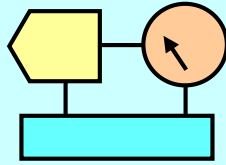
- $\Gamma_G = \frac{R_G - Z_\infty}{R_G + Z_\infty} = \frac{270 \Omega - 50 \Omega}{270 \Omega + 50 \Omega} = 0,69, \quad \Gamma_T = \frac{\infty - 50 \Omega}{\infty + 50 \Omega} = 1$
- $t_P = \frac{l}{P} = \frac{0,2 \text{ m}}{0,8 \cdot 3 \cdot 10^8 \text{ m/s}} = 0,83 \text{ ns}$
- $V_B(0) = \frac{Z_\infty}{R_G + Z_\infty} V_A = \frac{50 \Omega}{270 \Omega + 50 \Omega} 5 \text{ V} = 0,78 \text{ V}$
- $V_C(t_P) = (1 + \Gamma_T) V_B(0) = (1 + 1) \cdot 0,78 \text{ V} = 1,56 \text{ V}$
- $V_B(2 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G) V_B(0) = (1 + 1 + 1 \cdot 0,69) \cdot 0,78 \text{ V} = 2,10 \text{ V}$
- $V_C(3 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G) V_B(0) = (1 + 1 + 1 \cdot 0,69 + 1^2 \cdot 0,69) \cdot 0,78 \text{ V} = 2,64 \text{ V}$
- $V_B(4 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G + \Gamma_T^2 \Gamma_G^2) V_B(0) = (1 + 1 + 1 \cdot 0,69 + 1^2 \cdot 0,69 + 1^2 \cdot 0,69^2) \cdot 0,78 \text{ V} = 3,01 \text{ V}$



# Esercizio Ce1.4: Diagrammi temporali

$R_G = 270 \Omega$



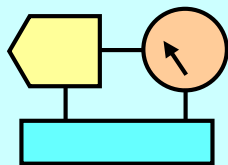


## Esercizio Ce1.4: Diagrammi temporali

$R_G = 15 \Omega$

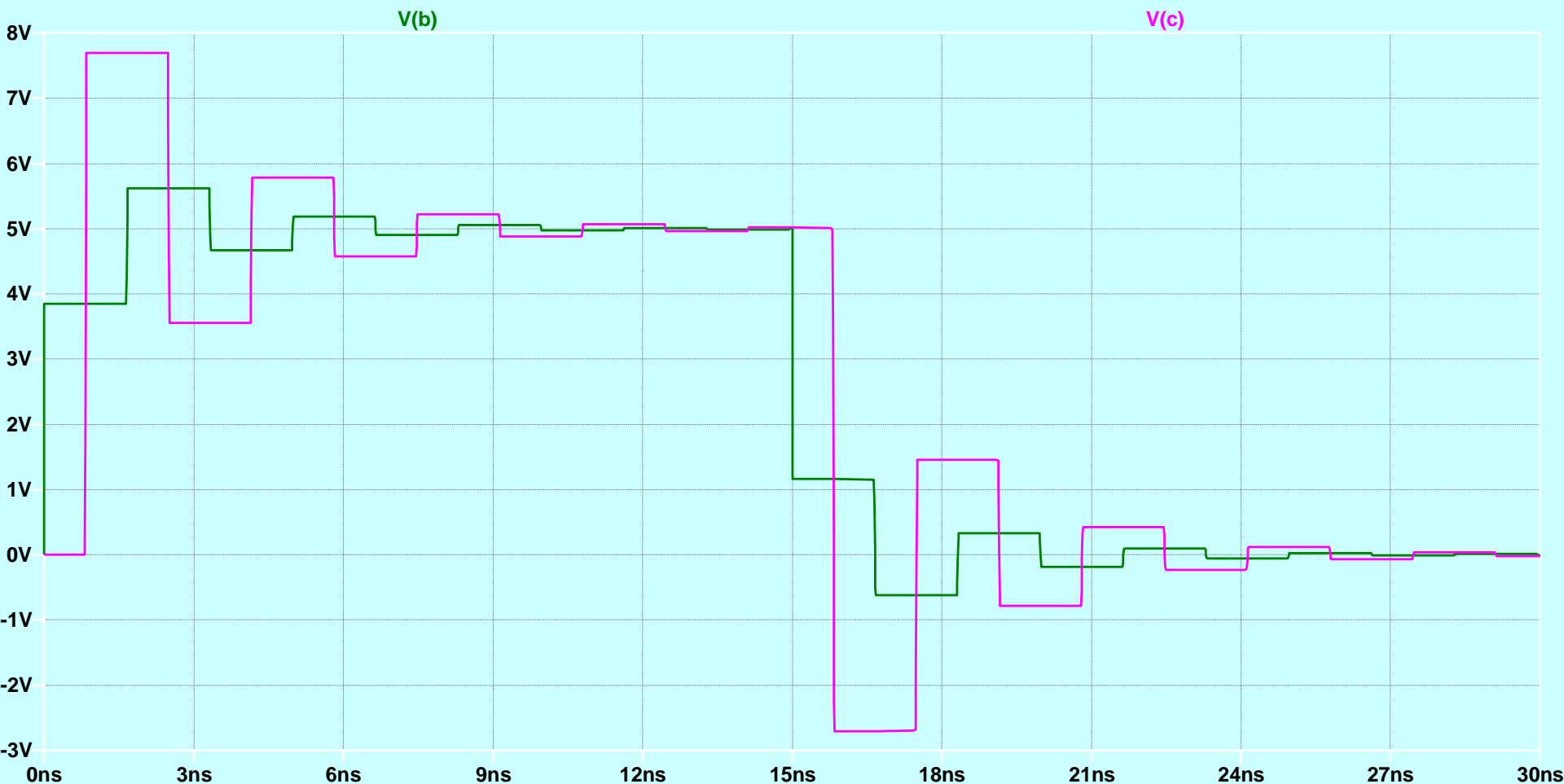
- $\Gamma_G = \frac{R_G - Z_\infty}{R_G + Z_\infty} = \frac{15 \Omega - 50 \Omega}{15 \Omega + 50 \Omega} = -0,54, \quad \Gamma_T = \frac{\infty - 50 \Omega}{\infty + 50 \Omega} = 1$
- $t_P = \frac{l}{P} = \frac{0,2 \text{ m}}{0,8 \cdot 3 \cdot 10^8 \text{ m/s}} = 0,83 \text{ ns}$
- $V_B(0) = \frac{Z_\infty}{R_G + Z_\infty} V_A = \frac{50 \Omega}{15 \Omega + 50 \Omega} 5 \text{ V} = 3,85 \text{ V}$
- $V_C(t_P) = (1 + \Gamma_T) V_B(0) = (1 + 1) \cdot 3,85 \text{ V} = 7,70 \text{ V}$
- $V_B(2 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G) V_B(0) = [1 + 1 + 1 \cdot (-0,54)] \cdot 3,85 \text{ V} = 5,62 \text{ V}$
- $V_C(3 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G) V_B(0) = [1 + 1 + 1 \cdot (-0,54) + 1^2 \cdot (-0,54)] \cdot 3,85 \text{ V} = 3,54 \text{ V}$
- $V_B(4 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G + \Gamma_T^2 \Gamma_G^2) V_B(0) = [1 + 1 + 1 \cdot (-0,54) + 1^2 \cdot (-0,54) + 1^2 \cdot (-0,54)^2] \cdot 3,85 \text{ V} = 4,66 \text{ V}$

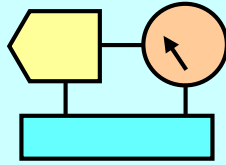




# Esercizio Ce1.4: Diagrammi temporali

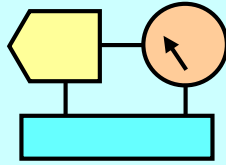
$R_G = 15 \Omega$





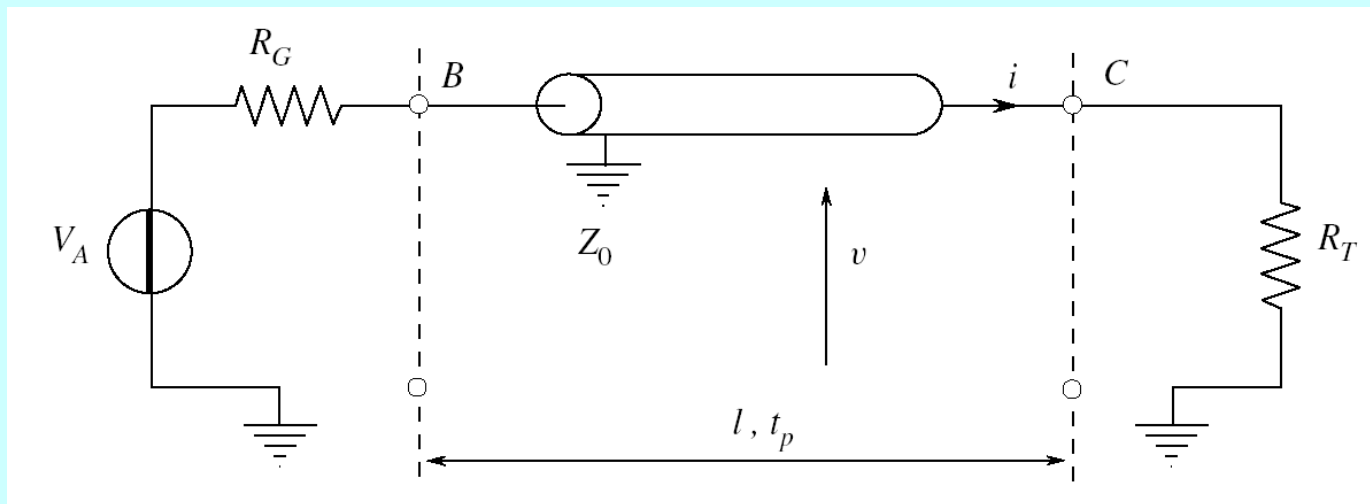
## Esercizio Ce1.5: Incident Wave Switching

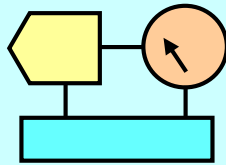
- Calcolare la resistenza di uscita del driver ( $R_G$ ) richiesta per avere commutazione sull'onda incidente (primo gradino, IWS) in una interconnessione con:
  - Tensione di uscita a vuoto del driver (L, H):  $V_A = 0 \text{ V}, 4 \text{ V}$
  - Soglia del ricevitore:  $V_{TH} = 2,5 \text{ V}$
  - Impedenza caratteristica dell'interconnessione  $Z_\infty = 70 \Omega$
- Indicare come evitare transizioni multiple causate dalle riflessioni all'estremo remoto.



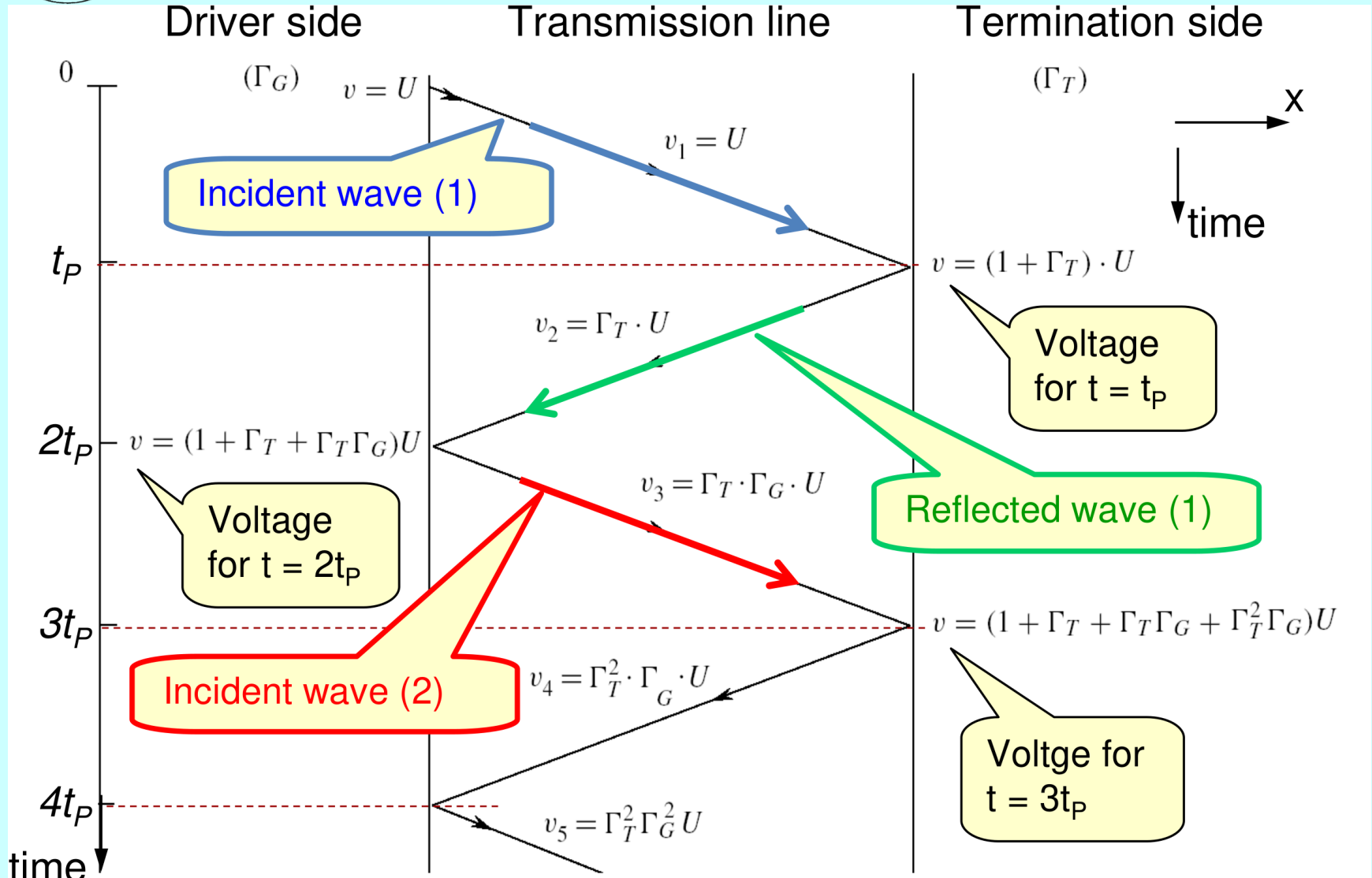
## Esercizio Ce1.5: Incident Wave Switching

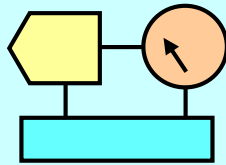
- Calcolare la resistenza di uscita del driver ( $R_G$ ) richiesta per avere commutazione sull'onda incidente (primo gradino, IWS) in una interconnessione con:
  - Tensione di uscita a vuoto del driver (L, H):  $V_A = 0 \text{ V}, 4 \text{ V}$
  - Soglia del ricevitore:  $V_{TH} = 2,5 \text{ V}$
  - Impedenza caratteristica dell'interconnessione  $Z_\infty = 70 \Omega$





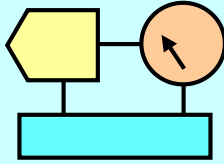
# Esercizio Ce1.5: Incident Wave Switching





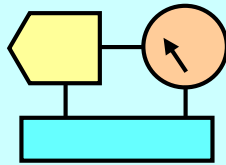
## Esercizio Ce1.5: Incident Wave Switching

- $V_B^{LH}(0) = \frac{Z_\infty}{R_G + Z_\infty} V_A \geq V_{TH} \rightarrow \text{per IWS } L \rightarrow H$
- $\frac{Z_\infty}{R_G + Z_\infty} \geq \frac{V_{TH}}{V_A}$
- $R_G + Z_\infty \leq Z_\infty \frac{V_A}{V_{TH}}$
- $R_G \leq Z_\infty \left( \frac{V_A}{V_{TH}} - 1 \right) = 70 \, \Omega \cdot \left( \frac{4 \, V}{2,5 \, V} - 1 \right) = 42 \, \Omega \text{ for IWS } L \rightarrow H$
- $R_G \leq 70 \, \Omega \cdot \left( \frac{4 \, V}{2,5 \, V} - 1 \right) = 42 \, \Omega$
- $V_B^{HL}(0) = \frac{R_T}{R_G + R_T} V_A + \frac{Z_\infty}{R_G + Z_\infty} (-V_A) \leq V_{TH} \rightarrow \text{per IWS } H \rightarrow L$
- $V_B^{HL}(0) = V_A \left( \frac{R_T}{R_G + R_T} - \frac{Z_\infty}{R_G + Z_\infty} \right) \leq V_{TH}$



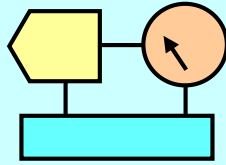
## Esercizio Ce1.5: Incident Wave Switching

- Indicare come evitare transizioni multiple causate dalle riflessioni all'estremo remoto.

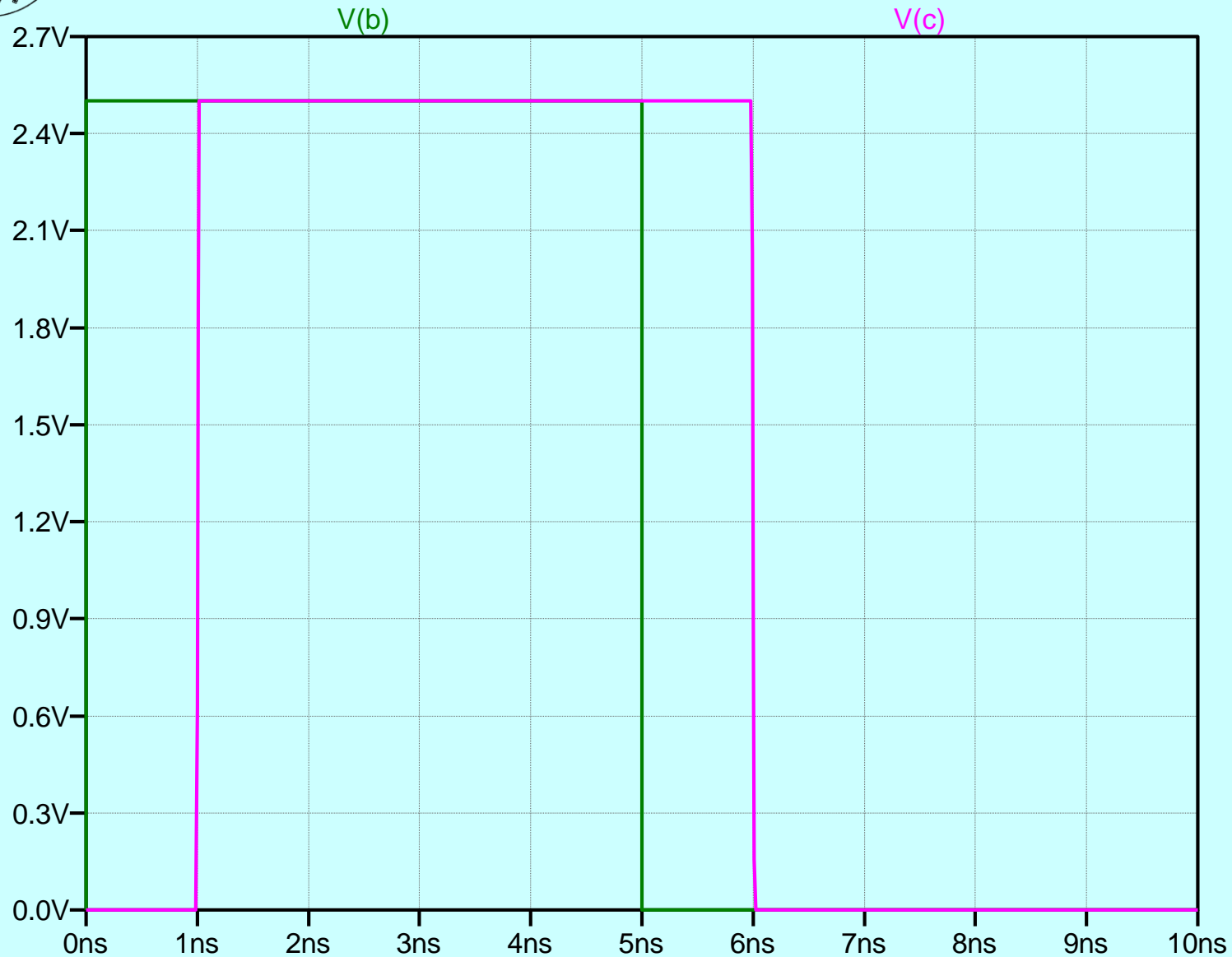


## Esercizio Ce1.5: Incident Wave Switching

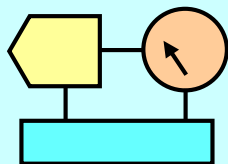
- Indicare come evitare transizioni multiple causate dalle riflessioni all'estremo remoto.
- $V_B^{LH}(0) = \frac{Z_\infty}{R_G + Z_\infty} V_A \geq V_{TH} \Rightarrow R_G \leq 42 \Omega$
- $\Gamma_G = \frac{R_G - Z_\infty}{R_G + Z_\infty} = \frac{42 \Omega - 70 \Omega}{42 \Omega + 70 \Omega} = -0,25$
- $V_C^{LH}(t_P) = (1 + \Gamma_T) V_B^{LH}(0) \geq V_{TH}$
- $(1 + \Gamma_T) \geq \frac{V_{TH}}{V_B^{LH}(0)}, V_B^{LH}(0) \geq V_{TH} \Rightarrow \left( \frac{V_{TH}}{V_B^{LH}(0)} - 1 \right) \leq 0 \Rightarrow R_T \leq Z_\infty$
- 1.  $(1 + \Gamma_T) \geq \frac{V_{TH}}{V_B^{LH}(0)} \Rightarrow \frac{R_T - Z_\infty}{R_T + Z_\infty} \geq \left( \frac{V_{TH}}{\frac{Z_\infty}{R_G + Z_\infty} V_A} - 1 \right) \Rightarrow R_T \geq \dots$
- 2.  $V_{TH} \leq \frac{R_T}{R_G + R_T} V_A \rightarrow \text{condizione a regime}$



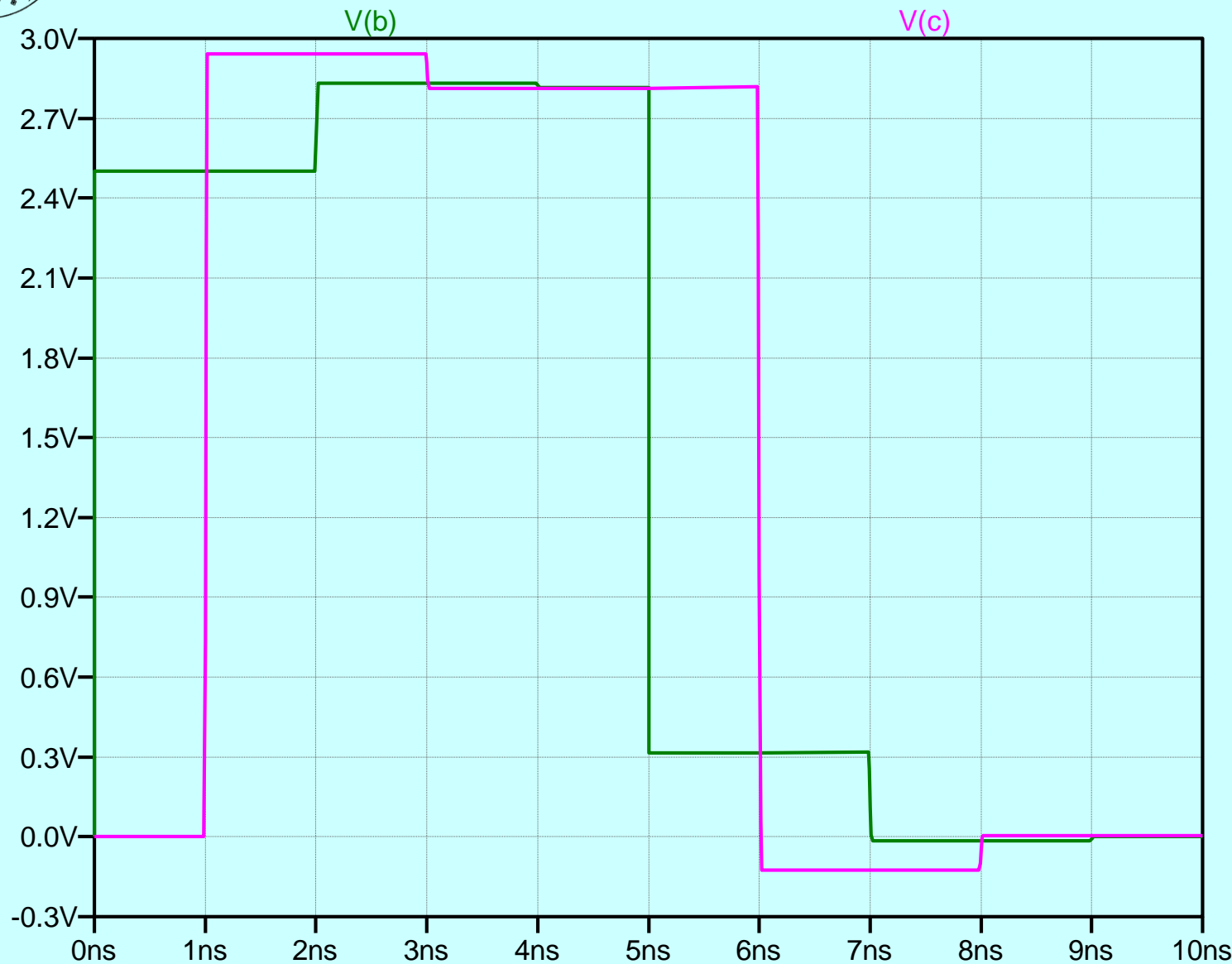
## Esercizio Ce1.5: Incident Wave Switching – $R_G = 42 \Omega$ , $R_T = 70 \Omega$

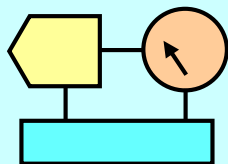




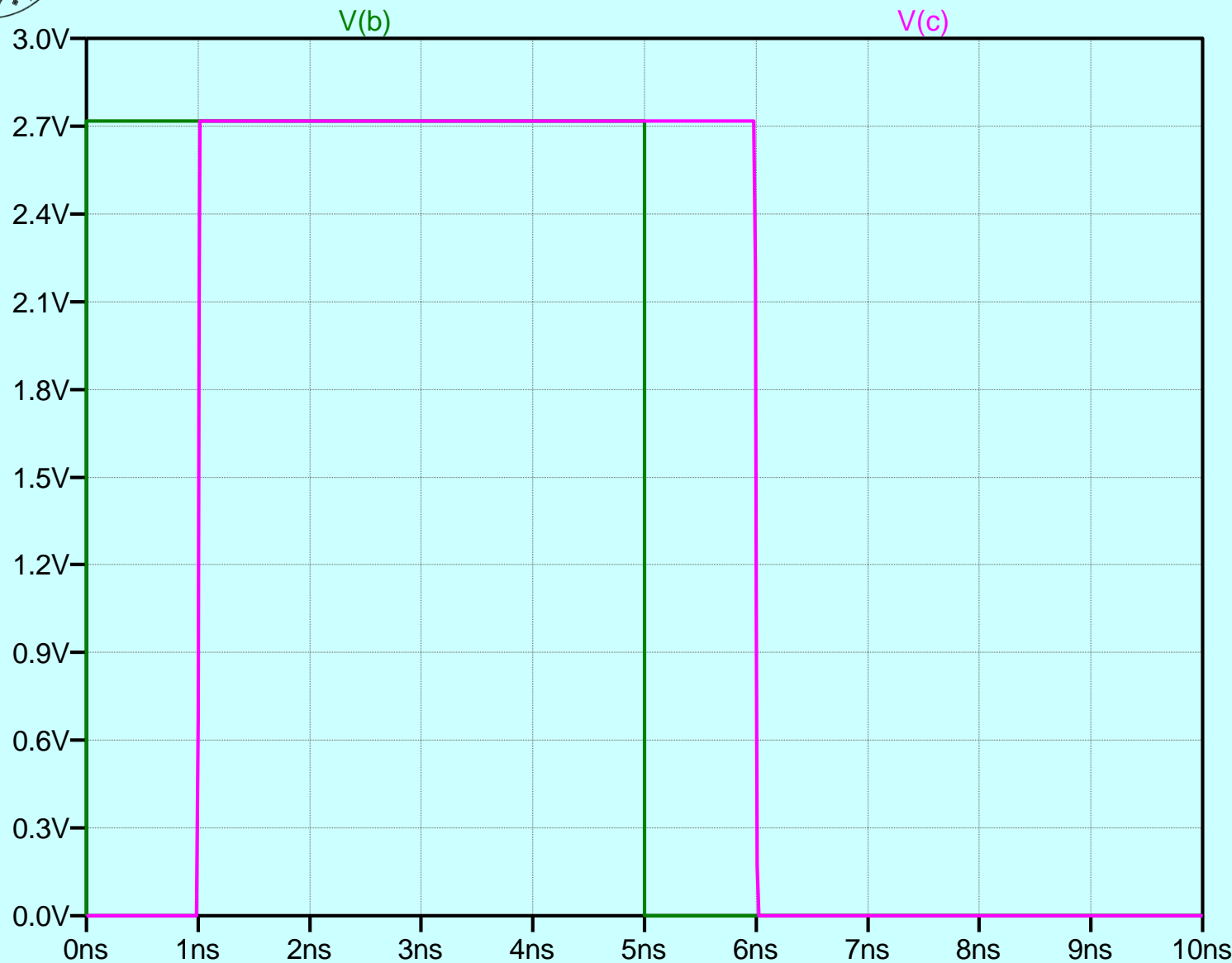


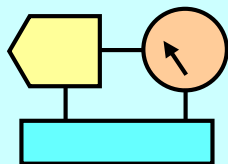
## Esercizio Ce1.5: Incident Wave Switching – $R_G = 42 \Omega$ , $R_T = 100 \Omega$



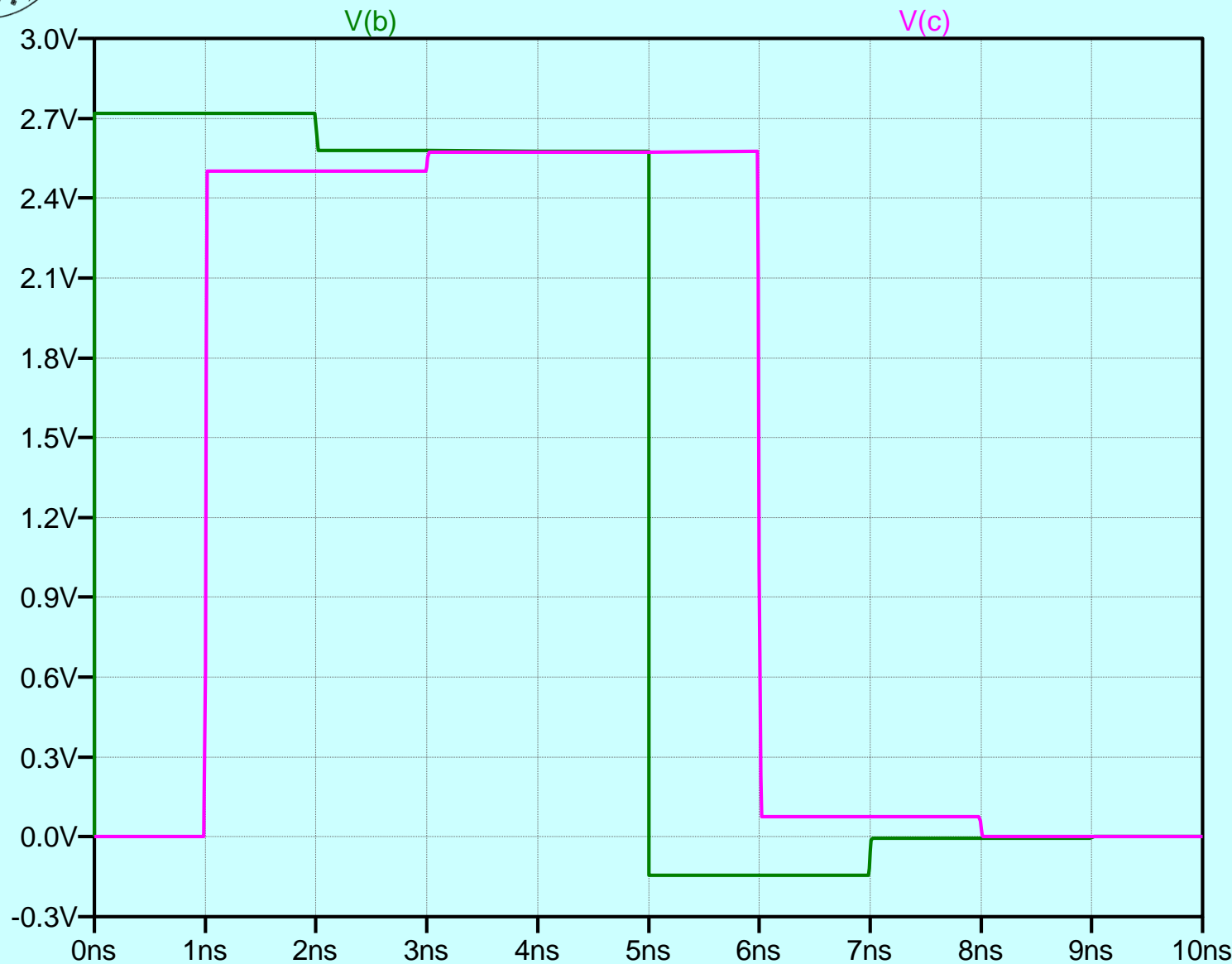


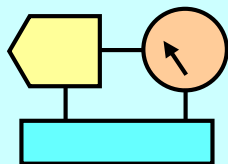
## Esercizio Ce1.5: Incident Wave Switching – $R_G = 33 \Omega$ , $R_T = 70 \Omega$



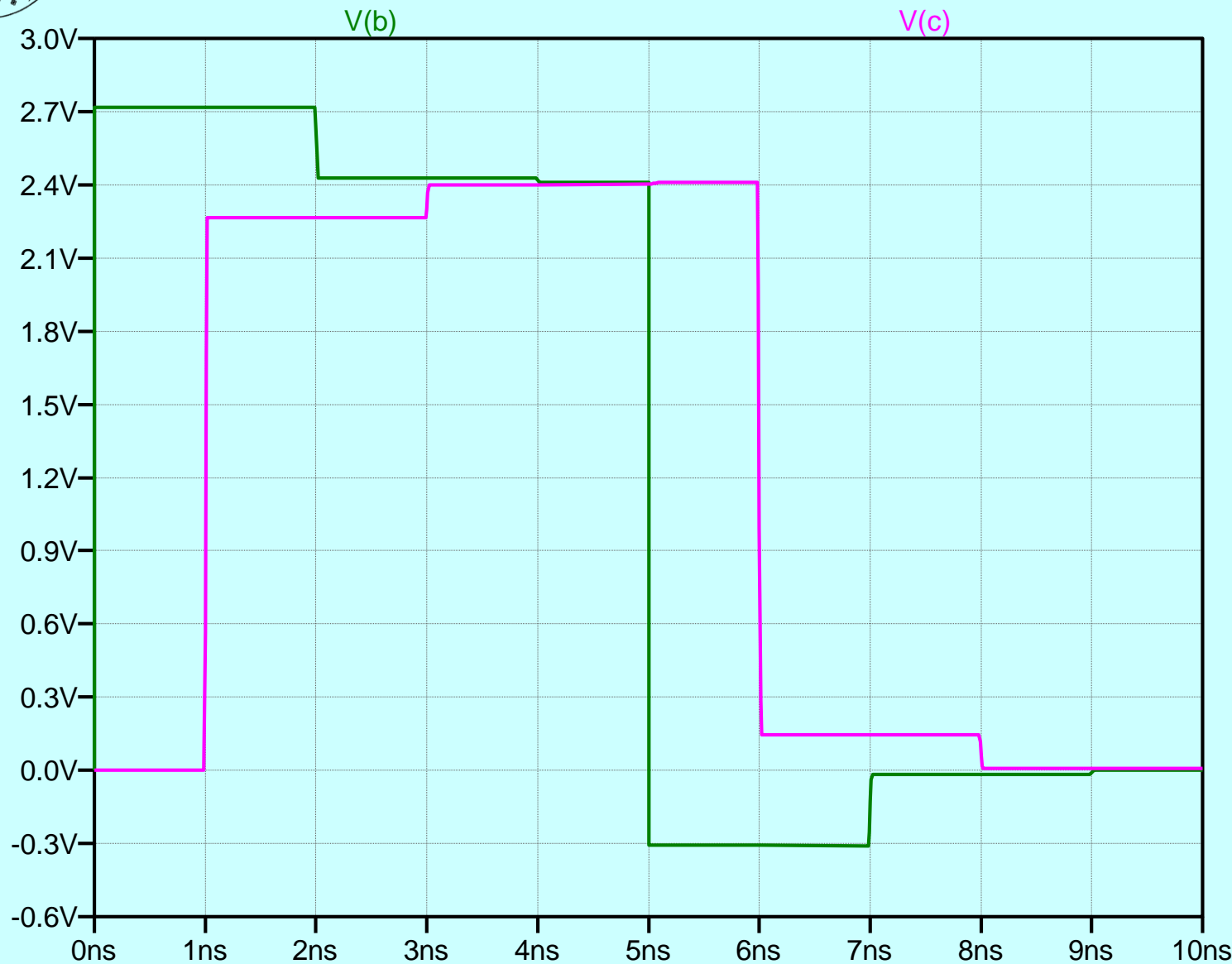


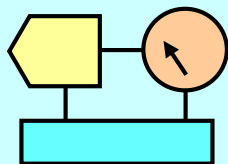
## Esercizio Ce1.5: Incident Wave Switching – $R_G = 33 \Omega$ , $R_T = 59,6 \Omega$



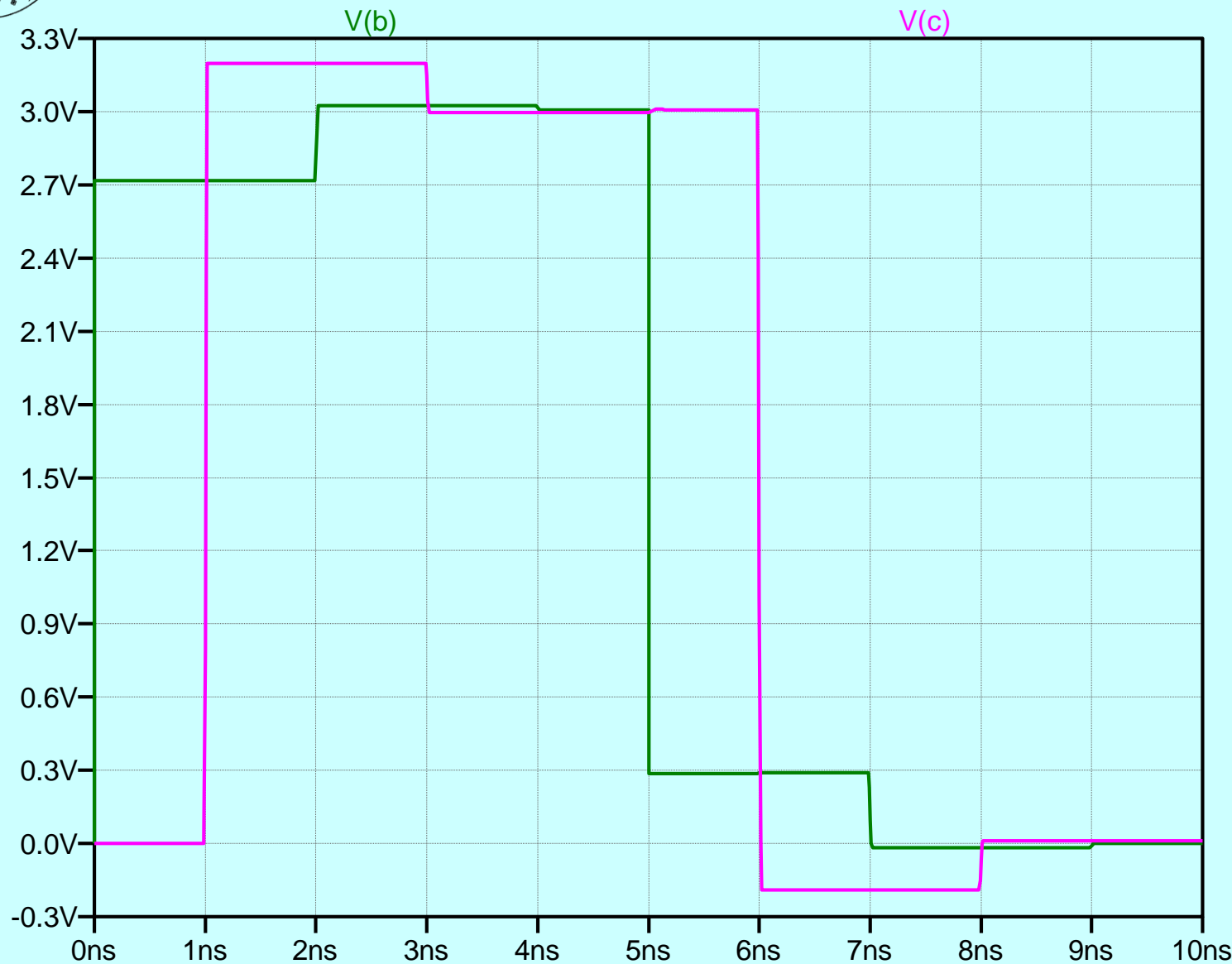


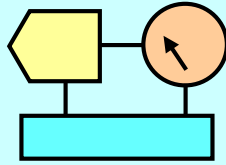
## Esercizio Ce1.5: Incident Wave Switching – $R_G = 33 \Omega$ , $R_T = 50 \Omega$





## Esercizio Ce1.5: Incident Wave Switching – $R_G = 33 \Omega$ , $R_T = 100 \Omega$





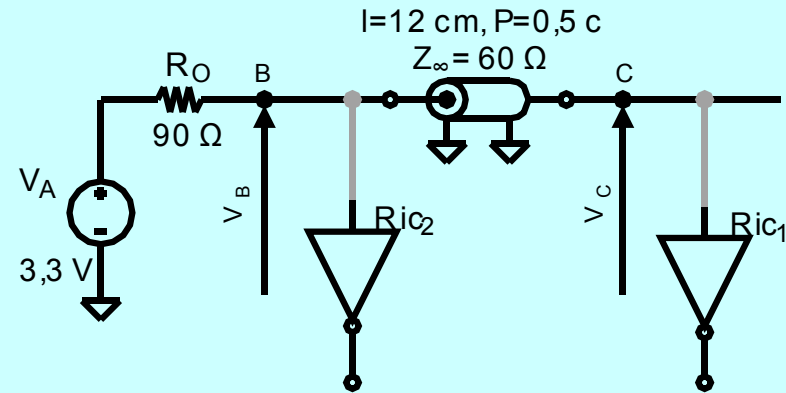
## Esercizio Ce1.7

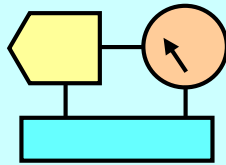
- Un driver alimentato a  $3,3\text{ V}$  e con  $R_0 = 90\ \Omega$  pilota una connessione con  $Z_\infty = 60\ \Omega$ , velocità di propagazione  $P = 0,5\text{ c}$ , lunghezza  $12\text{ cm}$ , aperta all'estremo remoto.

I ricevitori sono CMOS con

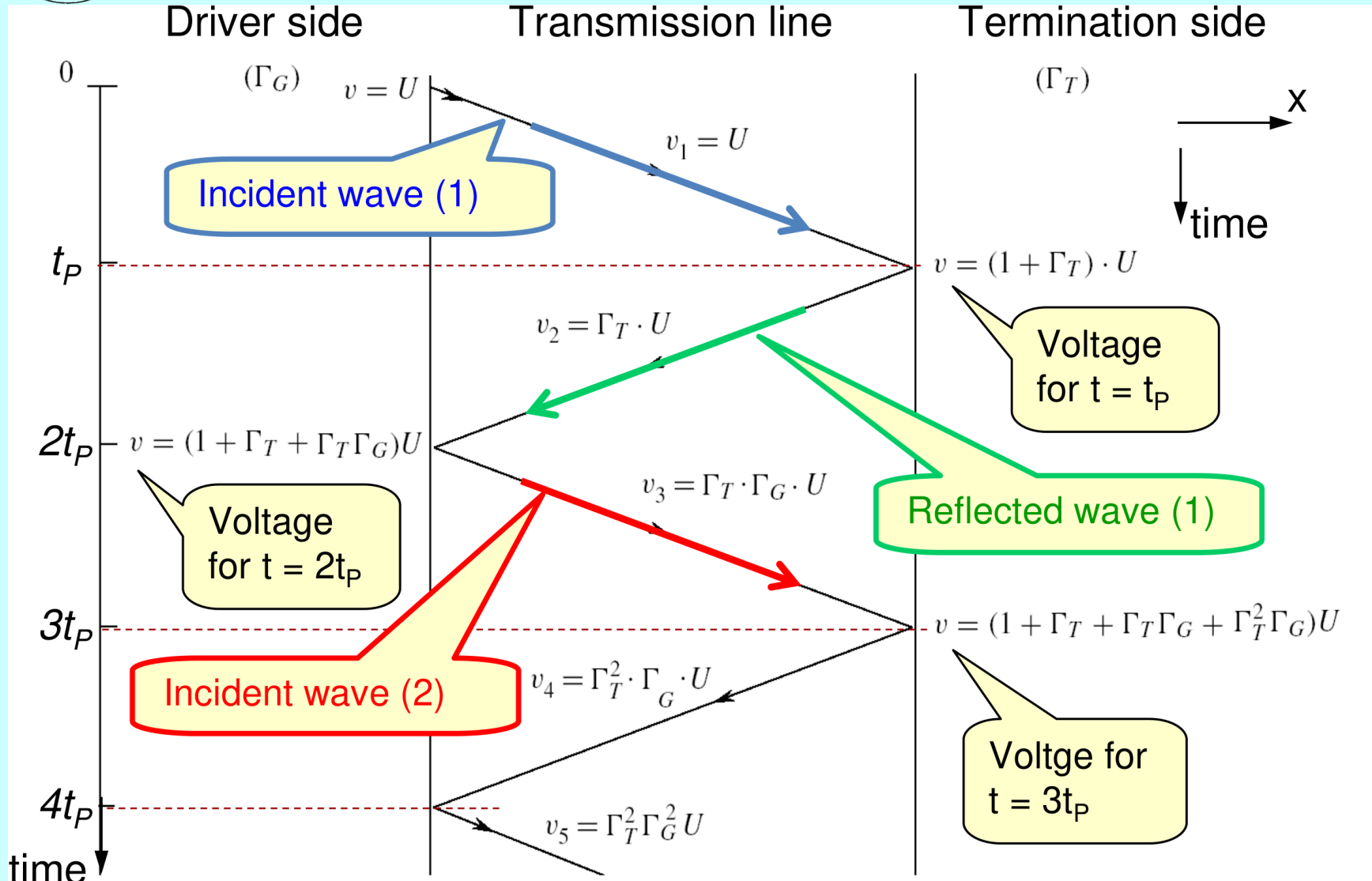
$V_{IL} = 0,8\text{ V}$  e  $V_{IH} = 2\text{ V}$ . Per la transizione  $L \rightarrow H$ :

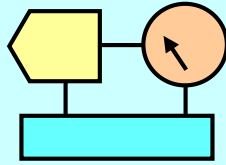
- Determinare l'ampiezza del primo gradino e il tempo di propagazione
- Determinare i tempi di trasmissione minimo e massimo per ricevitori collocati lato driver e lato terminazione
- Tracciare qualitativamente la forma d'onda alla terminazione se la capacità d'ingresso del ricevitore ivi collocato è di  $10\text{ pF}$ .





## Esercizio Ce1.7

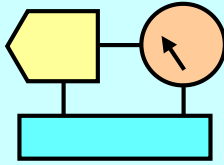




## Esercizio Ce1.7: a)

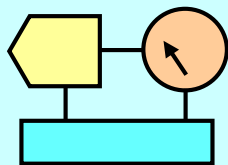
- $V_B(0) = \frac{Z_\infty}{R_D + Z_\infty} V_A = \frac{60 \, \Omega}{90 \, \Omega + 60 \, \Omega} 3,3 \, \text{V} = 1,32 \, \text{V}$
- $t_P = \frac{l}{P} = \frac{0,12 \, \text{m}}{0,5 \cdot 3 \cdot 10^8 \, \text{m/s}} = 0,8 \, \text{ns}$



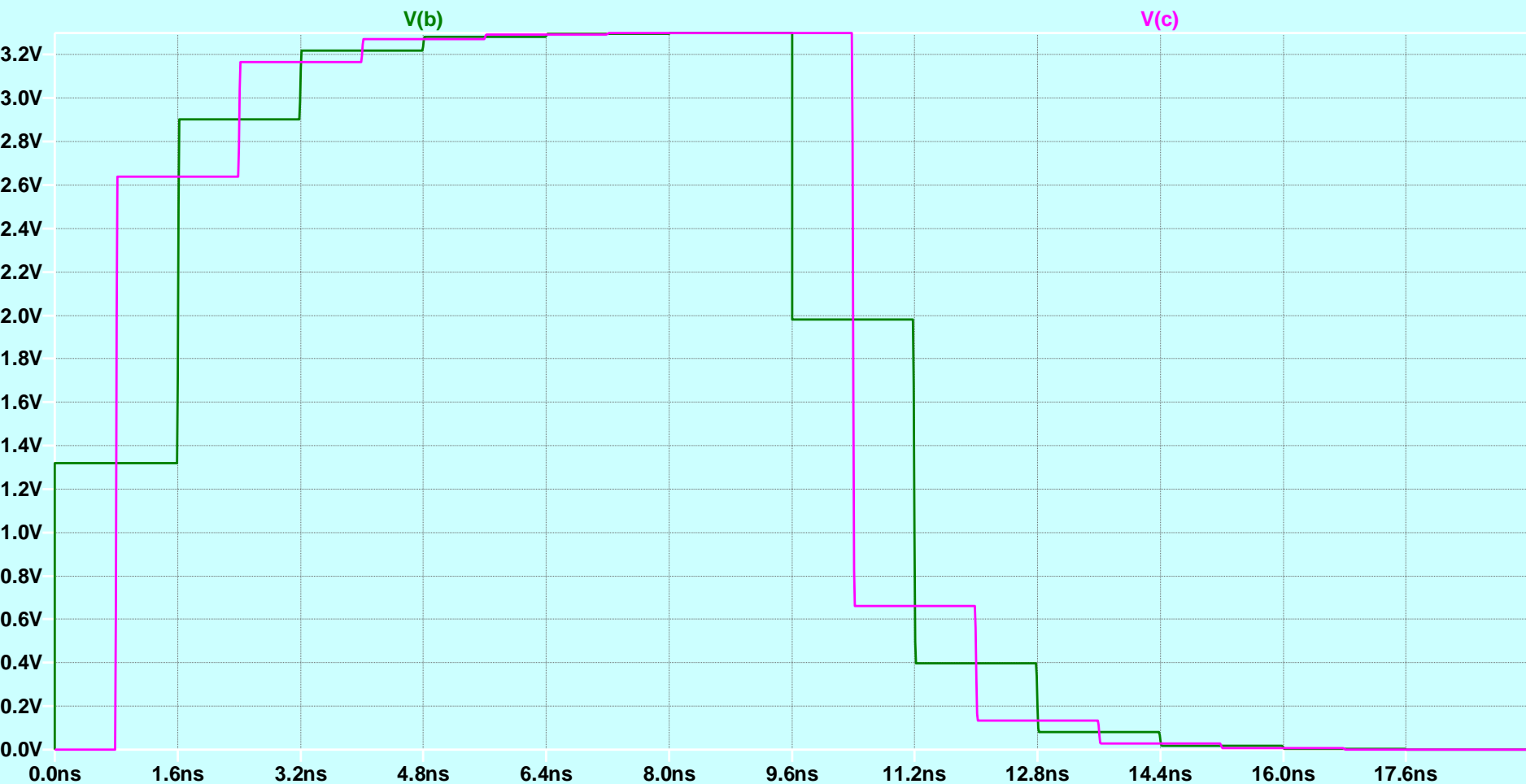


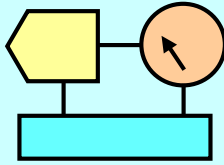
## Esercizio Ce1.7: b)

- $\Gamma_G = \frac{R_O - Z_\infty}{R_O + Z_\infty} = \frac{90 \Omega - 60 \Omega}{90 \Omega + 60 \Omega} = 0,2, \quad \Gamma_T = \frac{\infty - 60 \Omega}{\infty + 60 \Omega} = 1$
- $V_B(0) = \frac{Z_\infty}{R_D + Z_\infty} V_A = \frac{60 \Omega}{90 \Omega + 60 \Omega} 3,3 \text{ V} = 1,32 \text{ V}$ 
  - $V_B(0) > V_{IL} \rightarrow t_{TX_{\min}}^B = 0 \text{ s}; \quad V_B(0) < V_{IH}$
- $V_B(2 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_G) V_B(0) =$   
 $(1 + 1 + 1 \cdot 0,2) \cdot 1,32 \text{ V} = 2,9 \text{ V}$ 
  - $V_B(2 t_P) > V_{IH} \rightarrow t_{TX_{\max}}^B = 2 t_P = 2 \cdot 0,8 \text{ ns} = 1,6 \text{ ns}$
- $V_C(t_P) = (1 + \Gamma_T) V_B(0) = (1 + 1) \cdot 1,32 \text{ V} = 2,64 \text{ V}$ 
  - $V_C(t_P) > V_{IL}$  and  $V_C(t_P) > V_{IH} \rightarrow t_{TX_{\min}}^C = t_{TX_{\max}}^C = t_P = 0,8 \text{ ns}$

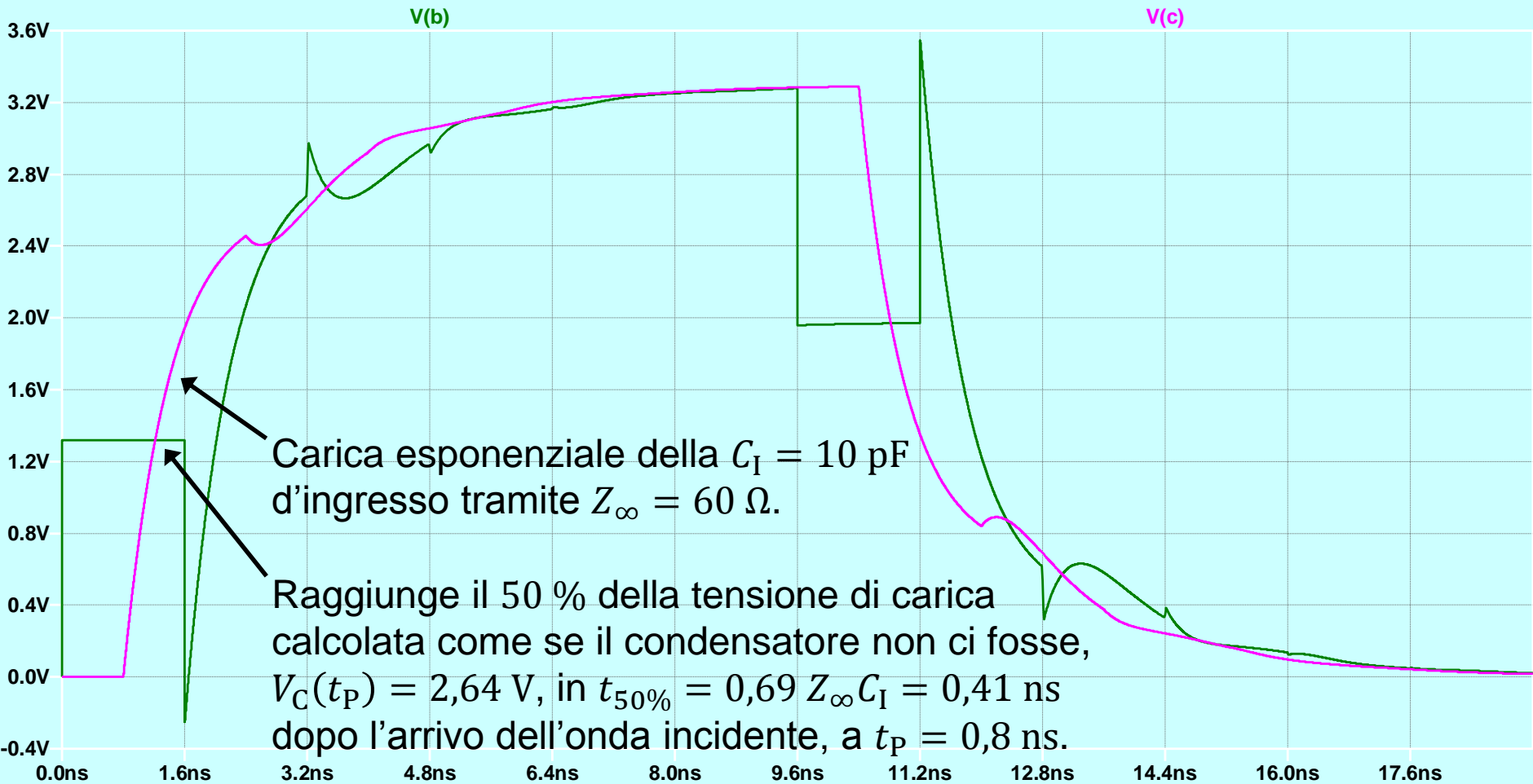


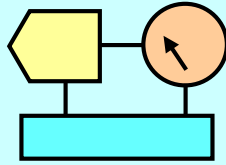
## Esercizio Ce1.7: b)





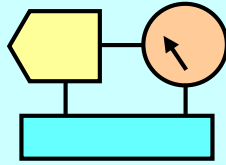
## Esercizio Ce1.7: c)





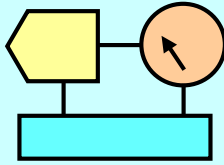
## Esercizio Ce1.8

- Un backplane ha  $L_U = 8 \text{ nH/cm}$ ,  $Z_\infty = 85 \Omega$  senza carichi, lunghezza  $l = 48 \text{ cm}$ , senza terminazioni, con 24 connettori equidistanti. Le piastre inseribili nei connettori hanno un carico capacitivo di  $C_p = 35 \text{ pF}$  ciascuna. Il sistema può contenere da 2 a 24 schede. Parametri driver/receiver CMOS:  
 $V_{AL} = 3,3 \text{ V}$ ;  $R_O = 95 \Omega$ ;  $V_{IH} = 2 \text{ V}$ ,  $V_{IL} = 1 \text{ V}$ .
  - a) Calcolare il tempo di propagazione  $t_p$  tra gli estremi, con 2 e 24 schede.
  - b) Determinare il  $t_{TX_{min}}$  tra due schede in posizioni estreme.
  - c) Calcolare  $t_{TX_{max}}$  con 24 schede inserite, pilotate a un estremo.
  - d) Indicare  $R_{OH}$  massima del driver per operare in IWS per linee pilotate a un estremo, con 24 schede inserite.



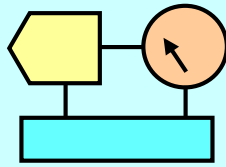
## Esercizio Ce1.8: a)

- $Z_{\infty} = \sqrt{\frac{L_U}{C_U}}, C_U = \frac{L_U}{Z_{\infty}^2} = \frac{8 \cdot 10^{-9} \text{ nH/cm}}{85^2 \Omega^2} = 1,11 \text{ pF/cm}$
- $N = 2$  schede montate (assumiamo  $C_P$  distribuita)
  - $C_{U_2} = \frac{C_U l + N C_P}{l} = C_U + \frac{N C_P}{l} = 1,11 \text{ pF/cm} + \frac{2 \cdot 35 \text{ pF}}{48 \text{ cm}} = 2,57 \text{ pF/cm}$
  - $P_2 = \frac{1}{\sqrt{L_U C_U}} = \frac{1}{\sqrt{8 \text{ nH/cm} \cdot 2,57 \text{ pF/cm}}} = 6,97 \cdot 10^9 \text{ cm/s}$
  - $t_{P_2} = \frac{l}{P} = \frac{48 \text{ cm}}{6,97 \cdot 10^9 \text{ cm/s}} = \mathbf{6,89 \text{ ns}}$
- $N = 24$  schede montate (assumiamo  $C_P$  distribuita)
  - $C_{U_{24}} = \frac{C_U l + N C_P}{l} = C_U + \frac{N C_P}{l} = 1,11 \text{ pF/cm} + \frac{24 \cdot 35 \text{ pF}}{48 \text{ cm}} = 18,61 \text{ pF/cm}$
  - $P_{24} = \frac{1}{\sqrt{L_U C_U}} = \frac{1}{\sqrt{8 \text{ nH/cm} \cdot 18,61 \text{ pF/cm}}} = 2,59 \cdot 10^9 \text{ cm/s}$
  - $t_{P_{24}} = \frac{l}{P} = \frac{48 \text{ cm}}{2,59 \cdot 10^9 \text{ cm/s}} = \mathbf{18,53 \text{ ns}}$



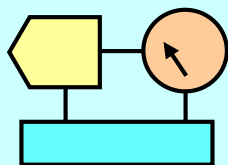
## Esercizio Ce1.8: b)

- Tempo di trasmissione  $t_{TX}$  è un multiplo del tempo di propagazione,  $t_P$
- Dal punto a),  $t_P$  è minimo per  $N = 2$  schede montate
  - $t_{P_2} = 6,89 \text{ ns}$
  - $Z_{\infty_2} = \sqrt{\frac{L_U}{C_{U_2}}} = \sqrt{\frac{8 \text{ nH/cm}}{2,57 \text{ pF/cm}}} = 55,8 \Omega$
  - $\Gamma_{G_2} = \frac{R_O - Z_{\infty_2}}{R_O + Z_{\infty_2}} = \frac{95 \Omega - 55,8 \Omega}{95 \Omega + 55,8 \Omega} = 0,26$
  - $\Gamma_T = 1$  (terminazione aperta)

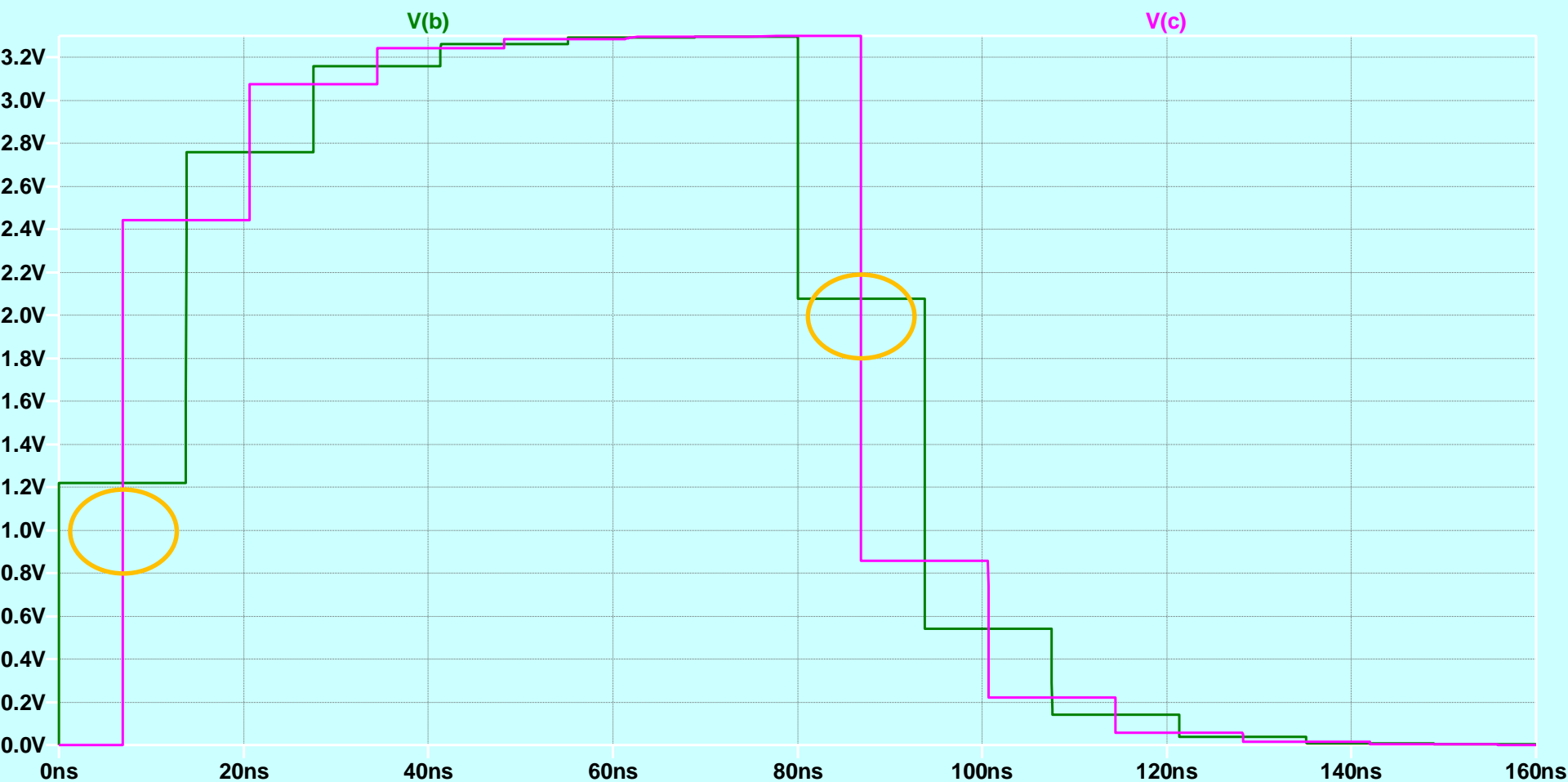


## Esercizio Ce1.8: b)

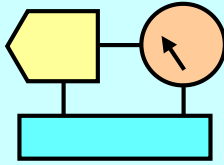
- Due schede agli estremi B e C
  - Scheda-driver all'estremo B
- $V_{B_2}(0) = \frac{Z_{\infty_2}}{R_G + Z_{\infty_2}} V_{AL} = \frac{55,8 \, \Omega}{95 \, \Omega + 55,8 \, \Omega} 3,3 \, V = 1,22 \, V$
- $t_{TX_{min}}^{L \rightarrow H}$  per transizione  $L \rightarrow H$  confronto con soglia minima,  $V_{IL}$ 
  - $V_{B_2}(0) = 1,22 \, V$
  - $V_{C_2}(t_{P_2}) = (1 + \Gamma_T) V_{B_2}(0) = (1 + 1) \cdot 1,22 \, V = 2,44 \, V > V_{IL}$
- $t_{TX_{min}}^{H \rightarrow L}$  per transizione  $H \rightarrow L$  confronto con soglia massima,  $V_{IH}$ 
  - $V_{B_2}(0) = V_{AL} - \frac{Z_{\infty_2}}{R_G + Z_{\infty_2}} V_{AL} = 3,3 \, V - 1,22 \, V = 2,08 \, V$
  - $V_{C_2}(t_{P_2}) = (1 + \Gamma_T) [-V_{B_2}(0)] + V_{AL} = 0,86 \, V < V_{IH}$
- $t_{TX_{min}} = t_{P_2} = 6,89 \, ns$



## Esercizio Ce1.8: b)

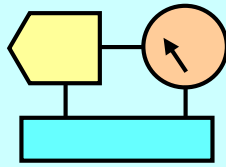






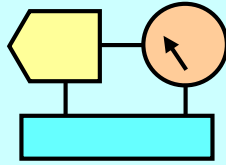
## Esercizio Ce1.8: c)

- Tempo di trasmissione  $t_{TX}$  è un multiplo del tempo di propagazione,  $t_P$
- Dal punto a),  $t_P$  è massimo per  $N = 24$  schede montate
  - $t_{P_{24}} = 18,53 \text{ ns}$
  - $Z_{\infty_{24}} = \sqrt{\frac{L_U}{C_{U_{24}}}} = \sqrt{\frac{8 \text{ nH/cm}}{18,61 \text{ pF/cm}}} = 20,7 \Omega$
  - $\Gamma_{G_{24}} = \frac{R_O - Z_{\infty_{24}}}{R_O + Z_{\infty_{24}}} = \frac{95 \Omega - 20,7 \Omega}{95 \Omega + 20,7 \Omega} = 0,64$
  - $\Gamma_T = 1$  (terminazione aperta)



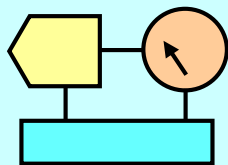
## Esercizio Ce1.8: c)

- Schede pilotate dall'estremo B
- La più distante scheda montata all'estremo C
- $V_{B_{24}}^{L \rightarrow H}(0) = \frac{Z_{\infty_{24}}}{R_{G_{24}} + Z_{\infty_{24}}} V_{AL} = \frac{20,7 \, \Omega}{95 \, \Omega + 20,7 \, \Omega} \cdot 3,3 \, V = 0,59 \, V$
- $t_{TX_{max}}^{L \rightarrow H}$  per transizione  $L \rightarrow H$ 
  - Confronto con la soglia massima,  $V_{TH} = V_{IH}$
  - $V_{C_{24}}^{L \rightarrow H}(t_p) = (1 + \Gamma_T) V_{B_{24}}^{L \rightarrow H}(0) = (1 + 1) \cdot 0,59 \, V = 1,18 \, V < V_{IH}$
  - $V_{C_{24}}^{L \rightarrow H}(3 t_p) = (1 + \Gamma_T + \Gamma_T \Gamma_{G_{24}} + \Gamma_T^2 \Gamma_{G_{24}}^2) V_{B_{24}}^{L \rightarrow H}(0) = [1 + 1 + 1 \cdot 0,64 + 1^2 \cdot 0,64] \cdot 0,59 \, V = 1,94 \, V < V_{IH}$
  - $V_{C_{24}}^{L \rightarrow H}(5 t_p) = (1 + \Gamma_T + \Gamma_T \Gamma_{G_{24}} + \Gamma_T^2 \Gamma_{G_{24}}^2 + \Gamma_T^3 \Gamma_{G_{24}}^3 + \Gamma_T^4 \Gamma_{G_{24}}^4) V_{B_{24}}^{L \rightarrow H}(0) = [1 + 1 + 1 \cdot 0,64 + 1^2 \cdot 0,64 + 1^2 \cdot 0,64^2 + 1^3 \cdot 0,64^2] \cdot 0,59 \, V = 2,42 \, V > V_{IH}$

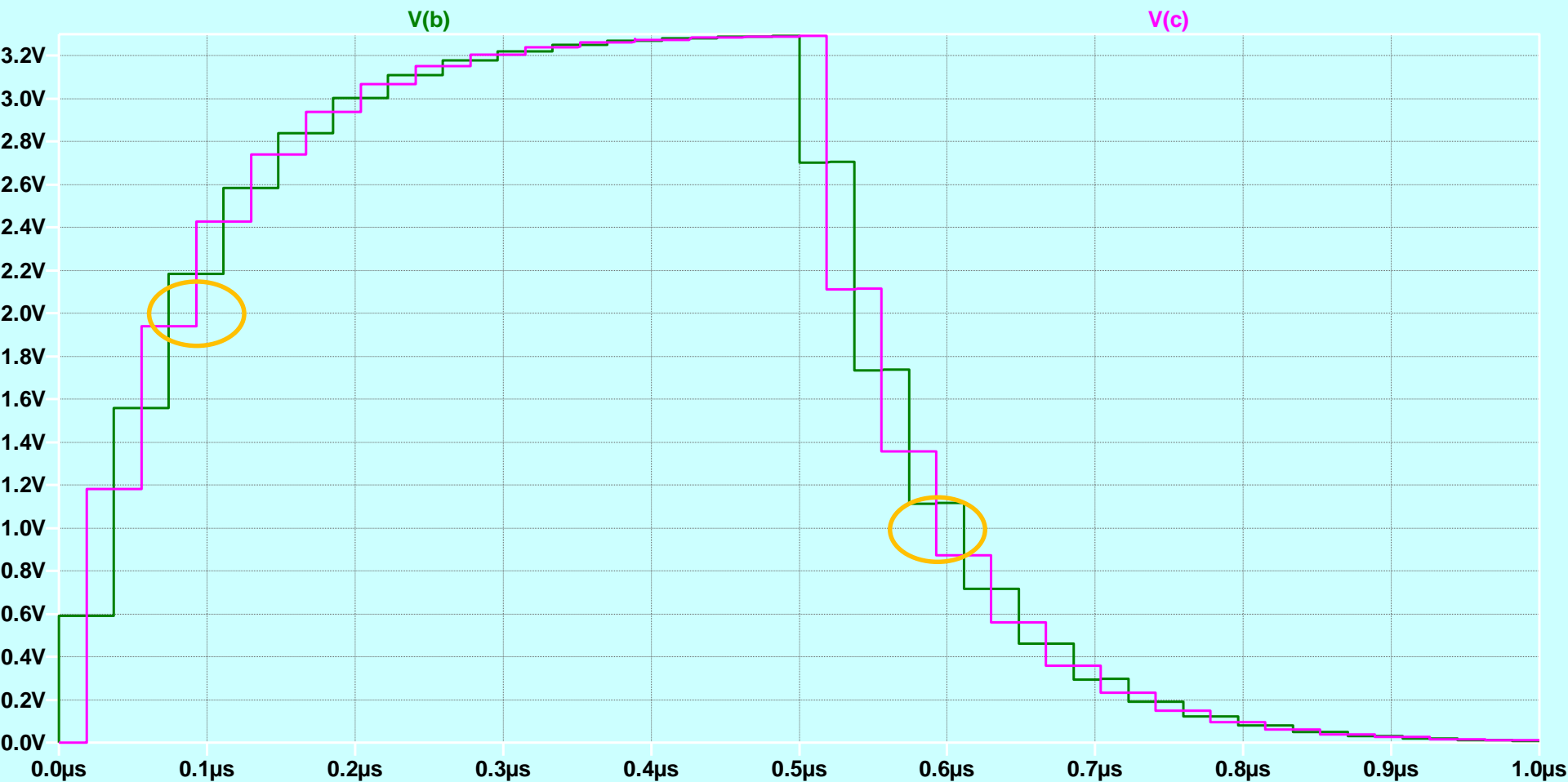


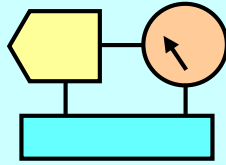
## Esercizio Ce1.8: c)

- $t_{TX_{\max}}^{H \rightarrow L}$  per transizione  $H \rightarrow L$ 
  - Confronto con la soglia minima,  $V_{TH} = V_{IL}$
  - $V_{C_{24}}^{H \rightarrow L}(t_P) = (1 + \Gamma_T)[-V_{B_{24}}^{L \rightarrow H}(0)] + V_{AL} =$   
 $2 \cdot (-0,59 \text{ V}) + 3,3 \text{ V} = 2,12 \text{ V} > V_{IL}$
  - $V_{C_{24}}^{H \rightarrow L}(3 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_{G_{24}} + \Gamma_T^2 \Gamma_{G_{24}})[-V_{B_{24}}^{L \rightarrow H}(0)] + V_{AL} =$   
 $[1 + 1 + 1 \cdot 0,64 + 1^2 \cdot 0,64] \cdot (-0,59 \text{ V}) + 3,3 \text{ V} = 1,36 \text{ V} > V_{IL}$
  - $V_{C_{24}}^{H \rightarrow L}(5 t_P) = (1 + \Gamma_T + \Gamma_T \Gamma_{G_{24}} + \Gamma_T^2 \Gamma_{G_{24}} + \Gamma_T^2 \Gamma_{G_{24}}^2 + \Gamma_T^3 \Gamma_{G_{24}}^2)[-V_{B_{24}}^{L \rightarrow H}(0)] +$   
 $V_{AL} =$   
 $[1 + 1 + 1 \cdot 0,64 + 1^2 \cdot 0,64 + 1^2 \cdot 0,64^2 + 1^3 \cdot 0,64^2] \cdot (-0,59 \text{ V}) + 3,3 \text{ V}$   
 $= \mathbf{0,88 \text{ V} < V_{IL}}$
- $t_{TX_{\max}}^{H \rightarrow L} = 5 t_P = 5 \cdot 18,53 \text{ ns} = 92,7 \text{ ns}$



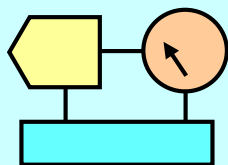
## Esercizio Ce1.8: c)



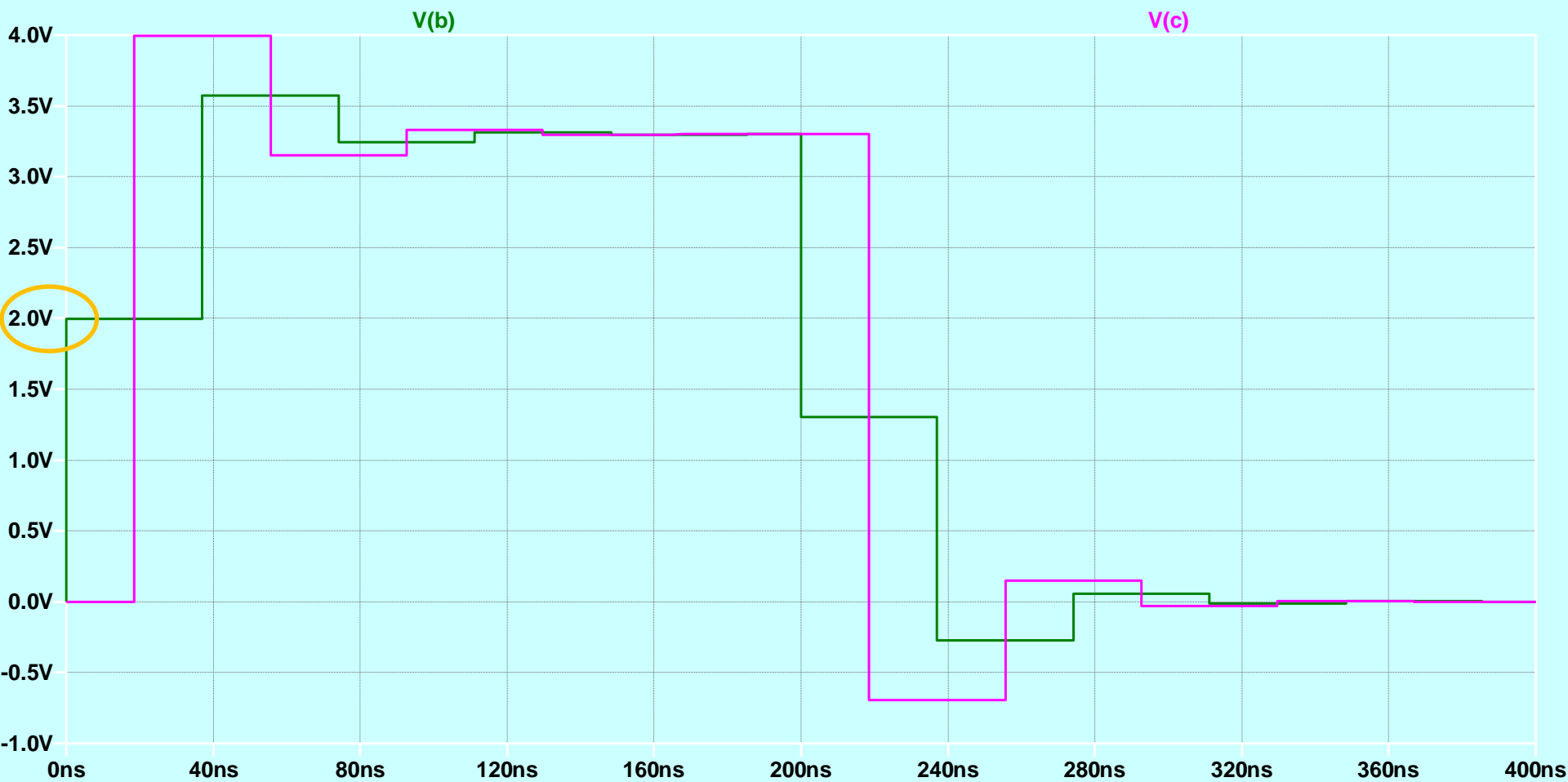


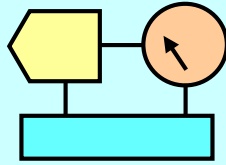
## Esercizio Ce1.8: d)

- Con 24 schede montate sappiamo da c)
  - $Z_{\infty_{24}} = 20,7 \, \Omega$
- E' richiesto  $R_{OH}$ , che vale per la transizione  $L \rightarrow H$ 
  - $V_{B_{24}}^{L \rightarrow H}(0) = \frac{Z_{\infty_{24}}}{R_{OH} + Z_{\infty_{24}}} V_{AL} \geq V_{IH}$  per IWS
  - $R_{OH} \leq Z_{\infty_{24}} \left( \frac{V_{AL}}{V_{IH}} - 1 \right) = 20,7 \, \Omega \cdot \left( \frac{3,3 \, V}{2 \, V} - 1 \right) \Rightarrow R_{OH} \leq 13,5 \, \Omega$



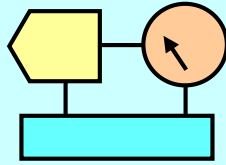
## Esercizio Ce1.8: d)





## Sommario esercizi Ce1

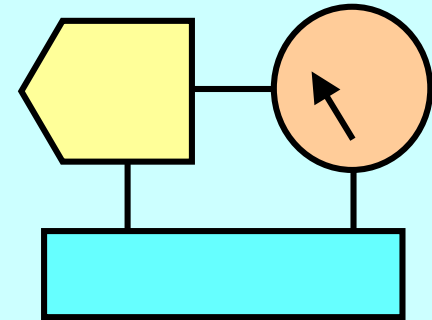
- Calcolo di ritardi (tempo di trasmissione, skew) con modello RC.
- Calcolo di ritardi (tempo di propagazione, trasmissione, skew) con modello a linee.
- Comportamento in diverse condizioni di terminazione.
- Tempistica complessiva e analisi worst case per cicli sincroni e asincroni, in funzione di:
  - Parametri del sistema di trasmissione (RC o linee)
  - Parametri dei componenti (driver, receiver)
  - Condizioni di terminazione



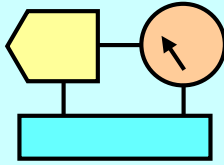
## ELETTRONICA APPLICATA

### De1 – ESERCIZI PARTE D

- » Convertitori D/A
- » Convertitori A/D
- » Errore di quantizzazione

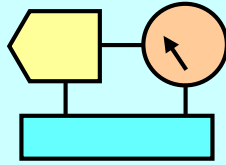






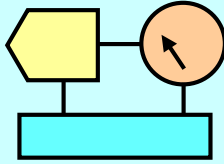
## De1: Esercizi su DAC e ADC

- De1.1 Convertitore D/A – 1
- De1.2 Convertitore D/A - 2
- De1.3 ADC a inseguimento
- De1.4 ADC ad approssimazioni successive
- De1.5 Errore di quantizzazione



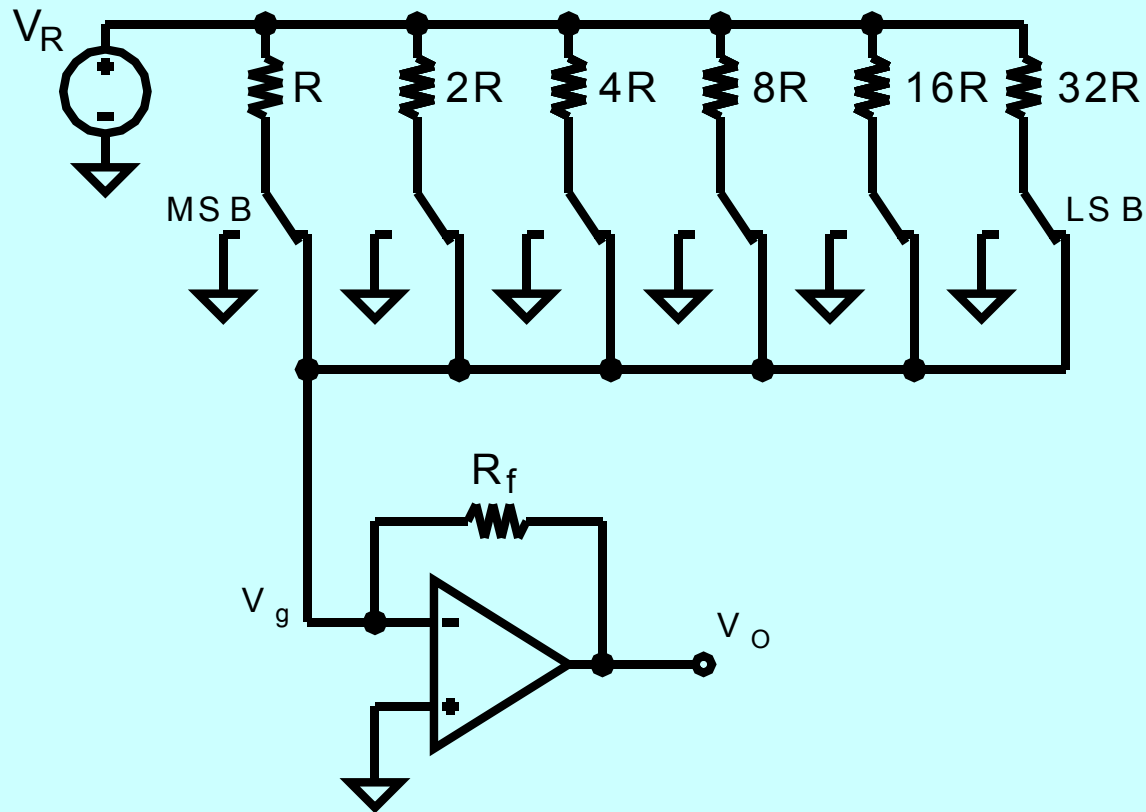
## Esercizio De1.1: convertitore D/A - 1

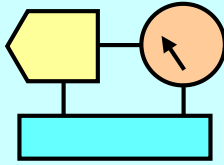
1. Tracciare lo schema di un convertitore D/A da 6 bit a resistenze pesate, con uscita in tensione.
2. Per  $V_R = 5\text{ V}$ , indicare i valori di  $R$  richiesti per un fondo scala di  $-10\text{ V}$  (amplificatore con  $R_F = 10\text{ k}\Omega$ ).
3. Determinare i due errori assoluti in uscita (in V) con tolleranze del 5 % nelle  $R$  del ramo MSB e in quello LSB ( $R_F$  nominale).
4. Indicare la tolleranza richiesta alle resistenze per ottenere un errore totale massimo di  $\frac{1}{2}\text{ LSB}$ , assegnando ad ogni ramo lo stesso errore assoluto.



## Esercizio De1.1: convertitore D/A - 1

1. Tracciare lo schema di un convertitore D/A da 6 bit a resistenze pesate, con uscita in tensione.





## Esercizio De1.1: convertitore D/A - 1

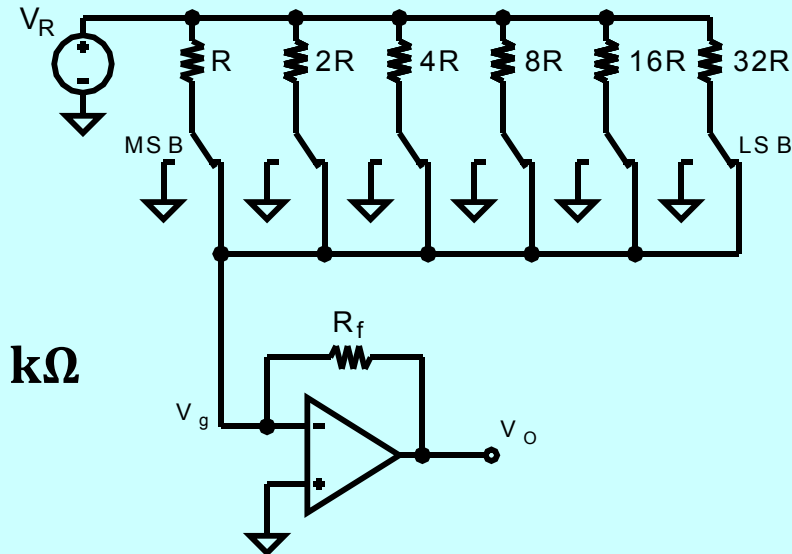
2. Per  $V_R = 5\text{ V}$ , indicare i valori di  $R$  richiesti per un fondo scala di  $-10\text{ V}$  (amplificatore con  $R_F = 10\text{ k}\Omega$ ).

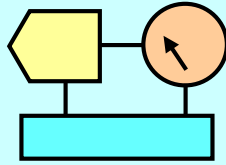
- Fondo scala (massimo valore assoluto  $V_O$ ) quando tutti i bit sono a 1

$$- R_{eq} = R \parallel 2R \parallel \dots \parallel 32R = \frac{32}{63}R$$

$$- V_O = -V_R \frac{R_F}{R_{eq}} \Rightarrow R_{eq} = -R_F \frac{V_R}{V_O}$$

$$- \frac{32}{63}R = -10\text{ k}\Omega \cdot \frac{5\text{ V}}{-10\text{ V}} \Rightarrow R = 9,84\text{ k}\Omega$$





## Esercizio De1.1: convertitore D/A - 1

3. Determinare i due errori assoluti in uscita (in V) con tolleranze del 5 % nelle  $R$  del ramo MSB e in quello LSB ( $R_F$  nominale).

- Massimo errore quando solo i rami con errore sono attivati

$$- V_{O_{\text{nom}}}^{\text{MSB}} = -V_R \frac{R_F}{R} = -5 \text{ V} \cdot \frac{10 \text{ k}\Omega}{9,84 \text{ k}\Omega} = -5,08 \text{ V}$$

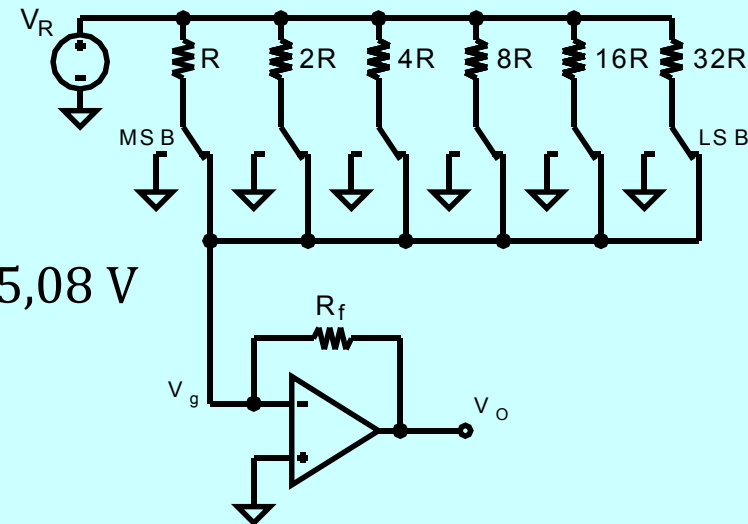
$$- V_{O_{\text{min}}}^{\text{MSB}} = -V_R \frac{R_F}{R(1+5\%)} = -4,84 \text{ V}$$

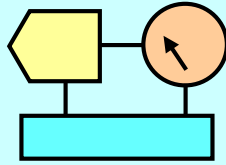
$$- V_{O_{\text{max}}}^{\text{MSB}} = -V_R \frac{R_F}{R(1-5\%)} = -5,35 \text{ V}$$

$$- V_{O_{\text{nom}}}^{\text{LSB}} = -V_R \frac{R_F}{32R} = -5 \text{ V} \cdot \frac{10 \text{ k}\Omega}{32 \cdot 9,84 \text{ k}\Omega} = -0,159 \text{ V}$$

$$- V_{O_{\text{min}}}^{\text{LSB}} = -V_R \frac{R_F}{32R(1+5\%)} = -0,151 \text{ V}$$

$$- V_{O_{\text{max}}}^{\text{LSB}} = -V_R \frac{R_F}{32R(1-5\%)} = -0,167 \text{ V}$$





## Esercizio De1.1: convertitore D/A - 1

5. Indicare la tolleranza richiesta alle resistenze per ottenere un errore totale massimo di  $\frac{1}{2} LSB$ , assegnando ad ogni ramo lo stesso errore assoluto.

- Ciascun ramo contribuisce

$$\frac{\frac{1}{2} LSB}{6} = \frac{1}{12} LSB = \frac{1}{12} V_R \frac{R_F}{32 R}$$

- Per il contributo ramo MSB

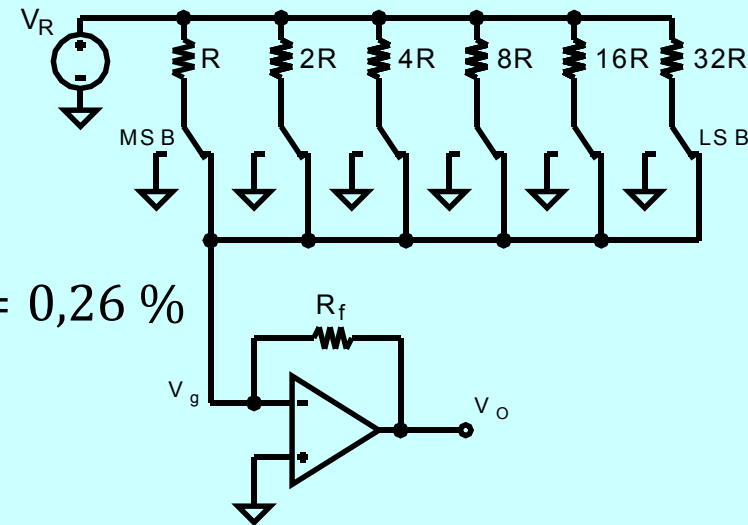
$$- \frac{1}{12} V_R \frac{R_F}{32 R} = V_R \frac{R_F}{R} - V_R \frac{R_F}{R + \Delta R}$$

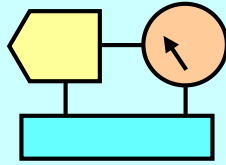
$$- R + \Delta R = R \frac{12 \cdot 32}{12 \cdot 32 - 1} \Rightarrow \frac{\Delta R}{R} = \frac{1}{12 \cdot 32 - 1} = 0,26 \%$$

- Per il contributo ramo MSB-1

$$- \frac{1}{12} V_R \frac{R_F}{32 R} = V_R \frac{R_F}{2R} - V_R \frac{R_F}{2R + \Delta R}$$

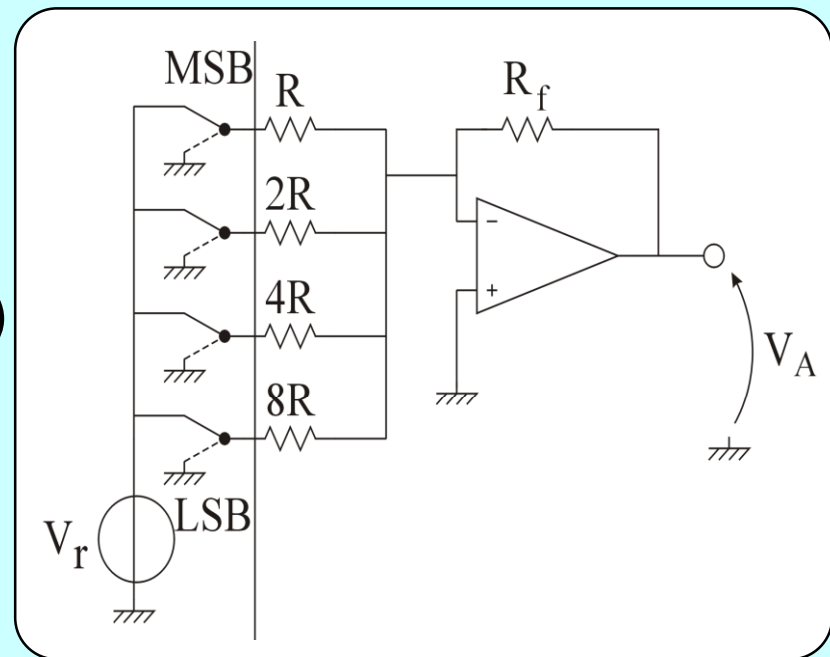
$$- 2R + \Delta R = 2R \frac{6 \cdot 32}{6 \cdot 32 - 1} \Rightarrow \frac{\Delta R}{2R} = \frac{1}{6 \cdot 32 - 1} = 0,52 \%$$

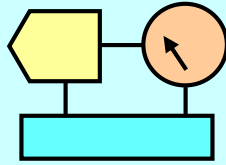




## Esercizio De1.2: convertitore D/A - 2

1. Per il circuito in figura calcolare il valore  $R$  richiesto per ottenere fondo scala in uscita pari a  $-5\text{ V}$ , con  $V_r = 2,5\text{ V}$  ed  $R_f = 10\text{ k}\Omega$
2. Calcolare l'errore in uscita dovuto a una  $R_{on}$  degli interruttori pari a  $200\ \Omega$  (valutare solo rami LSB ed MSB)
3. Calcolare la  $R_{on}$  sull'MSB che determina un errore  $< \frac{1}{2} LSB$

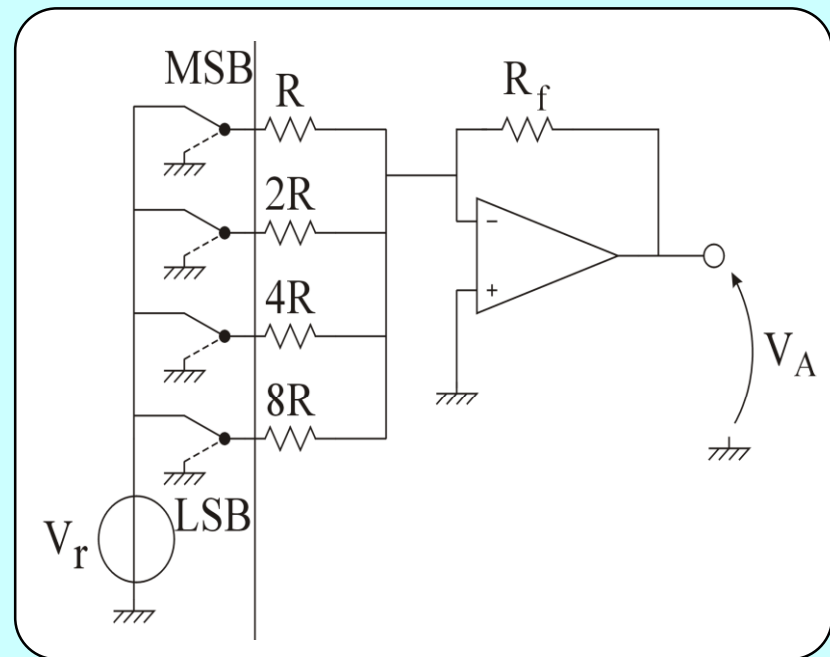




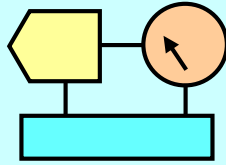
## Esercizio De1.2: convertitore D/A - 2

1. Per il circuito in figura calcolare il valore  $R$  richiesto per ottenere fondo scala in uscita pari a  $-5\text{ V}$ , con  $V_r = 2,5\text{ V}$  ed  $R_f = 10\text{ k}\Omega$

- $V_A = -V_r \frac{R_f}{R_{eq}}$
- $R_{eq} = -R_f \frac{V_r}{V_A} = 5\text{ k}\Omega$
- $R_{eq} = R \parallel 2R \parallel 4R \parallel 8R$
- $R = \dots$







## Esercizio De1.2: convertitore D/A - 2

2. Calcolare l'errore in uscita dovuto a una  $R_{on}$  degli interruttori pari a  $200 \Omega$  (valutare solo rami LSB ed MSB)

- $\Delta R = 200 \Omega$

- MSB

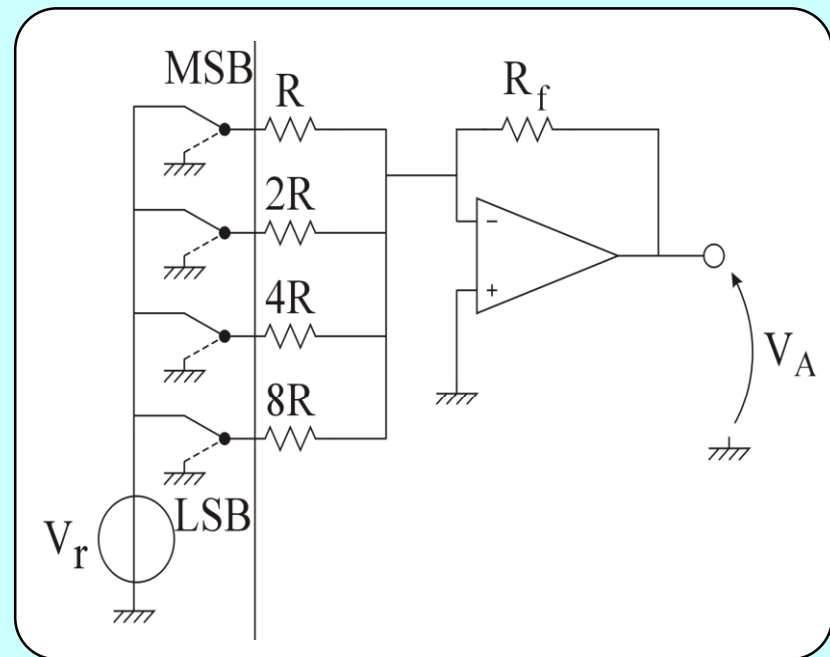
- $V_A^{MSB} = -V_r \frac{R_f}{R}$

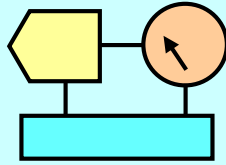
- $\Delta V_A^{MSB} = -V_r \frac{R_f}{R+\Delta R} + V_r \frac{R_f}{R}$

- LSB

- $V_A^{LSB} = -V_r \frac{R_f}{8R}$

- $\Delta V_A^{LSB} = -V_r \frac{R_f}{8R+\Delta R} + V_r \frac{R_f}{8R}$



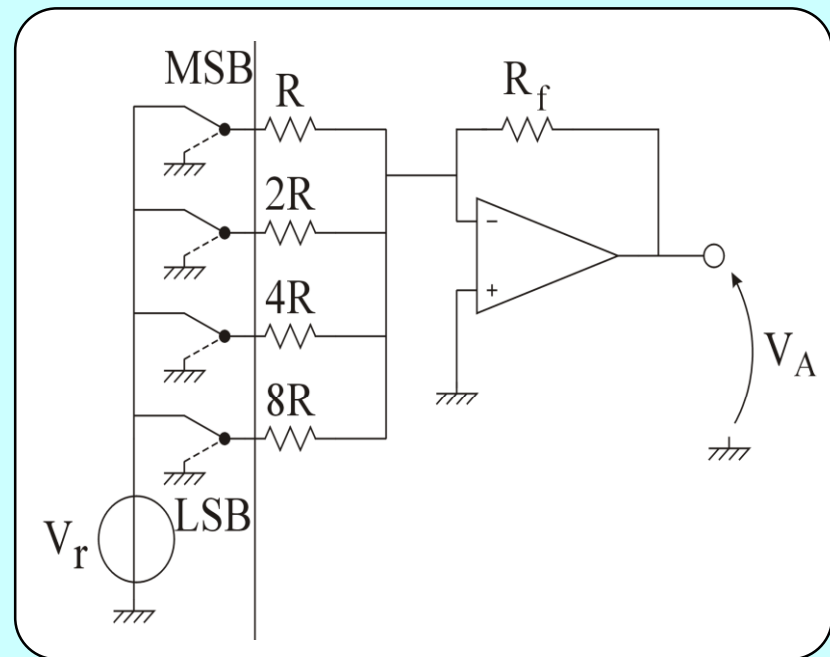


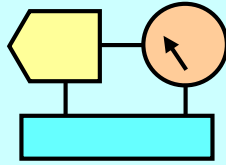
## Esercizio De1.2: convertitore D/A - 2

3. Calcolare la  $R_{on}$  sull'MSB che determina un errore  $< \frac{1}{2} LSB$

- MSB

$$\begin{aligned}
 - V_A^{LSB} &= -V_r \frac{R_f}{8R} \\
 - \Delta V_A^{MSB} &= -V_r \frac{R_f}{R+\Delta R} + V_r \frac{R_f}{R} \\
 - \Delta V_A^{MSB} &= -V_r \frac{R_f}{R} \cdot \frac{\Delta R}{R+\Delta R} \\
 - \Delta V_A^{MSB} &= \frac{1}{2} V_A^{LSB} \\
 - \frac{1}{2} \cdot V_r \frac{R_f}{8R} &= V_r \frac{R_f}{R} \cdot \frac{\Delta R}{R+\Delta R} \\
 - \Delta R &= R_{on} = \frac{R}{15}
 \end{aligned}$$

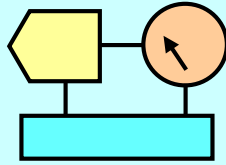




## Esercizio De1.3: ADC a inseguimento

Un ADC a inseguimento da 8 bit ha in ingresso una sinusoide di  $1 V_{pp}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

1. Calcolare la massima frequenza della sinusoide che non determina errore di overload.
2. Calcolare il massimo tempo di conversione (per un segnale d'ingresso a gradino  $0 \rightarrow \text{Fondo Scala}$ ).

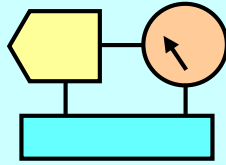


## Esercizio De1.3: ADC a inseguimento

Un ADC a inseguimento da 8 bit ha in ingresso una sinusoide di  $1 V_{pp}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

1. Calcolare la massima frequenza della sinusoide che non determina errore di overload.

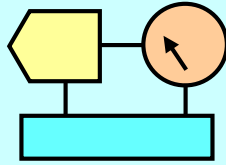
- $V_{in} = A \cdot \sin(2\pi f t) ; A = 0,5 \text{ V} ; f_{CK} = 1 \text{ MHz}$
- $\left. \frac{dV_{in}}{dt} \right|_{\max} = 2\pi f A \leq LSB \cdot f_{CK} \Rightarrow f \leq \frac{LSB \cdot f_{CK}}{2\pi A}$
- $f \leq \frac{10 \text{ mV} \cdot 1 \text{ MHz}}{2\pi \cdot 0,5 \text{ V}} = 3,18 \text{ kHz}$



## Esercizio De1.3: ADC a inseguimento

Un ADC a inseguimento da 8 bit ha in ingresso una sinusoide di  $1 V_{pp}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

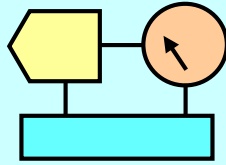
2. Calcolare il massimo tempo di conversione (per un segnale d'ingresso a gradino  $0 \rightarrow$  Fondo Scala).
- Un convertitore ad 8 bit copre la scala d'ingresso con  $2^8 = 256$  livelli
  - Un convertitore ad inseguimento valuta un livello per colpo di clock
  - $T_{conv}^{max} = 2^N \cdot T_{CK} = \frac{2^8}{1 \text{ MHz}} = 256 \mu\text{s}$



## Esercizio De1.4: ADC ad approssimazioni successive

Un ADC ad approssimazioni successive da 8 bit ha in ingresso una sinusoide di  $1 V_{pp}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

1. Calcolare il massimo tempo di conversione.
2. Calcolare la massima frequenza del segnale d'ingresso sinusoidale che viene convertito senza errori (ampiezza pari al fondo scala).

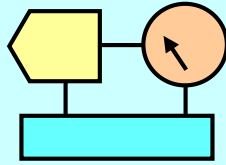


## Esercizio De1.4: ADC ad approssimazioni successive

Un ADC ad approssimazioni successive da 8 bit ha in ingresso una sinusoide di  $1 V_{pp}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

1. Calcolare il massimo tempo di conversione.

- $$T_{\text{conv}}^{\text{max}} = N \cdot T_{\text{CK}} = \frac{8}{1 \text{ MHz}} = 8 \mu\text{s}$$

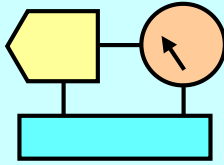


## Esercizio De1.4: ADC ad approssimazioni successive

Un ADC ad approssimazioni successive da 8 bit ha in ingresso una sinusoide di  $1 V_{PP}$ . Il clock ha frequenza 1 MHz e il DAC ha  $LSB = 10 \text{ mV}$ .

2. Calcolare la massima frequenza del segnale d'ingresso sinusoidale che viene convertito senza errori (ampiezza pari al fondo scala)
  - Il convertitore deve finire la conversione con la migliore quantizzazione nel tratto di massima velocità di variazione del segnale d'ingresso
  - $V_{in} = A \cdot \sin(2\pi f t) ; A = 0,5 \text{ V} ; f_{CK} = 1 \text{ MHz}$
  - $\left. \frac{dV_{in}}{dt} \right|_{\max} = 2\pi f A \leq LSB \cdot \frac{f_{CK}}{N} \Rightarrow f \leq \frac{LSB \cdot f_{CK}}{2\pi A N}$
  - $f \leq \frac{10 \text{ mV} \cdot 1 \text{ MHz}}{2\pi \cdot 0,5 \text{ V} \cdot 8 \text{ bit}} = 387,9 \text{ Hz}$

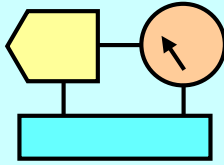




## Esercizio De1.5: Errore di quantizzazione

Calcolare il numero di bit richiesto per ottenere un rapporto segnale/rumore SNR massimo di 32 dB (segnale d'ingresso sinusoidale).

1. Considerando solo l'errore di quantizzazione.
2. Con potenza di rumore totale il doppio della potenza di rumore di quantizzazione.

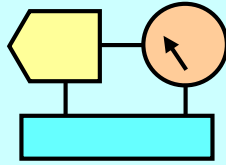


## Esercizio De1.5: Errore di quantizzazione

Calcolare il numero di bit richiesto per ottenere un rapporto segnale/rumore SNR massimo di 32 dB (segnale d'ingresso sinusoidale).

1. Considerando solo l'errore di quantizzazione.

- $SNR_{\max} = 6 N + 1,76 \text{ dB}$
- $N \geq \frac{SNR_{\max} - 1,76}{6} = \frac{32 - 1,76}{6} = \mathbf{5 \text{ bit}}$

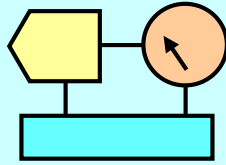


## Esercizio De1.5: Errore di quantizzazione

Calcolare il numero di bit richiesto per ottenere un rapporto segnale/rumore SNR max di 32 dB (segnale d'ingresso sinusoidale).

2. Con potenza di rumore totale il doppio della potenza di rumore di quantizzazione.

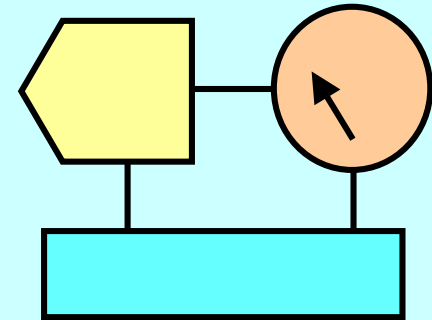
- $SNR_{\text{tot}} = \frac{SNR_q}{2} \Rightarrow SNR_q = 2 SNR_{\text{tot}} = 6 N + 1,76 \text{ dB}$
- $N \geq \frac{2 SNR_{\text{tot}} - 1,76}{6} = \frac{2 \cdot 32 - 1,76}{6} = 10,4 \text{ bit} \Rightarrow N = \mathbf{11 \text{ bit}}$

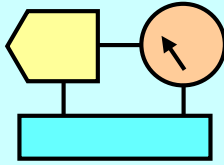


## ELETTRONICA APPLICATA

### De2 – ESERCIZI PARTE D.2

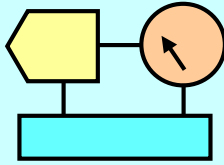
- » Sistemi di conversione
- » Errore complessivo
- » ENOB
- » Esempi di scritto





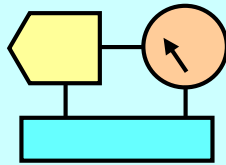
## De2: Esercizi su DAC e ADC

- De2.1 Sistema di acquisizione – A
- De2.2 Sistema di acquisizione – B
- De2.3 Calcolo ENOB – A
- De2.4 Calcolo ENOB – B
- De2.5 Esempio da prova scritta



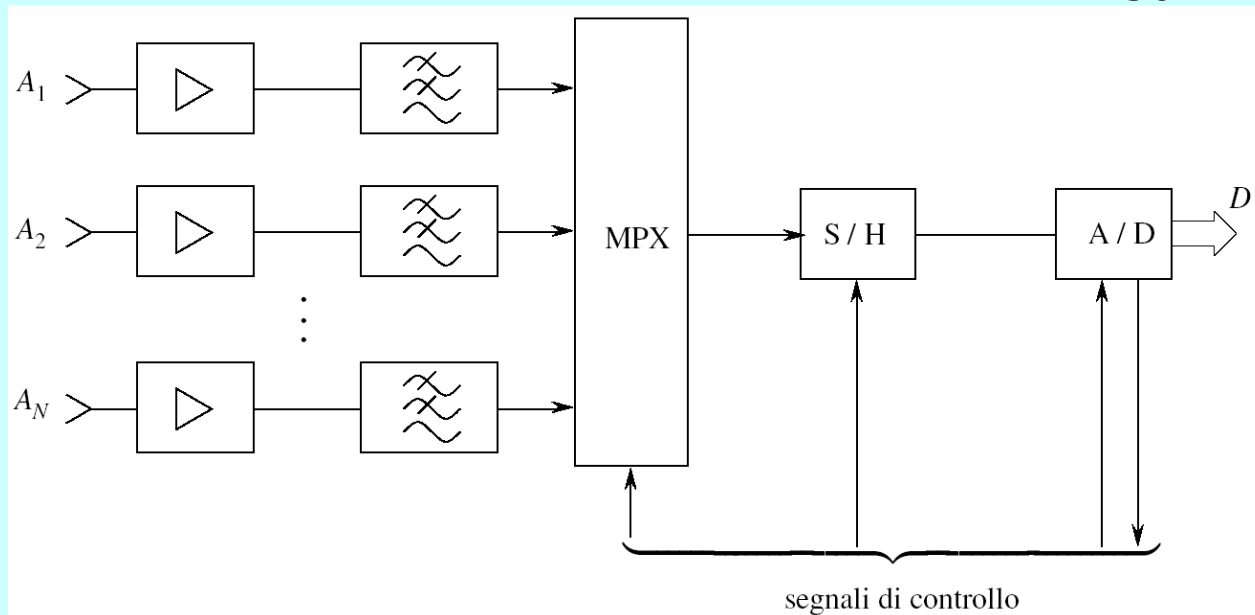
## Es. De2.1: sistema di acquisizione – A

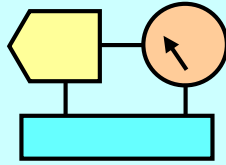
1. Tracciare lo schema a blocchi di un sistema di acquisizione A/D a 4 canali con:
  1. Segnali di ingresso: unipolare da 1 V a 2 V, con banda 0 Hz ... 15 kHz
  2. Convertitore A/D con ingresso 0 V ... 5 V e  $T_c = 1 \mu s$
  3. S/H con tempo di acquisizione  $T_a = 700 ns$
  
2. Per l'amplificatore di condizionamento:
  1. Indicare le specifiche
  2. Tracciare uno schema dell'amplificatore
  3. Indicare i parametri che determinano i valori delle resistenze utilizzate nell'amplificatore di condizionamento



## Es. De2.1: sistema di acquisizione – A

- $T_c + T_a = 1 \mu s + 0,7 \mu s = 1,7 \mu s$ ,  $F_s < \frac{1}{1,7 \mu s} = 588 \text{ kHz}$
- Su singolo canale:  $F_s^{\text{ch}} < \frac{588 \text{ kHz}}{4 \text{ ch}} = 147 \text{ kHz/ch}$
- Criterio di Nyquist:  $F_s > 2 F_{\text{max}} = 2 \cdot 15 \text{ kHz} = 30 \text{ kHz} \Rightarrow \text{OK}$
- Massimo fattore di sovracampionamento:  $\frac{147 \text{ kHz}}{30 \text{ kHz}} = 4.9$





## Es. De2.1: sistema di acquisizione – A

- Guadagno dell'amplificatore di condizionamento

$$- G = \frac{\Delta V_o}{\Delta V_i} = \frac{5 \text{ V}}{1 \text{ V}} = 5$$

- Offset in uscita

$$- V_{os_u} = V_{med}^{ADC} - G \cdot V_{med}^{in} = 2,5 \text{ V} - 5 \cdot 1,5 \text{ V} = -5 \text{ V}$$

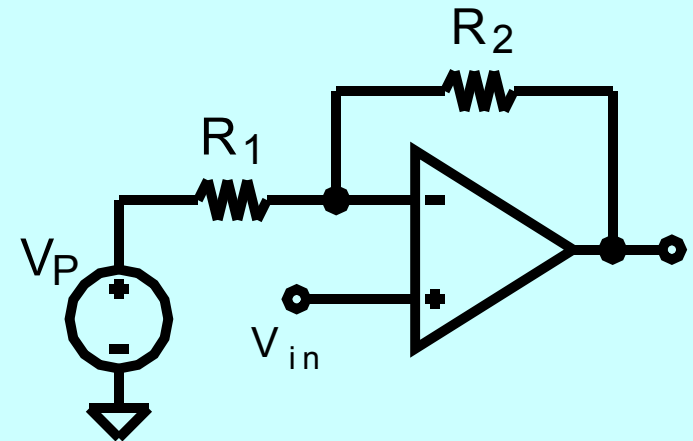
- Offset in ingresso

$$- V_{os_i} = \frac{V_{os_u}}{G} = -\frac{5 \text{ V}}{5} = -1 \text{ V}$$

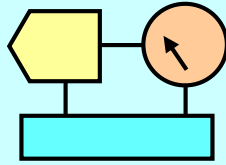
- Polarizzazione dell'amplificatore

$$- G = 1 + \frac{R_2}{R_1} = 5 \Rightarrow \frac{R_2}{R_1} = 4$$

$$- -V_p \frac{R_2}{R_1} = -5 \text{ V} \Rightarrow V_p = \frac{5 \text{ V}}{4} = 1,25 \text{ V}$$



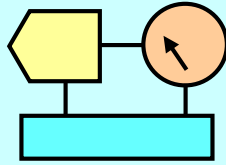




## Es. De2.2: sistema di acquisizione – B

Per il sistema dell'esercizio De2.1

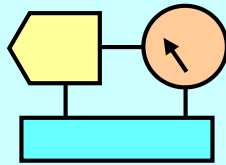
1. Determinare il campo di cadenze di campionamento utilizzabili
2. Indicare le caratteristiche del filtro d'ingresso per un rapporto segnale/rumore di aliasing  $SNR_a$  di almeno 60 dB
3. Indicare il massimo jitter di apertura ( $T_{ja_{max}}$ ) per ottenere un errore dovuto al solo jitter di apertura  $E_{ja} < 0,1 \%$
4. Indicare il numero di bit richiesto per ottenere un errore di quantizzazione  $E_q$  al massimo pari all'errore di aliasing



## Es. De2.2: sistema di acquisizione – B

Per il sistema dell'esercizio De2.1

1. Determinare il campo di cadenze di campionamento utilizzabili
- Il numero di poli dipende dal fattore di sovracampionamento.
    - $F_s \geq 2 F_{\max} = 30 \text{ kHz}$  ed  $F_s \leq F_s^{\text{ch}} = 147 \text{ kHz}$
    - Per  $F_s = 2 F_{\max} = 30 \text{ kHz}$ ,  $N_{\text{decadi}} = \log_{10} \left( \frac{30 \text{ kHz} - 15 \text{ kHz}}{15 \text{ kHz}} \right) = 0$ 
      - » Servirebbe un filtro con un'infinità di poli

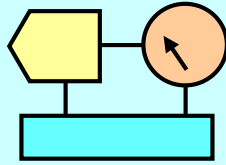


## Es. De2.2: sistema di acquisizione – B

Per il sistema dell'esercizio De2.1

2. Indicare le caratteristiche del filtro di ingresso per un rapporto segnale/rumore di aliasing  $SNR_a$  di almeno 60 dB

- Con  $F_s = 147$  kHz si ha
  - $F_s - F_{\max} = 147 \text{ kHz} - 15 \text{ kHz} = 132 \text{ kHz}$
  - $N_{\text{dec}} = \log_{10} \frac{132 \text{ kHz}}{15 \text{ kHz}} = 0,94$  decadi
- L'attenuazione di un filtro con un polo
  - $A_p = 20 \text{ dB/dec} \cdot 0.94 = 18,8 \text{ dB}$
- Per  $SNR_a = 60$  dB servono
  - $60 \text{ dB} / 18,8 \text{ dB} = 3,2 \text{ poli} \Rightarrow 4 \text{ poli}$
- Con un altro fattore di sovracampionamento, p.es. 2,5
  - $F_s = 2,5 \cdot 30 \text{ kHz} = 75 \text{ kHz}$
  - $F_s - F_{\max} = 75 \text{ kHz} - 15 \text{ kHz} = 60 \text{ kHz} \dots$

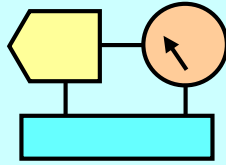


## Es. De2.2: sistema di acquisizione – B

Per il sistema dell'esercizio De2.1

3. Indicare il massimo jitter di apertura ( $T_{ja_{max}}$ ) per ottenere un errore dovuto al solo jitter di apertura  $E_{ja} < 0,1 \%$

- $\frac{dV}{dt} = SR \text{ segnale} = \frac{\omega \cdot V_{pp}}{2} = \frac{6,28 \cdot 15 \text{ kHz} \cdot 5 \text{ V}}{2} = 0,24 \text{ V}/\mu\text{s}$
- $E_{ja} = 0,1 \% \cdot S = 0,001 \cdot 5 \text{ V} = 5 \text{ mV}$
- $\frac{E_{ja}}{T_{ja_{max}}} = 0,24 \text{ V}/\mu\text{s} \Rightarrow T_{ja_{max}} = \frac{5 \text{ mV}}{0,24 \text{ V}/\mu\text{s}} = 21 \text{ ns}$

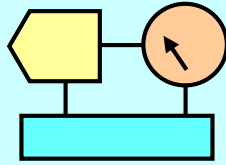


## Es. De2.2: sistema di acquisizione – B

Per il sistema dell'esercizio De2.1

4. Indicare il numero di bit richiesto per ottenere un errore di quantizzazione  $E_q$  al massimo pari all'errore di aliasing

- $SNR_q = SNR_a = 60 \text{ dB} \Rightarrow 6N + 1,76 = 60 \text{ dB}$
- $N = \frac{60 - 1,76}{6} = 9,7 \text{ bit} \Rightarrow N = 10 \text{ bit}$



## Richiami su SNR totale ed ENOB

- $SNR_{\text{totale}}$  dipende dalla somma di vari termini
  - Quantizzazione, aliasing, jitter di apertura S/H, ...
  - Errori della catena di condizionamento (offset, guadagno, ...)
  - ...

- Errore totale per componenti di rumore statisticamente indipendenti

- Somma delle potenze di rumore dei vari componenti

- Ricavabile da  $SNR_{\text{totale}}$

- Numero effettivo di bit realmente significativi

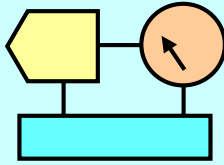
- $ENOB = \frac{SNR_{\text{totale}} - 1,76}{6} = \frac{SNR_{\text{totale}}}{6} - 0,3$

$$SNR_i = 10 \lg \left( \frac{P_S}{P_{N_i}} \right) = 20 \lg \left( \frac{V_S}{V_{N_i}} \right)$$

$$SNR_{\text{tot}} = -10 \lg \left( \sum_i 10^{-\frac{SNR_i}{10}} \right)$$

$$SNR_{\text{tot}} = -10 \lg \left( \frac{\sum_i P_{N_i}}{P_S} \right)$$

$$SNR_{\text{tot}} = -20 \lg \left( \frac{\sqrt{\sum_i V_{N_i}^2}}{V_S} \right)$$

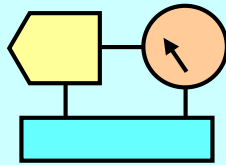


## Esercizio De2.3: calcolo ENOB – A

1. Per il sistema dell'esercizio De2.2, valutare il rapporto segnale/rumore totale ( $SNR_{\text{tot}}$ ) e il numero effettivo di bit ( $ENOB$ ).

Valori specificati o già noti per i singoli errori

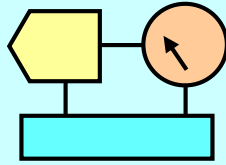
- Rapporto segnale/rumore di aliasing  $SNR_a = 60$  dB
- Errore dovuto al solo jitter di apertura  $E_{ja} < 0,1$  %
- Errore di quantizzazione  $E_q$  al massimo pari all'errore di aliasing



## Esercizio De2.3: calcolo ENOB – A

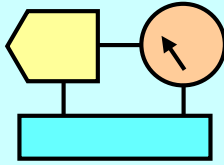
- $SNR_j = 20 \log_{10} \frac{S}{E_j} = 20 \log_{10} \frac{S}{0,001 S} = 60 \text{ dB}$
- $A_j = \frac{E_j}{S} = 10^{-\frac{60 \text{ dB}}{20}} = 0,001$
- $A_a = \frac{E_a}{S} = 0,001$
- $A_q = 10^{-\frac{60 \text{ dB}}{20}} = \frac{E_q}{S} = 0,001$
- $SNR_{\text{tot}} = -20 \log_{10} \left( \sqrt{A_j^2 + A_a^2 + A_q^2} \right) =$   
 $-20 \log_{10}(0,001 \cdot \sqrt{3}) = 55,2 \text{ dB}$
- $ENOB = \frac{55,2 - 1,76}{6} = 8,9 \text{ bit}$





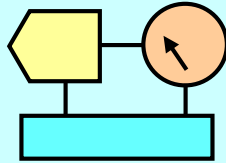
## Esercizio De2.4: calcolo ENOB – B

1. Valutare il rapporto S/N totale ( $SNR_{tot}$ ) e il numero effettivo di bit ( $ENOB$ ) per un sistema con
  1. ADC su 12 bit
  2. Segnale sinusoidale 100 kHz; S/H con jitter 10 ns
  3. Rumore di aliasing pari a 0,1% del fondo scala



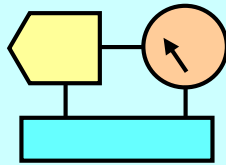
## Esercizio De2.4: calcolo ENOB – B

- $SNR_q = 6 N + 1,76 = 6 \cdot 12 + 1,76 = 73,76 \text{ dB}$
- $SNR_{ja} = -20 \log_{10} \frac{\Delta V}{S} = -20 \log_{10} \left( \frac{T_{ja} \frac{dV}{dt}}{S} \right) =$   
 $-20 \log_{10} \left( \frac{T_{ja} \frac{2\pi f S}{2}}{S} \right) = -20 \log_{10} (\pi f T_{ja}) =$   
 $-20 \log_{10} (\pi \cdot 100 \text{ kHz} \cdot 10 \text{ ns}) = 50,1 \text{ dB}$
- $SNR_a = -20 \log_{10} \left( \frac{0,1 \% \cdot S}{S} \right) = 60 \text{ dB}$
- $SNR_{tot} = -10 \log_{10} \left( 10^{-\frac{SNR_q}{10}} + 10^{-\frac{SNR_{ja}}{10}} + 10^{-\frac{SNR_a}{10}} \right) =$   
 $49,66 \text{ dB}$



## Eserc. De2.5: esempio di scritto

- Un sistema di acquisizione A/D a 4 canali ha:  
 $V_{i_{\max}} = 500 \text{ mV}$ ,  $V_{i_{\text{dc}}} = 0 \text{ V}$ ,  $f_{\max} = 100 \text{ kHz}$ . L'ADC ha una dinamica d'ingresso da  $-5 \text{ V}$  a  $+5 \text{ V}$ .
  - a. Tracciare lo schema a blocchi del sistema. Indicare le specifiche dei singoli blocchi e il numero di bit richiesto per ottenere una precisione globale almeno dello 0,1 %, assumendo che il jitter sia trascurabile.
  - b. Tracciare lo schema a blocchi di un convertitore A/D ad approssimazioni successive e indicare la cadenza di clock richiesta per operare questo sistema.
  - c. Tracciare uno schema di massima (per almeno 3 bit) del convertitore D/A presente nell'A/D del punto b), utilizzando una configurazione con rete a scala e deviatori di corrente. Indicare i vincoli sulla  $R_{\text{ON}}$  degli interruttori nel caso di rete a scala con  $R = 20 \text{ k}\Omega$ .



## Eserc. De2.5-a: soluzione a)

a) Tracciare lo schema a blocchi del sistema. Indicare le specifiche dei singoli blocchi e il numero di bit richiesto per ottenere una precisione globale almeno dello 0,1 %, assumendo che il jitter sia trascurabile.

Guadagno richiesto per l'amplificatore:  $A_v = \frac{5 \text{ V}}{500 \text{ mV}} = 10$

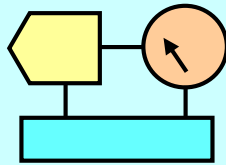
Assegnando metà dell'errore totale all'errore di quantizzazione:  
 $E_q = 0,05 \% = \frac{1}{2000} \geq \frac{1}{2^N} \Rightarrow N = 11$  (per  $N = 10$ ,  $E_q = \pm \frac{1}{2048}$ ).

Cadenza minima di campionamento:  $F_{s_{\min}} = \text{Banda} \times 2 = 200 \text{ ks/s}$

Con  $F_s = 300 \text{ ks/s}$  (un canale), per 4 canali  $F_s = 300 \cdot 10^3 \cdot 4 = 1,2 \text{ Ms/s}$   
 $T_{\text{acq}} + T_{\text{conv}} \leq \frac{1}{1,2 \cdot 10^6} = 833 \text{ ns}$  assegnamo **400 ns** =  $T_{\text{acq}}$ , **400 ns** =  $T_{\text{conv}}$

I poli  $P$  del filtro sono dati da  $F_s$  ed errore di aliasing  $E_a$ . Con  $E_a = 0,05 \%$ :  
 $F_s = 300 \text{ ks/s}$ , alias a  $(300 \text{ kHz} - 100 \text{ kHz}) = 200 \text{ kHz}$ : atten. minima  
 $\frac{1}{0,0005} = 2000$  (66 dB) nell'intervallo da 100 kHz a 200 kHz (1 ottava).

Un polo attenua 6 dB/ottava, quindi servono  $P = \frac{66}{6} = 11$  poli.

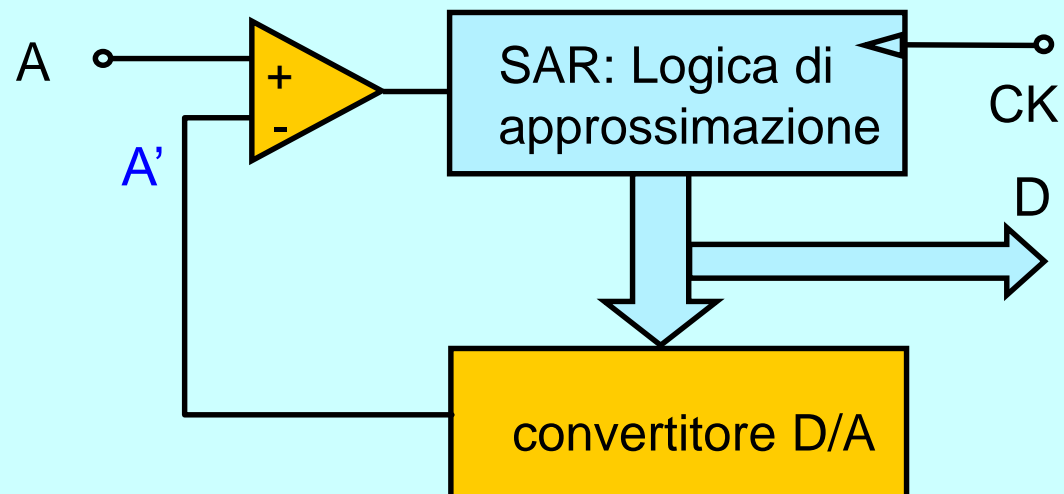


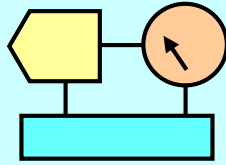
## Eserc. De2.5-b: soluzione b)

- b) Tracciare lo schema a blocchi di un convertitore A/D ad approssimazioni successive, e indicare la cadenza di clock richiesta per operare questo sistema.

Per operare a 1,2 Ms/s (mantenendo la scelta del punto a),  
 $T_{\text{conv}} = 400 \text{ ns}$ , la cadenza di clock minima è

$$F_{\text{ck}} = \frac{1}{400 \text{ ns}} \cdot 11 \text{ bit} = 27,5 \text{ MHz}$$





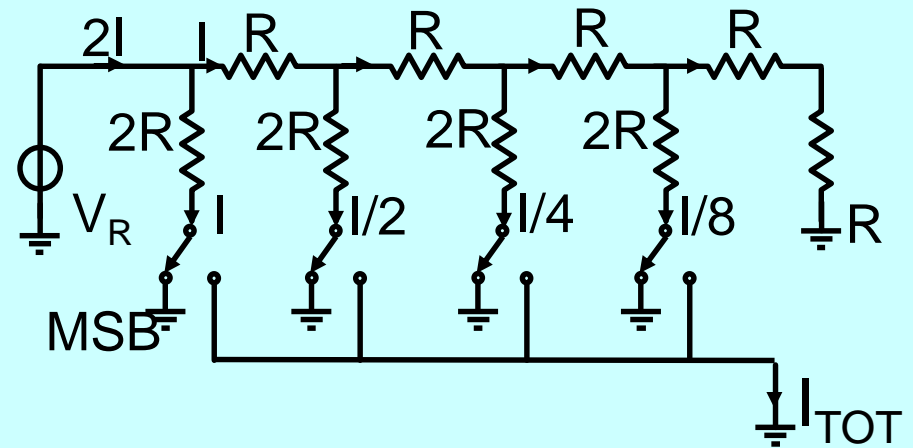
## Eserc. De2.5-c: soluzione c)

**c) Tracciare uno schema di massima (almeno per 3 bit) del convertitore D/A presente nell'A/D del punto b), utilizzando una configurazione con rete a scala e deviatori di corrente. Indicare i vincoli sulla  $R_{ON}$  degli interruttori nel caso di rete a scala con  $R = 20 \text{ k}\Omega$ .**

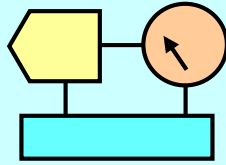
Assegnando metà dell'errore totale, 0,05 %/2, alla  $R_{ON}$  del ramo MSB

$$R_{on} < \frac{0,05 \%}{2} \cdot 2 R = 0,05 \% \cdot R$$

$$R_{on} < 20 \text{ k}\Omega \cdot \frac{0,05}{100} = \mathbf{10 \Omega}$$



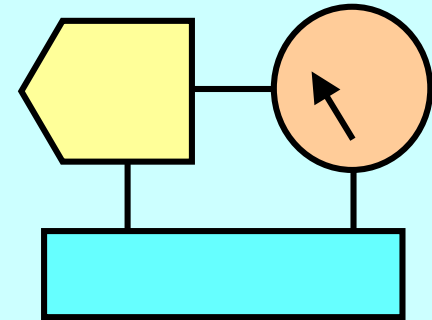
[Il circuito deve includere un A.O. per convertire  $I_{TOT}$  di uscita in tensione]

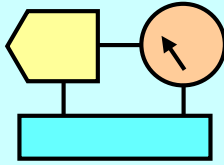


## ELETTRONICA APPLICATA

### Ee1 – ESERCIZI PARTE E

- » Interruttore con BJT
- » Alimentatori
- » Regolatori lineari
- » Regolatori a commutazione

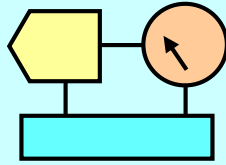




## Ee1: circuiti di potenza/alimentazione

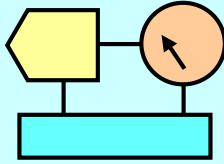
- Ee1.1 Interruttore di potenza
- Ee1.2 Circuito raddrizzatore e filtro
- Ee1.3 Regolatore con diodo Zener
- Ee1.4 Regolatore con Zener e transistor
- Ee1.5 Regolatore a commutazione





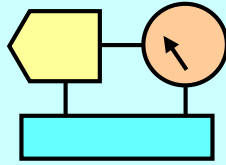
## Eserciz. Ee1.1: interruttore di potenza

- Un BJT è usato come interruttore ON/OFF per un carico di 100 ohm, alimentato a 12V.  
Parametri del transistore:  $h_{fe} = 50$ ,  $V_{cesat} = 0,2 \text{ V}$ 
  - a. Tracciare il circuito di interfaccia per pilotarlo tramite una porta CMOS con alimentazione  $V_{al} = 5\text{V}$ .
  - b. Determinare la potenza dissipata nel transistore.



## Esercizio Ee1.1-a: potenza dissipata

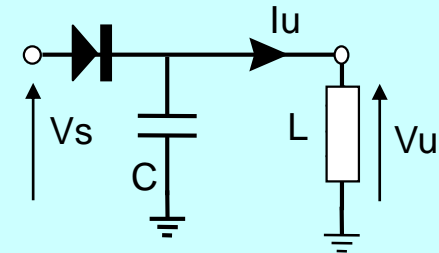
- a. Tracciare il circuito di interfaccia per pilotare l'interruttore a BJT da una porta CMOS con alimentazione  $V_{al} = 5V$ .
- b. Determinare la potenza massima dissipata nel transistor.



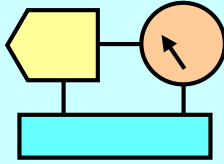
## Es. Ee1.2: circuito raddrizzatore/filtro

- Il circuito a lato è un raddrizzatore a una semionda con filtro

- $V_s = 18 \text{ V}_{\text{eff}}$ , 60 Hz
- $C = 470 \text{ } \mu\text{F}$ ;

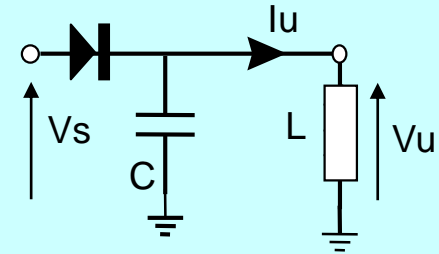


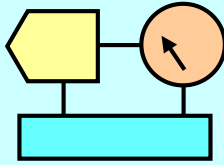
- Determinare la tensione di ripple  $V_{ur}$  in uscita per una corrente  $I_u = 90 \text{ mA}$ , e calcolare in queste condizioni la componente continua della  $V_u$  ( $V_{udc}$ ).
- Calcolare la variazioni di tensione in uscita ( $\Delta V_{udc}$ ) e il ripple max ( $V_{urmax}$ ) per  $I_u$  che varia da 0 a 100 mA.
- Modificare il circuito inserendo un raddrizzatore a doppia semionda, e calcolare i nuovi  $V_{udc}$  e  $V_{ur}$ .



## Eserciz. Ee1.2-a: raddrizzatore e filtro

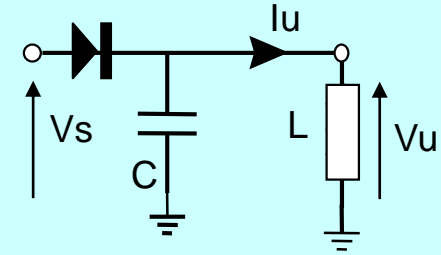
- a. Determinare la tensione di ripple  $V_{ur}$  in uscita per una corrente  $I_u = 90 \text{ mA}$ , e calcolare in queste condizioni la componente continua della  $V_u$  ( $V_{udc}$ ).

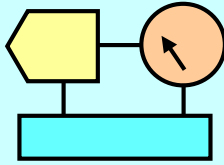




## Esercizio Ee1.2-b: ripple in uscita

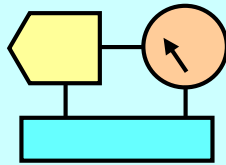
- b. Calcolare la variazioni di tensione in uscita ( $\Delta V_{udc}$ ) e il ripple max ( $V_{urmax}$ ) per  $I_u$  che varia da 0 a 100 mA.





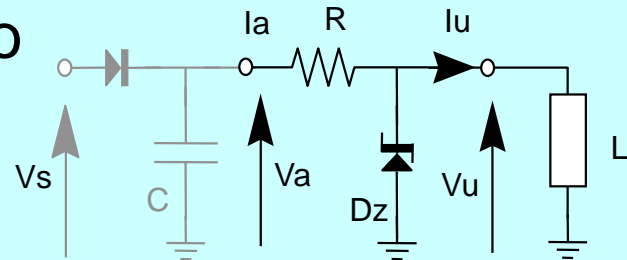
## Esercizio Ee1.2-c: doppia semionda

- c. Modificare il circuito inserendo un raddrizzatore a doppia semionda, e calcolare i nuovi  $V_{udc}$  e  $V_{ur}$



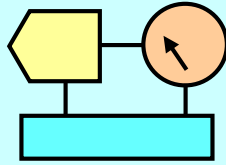
## Eserc. Ee1.3 regolatore con Zener

- Al gruppo raddrizzatore-filtro precedente viene aggiunto uno Zener:



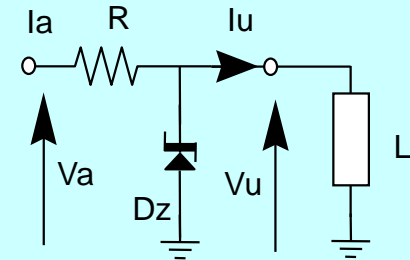
- $V_s = 18 \text{ V}_{\text{eff}}$      $C = 470 \mu\text{F}$   
 $R = 120 \text{ ohm}$      $V_{zo} = 9 \text{ V};$   
 $r_z = 10 \Omega$          $I_{z\text{min}} = 7 \text{ mA}$

- Per  $V_a = V_{\text{adc}} + V_{\text{ar}}$ , calcolare:
  - la componente continua  $V_{\text{udc}}$
  - l'ondulazione  $V_{\text{ur}}$  per un carico  $L$  che assorbe  $I_u = 100 \text{ mA}$ .
- Determinare la potenza  $P_z$  dissipata dallo Zener per  $V_a = V_{\text{adc}}$ ,  $I_u = 100 \text{ mA}$ .  
In quali condizioni operative  $P_z$  è max?
- Determinare il valore massimo di  $R$  per mantenere la funzionalità del regolatore fino a correnti di uscita di  $200 \text{ mA}$

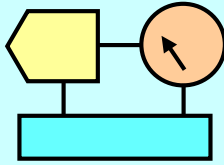


## Eserc. Ee1.3-a regolatore con Zener

- a. Per  $V_a = V_{dc} + V_r$ , calcolare:
- la componente continua  $V_{dc}$
  - l'ondulazione  $V_r$  per un carico  $L$  che assorbe  $I_u = 100\text{mA}$ .

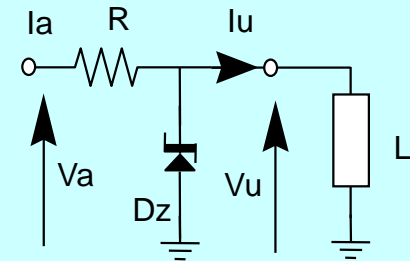


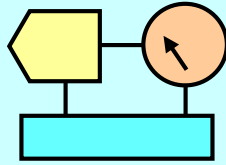




## Eserc. Ee1.3-b regolatore con Zener

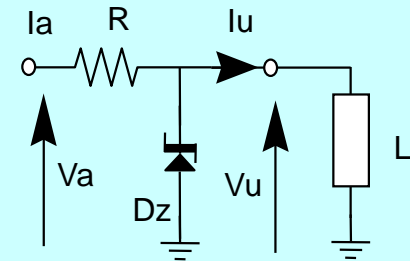
- b. Determinare la potenza  $P_z$  dissipata dallo zener per  $V_a = V_{dc}$ ,  $I_u = 100 \text{ mA}$ . In quali condizioni operative  $P_z$  è massima?

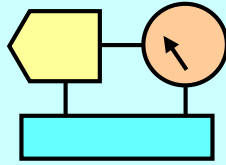




## Eserc. Ee1.3-c regolatore con Zener

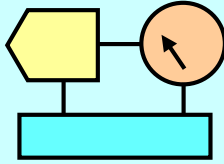
- c. Determinare il valore massimo di  $R$  per mantenere la funzionalità del regolatore fino a  $I_u$  di 200 mA





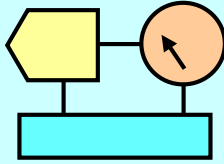
## Es. Ee1.4: regolatore Dz + transistor

- Aggiungere al circuito precedente un BJT (nnp) in modo da migliorare la regolazione al variare della corrente nel carico. Per il nuovo circuito:
  - a. Determinare la potenza dissipata dallo zener e dal transistor per  $V_a = V_{adc}$ , con  $I_u = 0$  (a vuoto).
  - b. Indicare come si modificano (rispetto al circuito con solo Zener) la regolazione per variazioni della tensione di ingresso e per variazioni della corrente nel carico (risposta qualitativa).
  - c. Calcolare la massima potenza dissipata nello Zener e nel Transistore, per correnti di uscita da 0 a 100 mA.



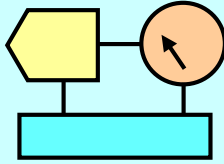
## Es. Ee1.4-a: potenza dissipata

- a. Determinare la potenza dissipata dallo zener e dal transistor per  $V_a = V_{adc}$ , con  $I_u = 0$  (a vuoto).



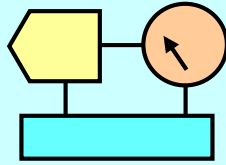
## Es. Ee1.4-b: regolatore Dz + trans.

- b. Indicare come si modificano (rispetto al circuito con solo Zener) la regolazione per variazioni della tensione di ingresso e per variazioni della corrente nel carico (risposta qualitativa).



## Esercizio Ee1.4-c: potenza dissipata

- c. Calcolare la massima potenza dissipata nello Zener e nel Transistore, per correnti di uscita da 0 a 100 mA.



## Es. Ee1.5: regolatore a commutaz.

- Tracciare lo schema di un regolatore a commutazione con  $V_o < V_i$ 
  - a. Valutare i limiti di duty cycle del segnale di comando richiesto per ottenere una uscita di 5V con tensioni di ingresso da 8 a 15V
  - a. Valutare il rendimento tenendo conto di  $V_{cesat}$  e  $R_{on}$