

Quiz 1

Due porte logiche con la stessa tensione di alimentazione e con stadio d'uscita tri-state hanno le uscite collegate insieme. Se per un errore vengono attivate entrambe le uscite ed entrambe le porte cercano di produrre uno zero logico in uscita, la tensione effettiva del nodo d'uscita sarà:

- ☐ (a) minore o uguale a V_{OL}
- ☐ (b) compresa tra V_{OL} e V_{OH}
- ☐ (c) dipende dalla resistenza di pull-up
- ☐ (d) maggiore o uguale a V_{OH}

Quando una porta tri-state è abilitata, si comporta come una porta con uscita totem-pole. Due porte tri-state, entrambe abilitate e con le uscite collegate insieme, possono avere una condizione di conflitto qualora una forzi uno zero logico (pull-down attivo) e l'altra forzi un uno logico (pull-up attivo). In quel caso, la tensione e il valore logico dell'uscita sono indeterminati. Nel caso della domanda, invece, entrambe le porte forzano uno zero logico in uscita e non vi può essere conflitto. Pertanto, l'uscita avrà una tensione di zero logico inferiore o uguale a V_{OL} .

La risposta corretta è la (a).

Quiz 2

Una porta CMOS nand a 3 ingressi ha transistori MOS con resistenza $R_{ON} = 1000 \Omega$ e capacità di gate 1 fF. Se la porta ha come fanout altre tre porte nand dello stesso tipo, i ritardi di propagazione LH e HL della porta saranno (caso peggiore):

- ☐ (a) $t_{HL} = 12,4 \text{ ps}$, $t_{LH} = 4,1 \text{ ps}$
- ☐ (b) $t_{HL} = 4,1 \text{ ps}$, $t_{LH} = 12,4 \text{ ps}$
- ☐ (c) $t_{HL} = 6,2 \text{ ps}$, $t_{LH} = 2,1 \text{ ps}$
- ☐ (d) $t_{HL} = 16,6 \text{ ps}$, $t_{LH} = 16,6 \text{ ps}$

Ciascun transistor (PMOS, NMOS) in conduzione della porta NAND ha una resistenza equivalente R_{ON} .

Il caso peggiore (resistenza equivalente di uscita maggiore) per l'uscita alta (V_{DD}) è quando conduce un solo transistor PMOS ed è $R_{out_{max}}^{high} = R_{ON}$.

Il caso peggiore (con la resistenza equivalente d'uscita maggiore) per l'uscita bassa (V_{GND}) è l'unico che si verifica durante il funzionamento, quando conducono tutti i transistor NMOS ed è $R_{out_{max}}^{low} = 3 R_{ON}$.

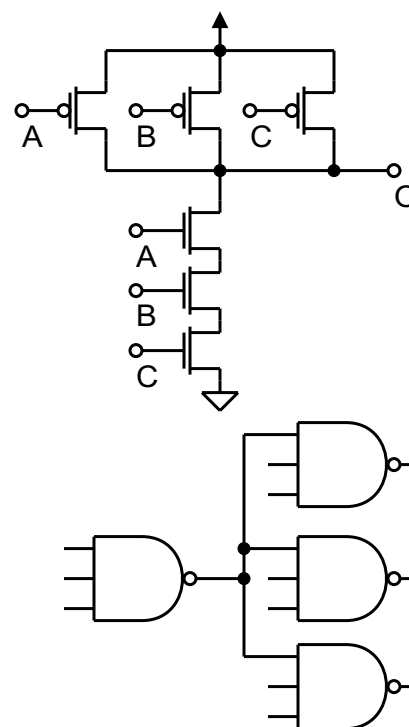
Il collegamento dell'uscita della porta NAND ad altre tre porte NAND determina un carico capacitivo sull'uscita di due capacità di gate (C_G) (dovute ai due transistori NMOS e PMOS collegati a ciascun ingresso) per ciascuna porta, tutte collegate in parallelo, ovvero $6 C_G$.

Per calcolare i ritardi di propagazione si considera il tempo in cui la tensione di uscita raggiunge la metà dell'ampiezza, ovvero

$$t_{HL} = 0,69 R_{out_{max}}^{low} C_G = 0,69 \cdot 3000 \Omega \cdot 6 \cdot 10^{-15} = 12,42 \text{ ps}$$

$$t_{LH} = 0,69 R_{out_{max}}^{high} C_G = 0,69 \cdot 1000 \Omega \cdot 6 \cdot 10^{-15} = 4,14 \text{ ps}$$

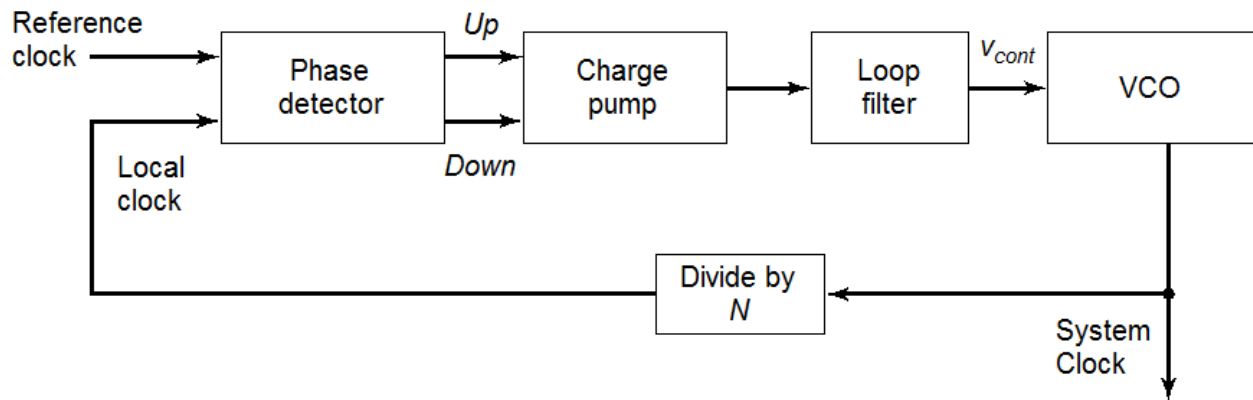
La risposta corretta è la (a).



Quiz 3

L'uscita di un oscillatore al quarzo di frequenza 125 MHz è collegata ad un Phase Locked Loop (PLL). Per poter ottenere una frequenza di clock di 1 GHz tramite sintesi di frequenza è necessario

- ☐ (a) un divisore di frequenza per 8 nell'anello del PLL
- ☐ (b) un moltiplicatore di frequenza per 8 nell'anello del PLL
- ☐ (c) un divisore di frequenza per 8 tra l'uscita dell'oscillatore e il PLL
- ☐ (d) un divisore di frequenza per 16 nell'anello del PLL



Il rilevatore di fase, "Phase detector", confronta la fase di due segnali con la stessa frequenza, uno di riferimento, "Reference clock" e uno cui frequenza si desidera stabilizzare, "Local clock".

In questo caso, "Reference clock" proviene dall'oscillatore al quarzo che ha la frequenza 125 MHz. "Local clock" proviene dalla frequenza di clock che si desidera, 1 GHz e che deve essere divisa per un fattore $N = 8$ nel loop del PLL per essere confrontabile con quella di riferimento.

La risposta corretta è la (a).

Quiz 4

Il tempo di conversione di un convertitore A/D ad approssimazioni successive a N bit è proporzionale a:

- ☐ (a) N
- ☐ (b) $N - 1$
- ☐ (c) 2^N
- ☐ (d) $2^N - 1$

Per costruzione, un convertitore analogico-digitale ad approssimazioni successive determina un bit degli N in uscita ad ogni colpo di clock, a partire dall'MSB.

Per determinare tutti gli N bit in uscita e terminare la conversione, il convertitore ha bisogno di N colpi di clock e il tempo di conversione è proporzionale al numero di bit della conversione, N .

La risposta corretta è la (a).

Quiz 5

Il tempo minimo necessario per leggere un array di 1 MB da una memoria DRAM DDR4 con parallelismo 16 bit e bus con frequenza di clock 2133 MHz è:

- ☐ (a) 123 μ s
- ☐ (b) 123 ms
- ☐ (c) 246 μ s
- ☐ (d) 246 ms

La quantità di dati da leggere è 1 MB = $1024 \cdot 1024$ byte.

Parallelismo di lettura di 16 bit significa 2 byte letti in parallelo.

DRAM di tipo DDR esegue due trasferimenti per periodo di clock.

Quindi, in un colpo di clock sono trasferiti 2 volte (DDR) 2 byte (parallelismo lettura) = 4 byte.

Con questa velocità di trasferimento, l'array verrà trasferito in

$$t_{\text{transfer}} = \frac{1024 \cdot 1024 \text{ byte}}{4 \text{ byte}} \cdot T_{\text{clock}} = 262144 \cdot \frac{1}{2133 \text{ MHz}} = 123 \mu\text{s}$$

La risposta corretta è la (a).

Quiz 6

Date la capacità C_U e l'induttanza L_U unitarie di una linea di trasmissione, l'impedenza caratteristica Z_∞ e la velocità di propagazione P si calcolano come

- ☐ (a) $Z_\infty = \sqrt{\frac{L_U}{C_U}}, P = \frac{1}{\sqrt{L_U C_U}}$
- ☐ (b) $Z_\infty = \frac{1}{\sqrt{L_U C_U}}, P = \sqrt{\frac{L_U}{C_U}}$
- ☐ (c) $Z_\infty = \frac{L_U}{C_U}, P = \frac{1}{\sqrt{L_U C_U}}$
- ☐ (d) $Z_\infty = \frac{1}{\sqrt{L_U C_U}}, P = \frac{L_U}{C_U}$

$$Z_\infty = \sqrt{\frac{L_U}{C_U}}$$

$$P = \frac{1}{\sqrt{C_U L_U}}$$

La risposta corretta è la (a).

Quiz 7

Il crosstalk in linee accoppiate aumenta se:

- ☐ (a) aumenta la ripidità dei fronti dei segnali
- ☐ (b) si scelgono porte con elevati margini di rumore
- ☐ (c) si aumenta la distanza tra le linee
- ☐ (d) si usano ove possibile segnali differenziali

Il crosstalk è direttamente correlato alla velocità dei fronti del segnale disturbante (dV/dt o dI/dt). Quindi, il crosstalk è più elevato per segnali con fronti di variazione più ripidi.

La risposta corretta è la (a).

Quiz 8

Il derating della potenza di un dispositivo elettronico:

- ☐ (a) serve per tenere conto della variabilità della produzione
- ☐ (b) è determinato dalla temperatura della giunzione
- ☐ (c) è indipendente dalla resistenza termica case-ambiente
- ☐ (d) è determinato dal normale degrado del dispositivo con l'utilizzo

Il derating è specificato dal produttore del componente quando le condizioni di temperatura di utilizzo del componente eccedono le condizioni di temperatura in cui è stato caratterizzato il componente. Il derating specifica una riduzione della potenza massima dissipata dal componente per evitare che la temperatura delle giunzioni del componente ecceda il valore consentito.

Il derating dipende dalla resistenza termica case-ambiente, in quanto con dissipatori più efficienti i dispositivi possono dissipare più potenza senza superare la temperatura massima consentita per le giunzioni.

Quindi, la risposta corretta è la (b).

Quiz 9

La potenza dinamica dissipata da un circuito CMOS:

- ☐ (a) viene assorbita dall'alimentazione durante la carica delle capacità di carico delle uscite
- ☐ (b) viene assorbita dall'alimentazione durante lo scarico delle capacità di carico delle uscite
- ☐ (c) dipende dalla resistenza di uscita dei transistori delle porte del circuito
- ☐ (d) viene dissipata nelle capacità di carico

Consideriamo i circuiti equivalenti di uscita per una porta generica CMOS con un carico capacitivo in uscita, C_L .

Per la transizione dal livello basso al livello alto, L-H, l'alimentazione V_{DD} è collegata al carico capacitivo tramite la resistenza R_{ON} in conduzione del transistor PMOS della porta, determinando una corrente $I_L(t)$ di carico della capacità C_L . La potenza dissipata dalla resistenza R_{ON} , $P_R^{LH}(t) = I_L^2(t) R_{ON}$, viene fornita dall'alimentazione.

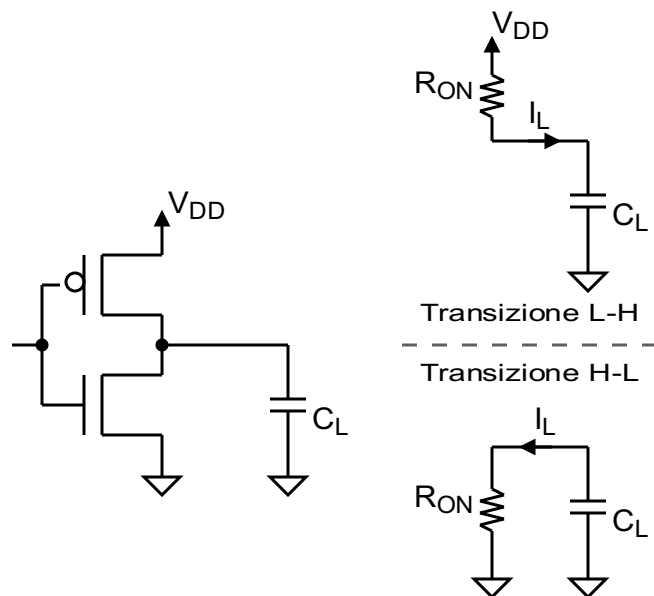
Per la transizione dal livello alto al livello basso, H-L, l'alimentazione è scollegata. La capacità di carico C_L si scarica attraverso la resistenza R_{ON} in conduzione del transistor NMOS della porta, determinando una corrente $I_L(t)$ di scarica. La potenza dissipata dalla resistenza R_{ON} , $P_R^{HL}(t) = I_L^2(t) R_{ON}$, viene fornita dalla capacità C_L .

Inoltre, la potenza dinamica in circuiti CMOS dipende dalla frequenza di commutazione f , capacità di carico C_L e tensione di alimentazione V_{DD}

$$P_D = f C_L V_{DD}^2$$

Non dipende dalla resistenza di uscita dei transistor della porta CMOS, R_{ON} .

Quindi, la risposta corretta è la (a).



Quiz 10

Il tempo di lettura per un ciclo asincrono:

- ☐ (a) include due volte il tempo di trasmissione massimo
- ☐ (b) dipende dal tempo di setup del registro destinazione
- ☐ (c) non dipende dal tempo di skew della comunicazione
- ☐ (d) non dipende dal tempo di hold del registro destinazione

Le componenti del tempo di lettura t_{read} per una comunicazione asincrona sono:

$$t_{\text{read}} = t_k + t_{\text{SU}} + t_{\text{H}} + t_{\text{access}} + 4 t_{\text{TX}_{\text{max}}}$$

dove:

- t_k è il tempo massimo di skew tra linee di comunicazione
- t_{SU} è il tempo di setup del registro destinazione
- t_{H} è il tempo di hold del registro destinazione
- t_{access} è il tempo di accesso alla fonte di dati
- $t_{\text{TX}_{\text{max}}}$ è il tempo massimo di trasmissione sulle linee di comunicazione

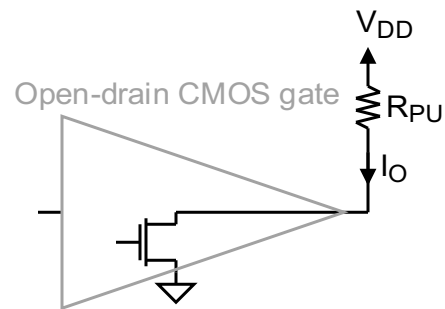
Quindi, la risposta corretta è la (b).

Quiz 11: DOMANDA RELATIVA AL LABORATORIO

Il consumo statico di un inverter del circuito 74HC05 (hex inverter open drain) quando ha l'uscita sul livello basso ("0" logico):

- ☐ (a) è generalmente uguale al consumo statico con l'uscita sul livello alto (H)
- ☐ (b) dipende dalla capacità del carico sull'uscita
- ☐ (c) dipende dalla resistenza verso l'alimentazione sull'uscita
- ☐ (d) dipende dalla resistenza di pull-down necessaria in uscita

Un inverter open-drain ha bisogno di una resistenza esterna collegata tra la sua uscita e l'alimentazione (detta anche resistenza di "pull-up"), in quanto la sua uscita non ha transistori PMOS che possono collegarla all'alimentazione per realizzare lo stato logico alto. La funzione pull-down è realizzata dal transistore NMOS collegato all'uscita, quindi la porta non necessita una resistenza esterna di pull-down.



Quando l'uscita si trova nello stato logico basso, questa è collegata al riferimento, V_{GND} , attraverso il transistore NMOS di uscita. Questo collegamento determina una corrente statica in uscita sul livello basso, che permane per tutta la durata dello stato basso in uscita, quindi oltre alla durata del transitorio della commutazione che potrebbe dissipare potenza dinamica per scaricare le eventuali capacità di carico di circuiti esterni collegati.

Questa corrente statica, che attraversa sia la resistenza di pull-up esterna, sia la resistenza in conduzione del transistore NMOS di uscita della porta, determina una dissipazione di potenza statica in queste due resistenze, come indicato nella risposta (c).

Quando l'uscita è a un livello alto il transistore NMOS di uscita non conduce lasciando di fatto non collegata l'uscita della porta. Quindi, in questo stato il consumo di potenza statica della porta non dipende dal circuito esterno.

Quindi, la risposta corretta è la (c).

Quiz 12: DOMANDA RELATIVA AL LABORATORIO

Con la riflettometria nel dominio del tempo:

- ☐ (a) si può applicare solo a cavi coassiali schermati perché insensibili a diafonia
- ☐ (b) si può determinare la lunghezza di una linea di trasmissione
- ☐ (c) non si può utilizzare su linee interrotte
- ☐ (d) si può analizzare una linea di trasmissione con accesso alle due estremità

La riflettometria nel dominio del tempo si basa sulla misura del tempo di propagazione di un segnale iniettato ad un estremo di una linea di trasmissione.

È necessario avere accesso ad una sola estremità della linea, in quanto si misura il tempo intercorso tra il segnale iniettato all'estremità vicina e il ritorno della riflessione dello stesso segnale dall'altra estremità, remota. Le linee interrotte hanno l'estremo remoto aperto, con un coefficiente di riflessione pari a 1 che riflette un'onda di ampiezza pari all'onda incidente.

Il tempo di propagazione che viene misurato dipende dalle proprietà fisiche della linea di trasmissione, tra cui la lunghezza della linea

$$t_P = \frac{L}{P}$$

dove:

- t_P è il tempo di propagazione sulla linea di trasmissione
- L è la lunghezza della linea di trasmissione
- P è la velocità di propagazione dei segnali lungo la linea di trasmissione

Quindi, la risposta corretta è la (b).

Quiz 13: DOMANDA RELATIVA AL LABORATORIO

Una capacità su una delle uscite di un convertitore digitale-analogico con resistenze pesate:

- ☐ (a) determina variazioni temporanee dell'uscita analogica
- ☐ (b) determina glitch di ampiezze casuali sull'uscita analogica
- ☐ (c) determina errori di non-linearità
- ☐ (d) determina glitch in momenti casuali sull'uscita analogica

Una capacità parassitica su un'uscita di un convertitore digitale-analogico con resistenze pesate determina degli spike sulla corrente di uscita del convertitore quando l'uscita digitale sulla quale è collegata la capacità commuta (H-L oppure L-H).

L'ampiezza e la durata di questi spike sono definiti dai parametri del circuito e dal valore della capacità parassitica. Quindi, sono ripetibili per un determinato circuito.

Siccome ciascun'uscita digitale di un convertitore commuta un numero pari di volte per tutto il range di conversione, si avrà sempre un numero uguale di spike per transizioni H-L e L-H dell'uscita digitale. Oltre ad essere transitori, questi hanno ampiezze uguali, segni opposti e non influenzano la linearità della caratteristica del convertitore.

Quindi la risposta corretta è la (a).

Esercizio B1

Un sistema di acquisizione a 4 canali utilizza un convertitore A/D di tipo Flash a 4 bit.

1. Quanti comparatori sono necessari per realizzare il convertitore?
2. Per avere una dinamica di ingresso 0-5V qual è il valore della tensione di riferimento del convertitore?
3. Qual è il valore minimo delle resistenze usate nel convertitore per avere una corrente erogata dal generatore di tensione di riferimento inferiore a 10 μ A? ohm.
4. Se le resistenze sono tutte affette dallo stesso errore sistematico pari al 2% del valore nominale, che tipo di errore si manifesta nella caratteristica del convertitore?
☐ guadagno
☐ offset
☐ non linearità differenziale
☐ non linearità integrale
☐ nessun errore
5. Se i segnali di ingresso hanno dinamica [-0.25,0.25] V, quali sono le specifiche dell'amplificatore di condizionamento? Guadagno: , Offset (in uscita): V
6. Sapendo che convertitore e S&H usano una frequenza di campionamento pari a 1 MHz e che i segnali hanno banda 50 kHz, rispondere alle seguenti domande.
 - Il fattore di sovracampionamento è pari a $k =$
 - Utilizzando un filtro antialiasing (a monte del multiplexer) a 3 poli si ottiene $SNRa =$
 - Indicare se il valore ottenuto di $SNRa$ è maggiore o minore di $SNRq$:
☐ Minore
☐ Maggiore

1. Un convertitore analogico-digitale di tipo flash utilizza $2^N - 1$ comparatori, dove N è il numero di bit dell'uscita digitale. In questo esercizio $N = 4$. Quindi il convertitore utilizza $2^4 - 1 = 15$ comparatori.

2. La dinamica di ingresso di un convertitore di tipo flash è pari alla tensione di riferimento. Quindi, una dinamica di ingresso pari a 5 V richiede una tensione di riferimento pari a 5 V.

3. Per generare i 15 valori di riferimento equidistanti per i 15 comparatori del convertitore sono necessarie 16 resistenze in serie, tutte con valori uguali tra loro. La corrente I_{REF} che le attraversa è data da:

$$I_{REF} = \frac{V_{REF}}{16 R}$$

da cui risulta

$$R = \frac{V_{REF}}{16 I_{REF}} = \frac{5 \text{ V}}{16 \cdot 10 \mu\text{A}} = 31250 \Omega$$

4. Se i valori di tutte le resistenze R cambiano dello stesso valore, i rapporti di divisione del partitore resistivo non cambiano. Quindi, i riferimenti di tensione per i comparatori del convertitore flash non cambiano e il risultato delle conversioni resta invariato ("nessun errore").

5. L'ampiezza picco-picco dei segnali in ingresso è

$$0.25 \text{ V} - (-0.25 \text{ V}) = 0,5 \text{ V}$$

e per arrivare alla dinamica d'ingresso del convertitore di 5 V bisogna amplificarlo di

$$G = \frac{5 \text{ V}}{0,5 \text{ V}} = 10$$

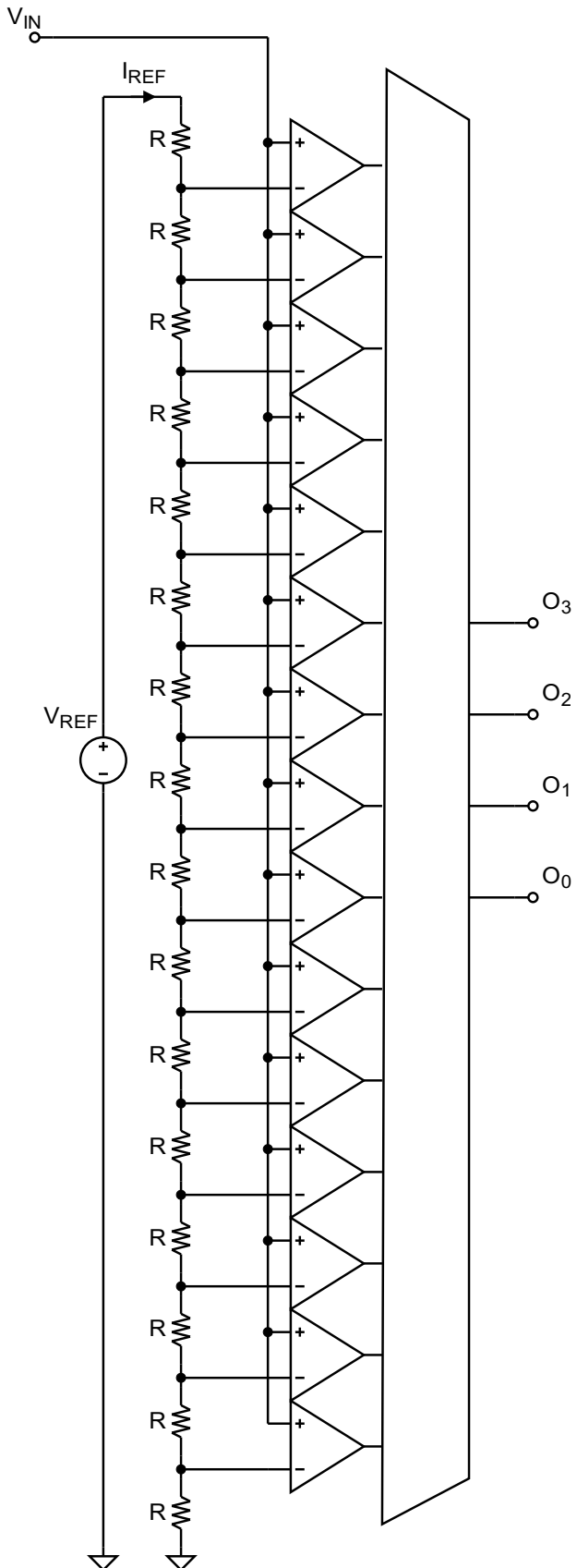
L'offset in ingresso è 0 V e deve essere convertito in uscita dell'amplificatore di condizionamento in un offset a metà della dinamica di ingresso, ovvero

$$\frac{5 \text{ V}}{2} = 2,5 \text{ V}$$

6. Se i quattro segnali di ingresso sono campionati a 1 MHz, ciascun segnale viene campionato a un quarto di questa frequenza

$$f_s = \frac{1 \text{ MHz}}{4} = 250 \text{ kHz}$$

Considerando che ciascun segnale di ingresso ha una banda di 50 kHz, risulta che rispetto alla minima frequenza di campionamento di Nyquist,



$f_N = 50 \text{ kHz} \cdot 2 = 100 \text{ kHz}$, il fattore di sovracampionamento di f_S è

$$k = \frac{f_S}{f_N} = \frac{250 \text{ kHz}}{100 \text{ kHz}} = 2,5$$

Il filtro anti-aliasing ha $P = 3$ poli (attenuazione 60 dB/decade), il segnale ha una banda $f_B = 50 \text{ kHz}$ e la frequenza di campionamento è quella determinata sopra, $f_S = 250 \text{ kHz}$. Con questi dati, il rapporto segnale-rumore di aliasing è

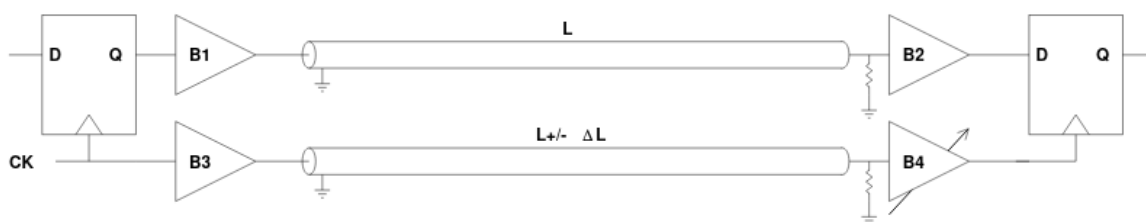
$$SNR_a = P \cdot 20 \lg \left(\frac{f_S - f_B}{f_S} \right) = 3 \cdot 20 \lg \left(\frac{250 \text{ kHz} - 50 \text{ kHz}}{250 \text{ kHz}} \right) = 36,1 \text{ dB}$$

Il rapporto segnale-rumore di quantizzazione per un convertitore a $N = 4$ bit è

$$SNR_q = 6 N + 1,76 = 6 \cdot 4 + 1,76 = 25,8 \text{ dB}$$

Quindi, $SNR_a > SNR_q$.

Esercizio B2



Due chip su una scheda comunicano tramite un protocollo source-synchronous che usa linee di interconnessione con impedenza caratteristica $Z_{\infty} = 100\Omega$ e velocità di propagazione 0.1 C . Le linee di dato hanno una lunghezza $L = 30\text{cm}$ ma la linea di clock presenta un'incertezza $\Delta L = 3\text{cm}$ (lunghezza compresa tra 27 e 33 cm). Le resistenze di terminazione sono collocate a un estremo come nella figura sopra. I buffer CMOS B1-B4 sono alimentati a 3,3V e hanno $V_{il} = 1,5\text{V}$ e $V_{ih} = 1,8\text{V}$.

1. Determinare il ritardo di propagazione t_p della linea di dato e di clock e l'incertezza del ritardo Δt_p sulla linea di clock: $t_p = \boxed{}\text{ ns}$, $\Delta t_p = \boxed{}\text{ ns}$.

2. Determinare il valore della resistenza di terminazione R_T che garantisce l'adattamento e il valore massimo della resistenze d'uscita R_O di B1 e B3 per essere in condizioni Incident Wave Switching (IWS) con un margine di rumore di 0.5V: $R_T = \boxed{}\Omega$, $R_O = \boxed{}\Omega$

3. Sapendo che i FF presentano $t_{ck-q} = 0.1\text{ns}$, $t_{su} = 0.25\text{ns}$, $t_h = 0.1\text{ns}$ e che i buffer B1-B3 hanno un ritardo $t_B = 0.5\text{ns}$, determinare il ritardo t_{B4} del buffer con ritardo programmabile B4 che garantisce di operare con il minimo periodo di clock e il valore T_{CK} di tale periodo: $t_{B4} = \boxed{}\text{ ns}$, $T_{CK} = \boxed{}\text{ ns}$.

1. Il ritardo di propagazione sulle linee, entrambe dalla lunghezza nominale di $L = 30\text{ cm}$, è:

$$t_p = \frac{L}{0,1\text{ c}} = \frac{0,3\text{ m}}{0,1 \cdot 3 \cdot 10^8\text{ m/s}} = 10\text{ ns}$$

La variazione del ritardo dovuto alla variazione ΔL sulla linea di clock è conseguentemente:

$$\Delta t_p = \frac{\Delta L}{0,1\text{ c}} = \frac{0,03\text{ m}}{0,1 \cdot 3 \cdot 10^8\text{ m/s}} = 1\text{ ns}$$

2. La resistenza di terminazione R_T e' adattata quando il coefficiente di riflessione alla terminazione

$$\Gamma_T = \frac{R_T - Z_{\infty}}{R_T + Z_{\infty}} = 0$$

ovvero quando $R_T = Z_{\infty} = 100\Omega$.

La resistenza di uscita del driver, R_O , deve garantire un'ampiezza dell'onda incidente superiore al livello più alto della soglia d'ingresso del ricevitore del margine di rumore richiesto

$$V_B(0) = V_{IH} + V_{NM} = V_{DD} \frac{Z_\infty}{R_O + Z_\infty} \Rightarrow$$

$$R_O = Z_\infty \left(\frac{V_{DD}}{V_{IH} + V_{NM}} - 1 \right) = 100 \, \Omega \left(\frac{3,3 \, V}{1,8 \, V + 0,5 \, V} - 1 \right) = 43,5 \, \Omega$$

3. L'incertezza determina lo skew

$$\Delta t_p = t_k$$

Il segnale di clock dev'essere ritardato rispetto al dato in modo da non determinare violazioni di setup anche quando t_k è negativo (linea di clock più corta). Pertanto, il buffer B4 deve ritardare il clock non solo di $t_{ck-q} + t_B + t_{SU}$, il che sarebbe sufficiente in assenza di skew o di skew positivo, ma anche di $|t_k|$. Quindi

$$t_{B4} = t_{ck-q} + t_B + t_{SU} + |t_k| = 0,1 \, ns + 0,5 \, ns + 0,25 \, ns + 1 \, ns = 1,85 \, ns.$$

4. Una volta che il buffer B4 soddisfa il requisito come da punto precedente, l'unica differenza tra le due linee è lo skew t_k di $\pm 1 \, ns$. Poiché la durata del ciclo in un sistema source-synchronous è equivalente al ciclo di scrittura sincrono, si ha

$$T_{CK} = t_{SU} + t_H + 2 \, t_k = 0,25 \, ns + 0,1 \, ns + 2 \, ns = 2,35 \, ns.$$

Esercizio B3

I flip-flop di tipo D nel circuito in figura 1 hanno tempo di propagazione dall'ingresso di clock all'uscita Q $t_{CKQ} = 2 \text{ ns}$, il tempo di setup $t_{SU} = 1 \text{ ns}$ e il tempo di hold $t_H = 0,5 \text{ ns}$.

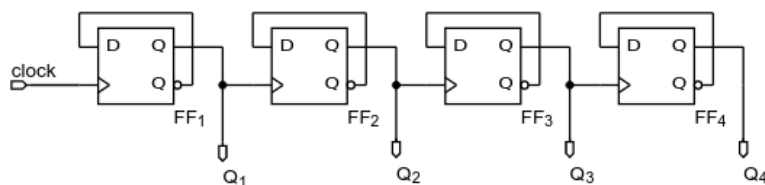


Figura 1.

Calcolare la frequenza massima del segnale "clock" $F_{MAX} =$ MHz per la quale il circuito

funziona correttamente e mantiene stabile ciascuno stato per almeno metà del periodo di clock.

Lo switch SW del convertitore dc-dc ideale in figura 2 è comandato dall'uscita della porta logica NAND collegata alle uscite Q_2 , Q_3 e Q_4 del circuito in figura 1 in modo tale che quando l'uscita della porta logica NAND è a livello alto (logico "1") lo switch SW è chiuso e quando l'uscita è a livello basso (logico "0") lo switch SW è aperto.

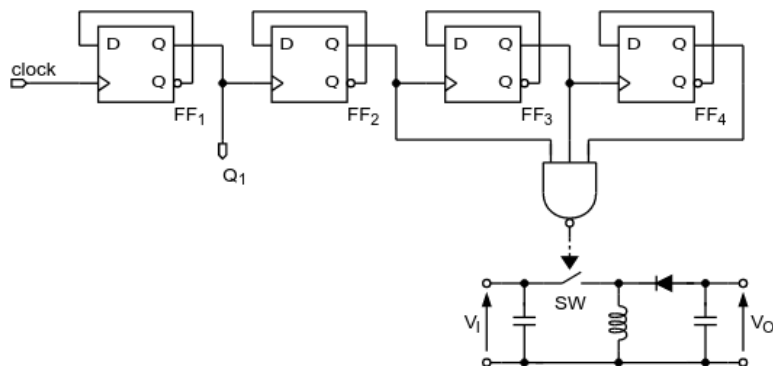


Figura 2.

Di che tipo è il convertitore dc-dc nella figura 2?

- ☐ switching buck-boost ☐ switching buck ☐ lineare serie ☐ lineare parallelo

Calcolare la tensione di uscita del convertitore dc-dc $V_O =$ V nella figura 2 alla frequenza

massima di clock determinata in precedenza se la tensione in ingresso è $V_I = 5 \text{ V}$ e i ritardi di propagazione attraverso tutti gli elementi logici (flip-flop, porta logica) sono nulli. Nelle stesse condizioni, calcolare la tensione di uscita $V_O =$ V se lo switch SW viene comandato con

il complemento logico del segnale all'uscita della porta logica NAND.

Come cambia l'ampiezza della tensione di uscita del convertitore dc-dc in figura 2 se solo il ritardo di propagazione attraverso la porta logica NAND cambia a $t_p = 3 \text{ ns}$?

- ☐ aumenta ☐ invariata ☐ diminuisce

Il periodo minimo del segnale di clock deve permettere al circuito di raggiungere stabilmente tutti i suoi stati. Il caso peggiore, che richiede il periodo di clock più lungo, è quando tutti i FF devono cambiare stato (p.es., il passaggio dallo stato "0000" allo stato "1111"). In questo caso, il fronte del segnale di clock che arriva all'ingresso del FF₁ determina la transizione 0→1 della sua uscita Q dopo il tempo t_{CKQ} . Questa transizione è ricevuta dal FF₂ come segnale di clock che determina una transizione 0→1 della sua uscita Q dopo il tempo di propagazione t_{CKQ} e così via fino alla transizione dell'uscita dell'ultimo, FF₄, dopo $4 t_{CKQ}$. In questo momento tutte le uscite dei FF sono stabili e devono restare così per metà del tempo che è stato necessario per stabilizzarsi. La somma dei due dà il periodo di clock richiesto:

$$T_{\text{MIN}} = \frac{1}{F_{\text{MAX}}} = 4 t_{CKQ} + \frac{1}{2} T_{\text{MIN}} \Rightarrow T_{\text{MIN}} = 8 t_{CKQ}$$

$$F_{\text{MAX}} = \frac{1}{8 t_{CKQ}} = \frac{1}{8 \cdot 2 \text{ ns}} = 62,5 \text{ MHz}$$

Il convertitore dc-dc in figura è di tipo buck-boost.

L'uscita della porta NAND è a "0" logico solo quando tutti i suoi ingressi sono a "1" logico. Questo si verifica solo per 2 dei 16 stati del contatore, "1110" e "1111".

Poiché supponiamo tutti i ritardi di propagazione 0 s, tutti gli stati hanno la stessa durata, T_{MIN} . Quindi, il duty-cycle dello switch SW è

$$D = \frac{14 \text{ stati a 1 logico}}{16 \text{ stati totali}} = \frac{7}{8}$$

e la tensione di uscita del convertitore buck-boost alimentato con 5 V in ingresso è

$$V_O = V_I \frac{D}{D-1} = 5 \text{ V} \cdot \frac{\frac{7}{8}}{\frac{7}{8}-1} = -35 \text{ V}$$

Se lo switch SW viene comandato con il complemento logico dell'uscita della porta NAND, in pratica viene comandato da una porta AND. Resterà in conduzione solo per due stati del contatore, "1110" e "1111" e il duty-cycle diventa

$$D = \frac{2 \text{ stati a 1 logico}}{16 \text{ stati totali}} = \frac{1}{8}$$

e la tensione di uscita del convertitore buck-boost alimentato con 5 V in ingresso è

$$V_O = V_I \frac{D}{D-1} = 5 \text{ V} \cdot \frac{\frac{1}{8}}{\frac{1}{8}-1} = -0,71 \text{ V}$$

Un ritardo di propagazione attraverso la porta NAND non cambia il duty-cycle D, quindi la tensione di uscita resta invariata.

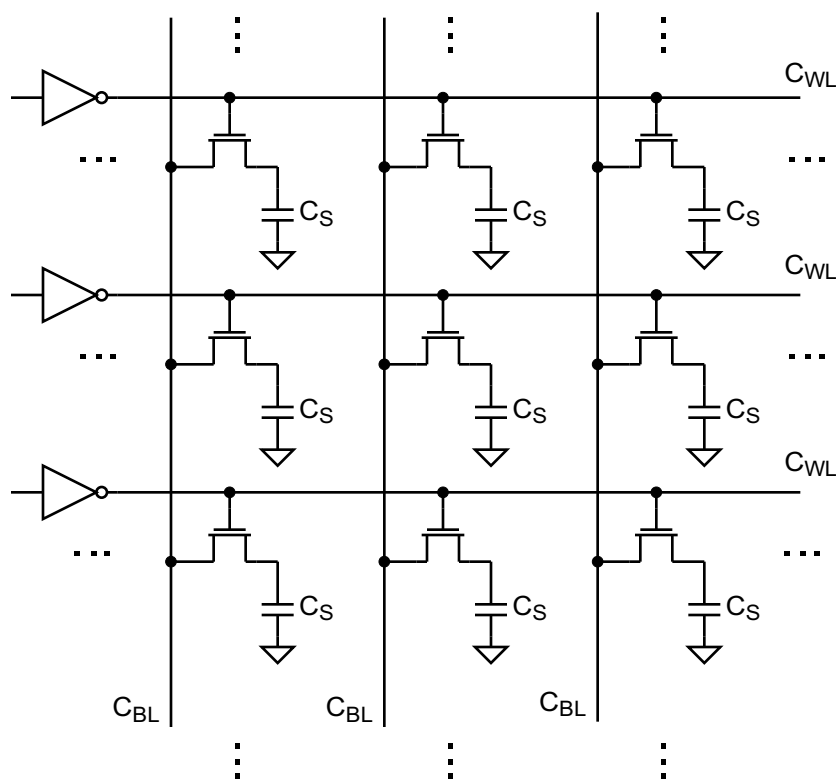
Esercizio B4

Una memoria DRAM è alimentata a $V_{DD} = 1,2 \text{ V}$, ha $N = 512$ celle collegate a ciascuna bitline e $M = 64$ celle collegate a ciascuna wordline. Ciascun pass-transistor delle celle ha capacità di drain $C_D = 0,15 \text{ fF}$, capacità di gate $C_G = 0,1 \text{ fF}$ e tensione di threshold $V_{TH} = 0,15 \text{ V}$. I sense amplifiers hanno sensibilità $V_{SA} = 45 \text{ mV}$. Ciascuna cella collegata alla wordline aumenta la resistenza della wordline di $R_{WC} = 8 \Omega$.

Determinare la capacità minima di storage, $C_S = \text{[]}$ fF che assicura una corretta lettura.

Determinare la resistenza massima di uscita dell'inverter del decoder di indirizzo, $R_O = \text{[]}$

Ω , che consente di raggiungere la tensione di threshold di tutti i pass-transistors collegati alla wordline durante una transizione L-H in al massimo $t_{LH} = 0,5 \text{ ps}$.



La capacità di ciascuna bitline è data dalla somma di tutte le capacità di drain di tutti i pass-transistor MOS collegati ad essa

$$C_{BL} = N C_D = 512 \cdot 0,15 \text{ fF} = 76,8 \text{ fF}$$

Allo stesso modo, la capacità di ciascuna wordline è data dalla somma di tutte le capacità di gate di tutti i pass-transistor MOS collegati ad essa

$$C_{WL} = M C_G = 64 \cdot 0,1 \text{ fF} = 6,4 \text{ fF}$$

La tensione sulla capacità di storage è 0 V quando memorizza uno “0” logico ed è $V_{DD} - V_{TH}$ quando memorizza un “1” logico.

La variazione di tensione sulla bitline è data da

$$\Delta V_{BL} = (V_{bit} - V_{pre}) \frac{C_S}{C_S + C_{BL}}$$

con

- V_{bit} la tensione iniziale sulla capacità di storage, C_S
- V_{pre} la tensione di precarica della bitline, $\frac{V_{DD}}{2}$

Bisogna trovare la minima capacità di storage C_S che determina una variazione della tensione sulla bitline ΔV_{BL} sufficiente per essere rilevata dal sense amplifier quando è minimo il valore assoluto della differenza tra le tensioni sulla capacità di storage, V_{bit} e la tensione di precarica della bitline, V_{pre}

$$V_{SA} = \left(V_{DD} - V_{TH} - \frac{V_{DD}}{2} \right) \frac{C_S}{C_S + C_{BL}} \Rightarrow$$

$$C_S = V_{SA} \frac{N C_D}{\frac{V_{DD}}{2} - V_{TH} - V_{SA}} = 0,045 \text{ V} \frac{512 \cdot 0,15 \text{ fF}}{\frac{1,2 \text{ V}}{2} - 0,15 \text{ V} - 0,045 \text{ V}} = 8,53 \text{ fF}$$

Considerando concentrate la capacità e la resistenza distribuite della wordline, la tensione sulla wordline durante una transizione L-H segue un andamento esponenziale

$$V_{WL}(t) = V_{DD} \left(1 - e^{-\frac{t}{(R_{WL} + R_O) C_{WL}}} \right)$$

con

- R_{WL} la resistenza totale della wordline dovuta all'estensione per raggiungere tutte le M celle di memoria che deve controllare
- R_O la resistenza di uscita dell'inverter del decoder di indirizzo
- C_{WL} la capacità totale della wordline dovuta alla somma di tutte le capacità di gate di tutti i pass-transistor delle M celle di memoria che deve controllare

L'esercizio richiede che si verifichi $V_{WL}(t) = V_{TH}$ entro un determinato tempo. Quindi, risolviamo l'equazione per determinare l'unica incognita, la resistenza di uscita del driver R_O

$$\frac{V_{WL}(t)}{V_{DD}} = 1 - e^{-\frac{t}{(R_{WL} + R_O) C_{WL}}} \Rightarrow -\frac{t}{(R_{WL} + R_O) C_{WL}} = \ln \left(\frac{V_{DD} - V_{WL}(t)}{V_{DD}} \right)$$

$$R_O = \frac{t}{C_{WL} \ln \left(\frac{V_{DD}}{V_{DD} - V_{WL}(t)} \right)} - M R_{WC} = \frac{0,5 \text{ ps}}{64 \cdot 0,1 \text{ fF} \ln \left(\frac{1,2 \text{ V}}{1,2 \text{ V} - 0,15 \text{ V}} \right)} - 64 \cdot 8 \Omega = 73,1 \Omega$$