

Il seguente formulario non è da considerare una completa sostituzione delle esercitazioni o delle lezioni dei professori, ma piuttosto una raccolta di concetti chiave che ho ritrovato diverse volte nelle prove d'esame e negli esercizi proposti dai professori..

Se si dovessero incontrare degli errori vi prego di scrivere in privato al sottoscritto e mi occuperò di aggiornare il file.

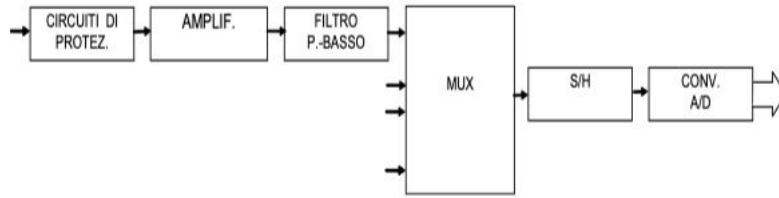
Questo lavoro, per essere come volevo, mi ha portato via tanto tempo, nonostante ciò credo che sia giusto dividerlo con voi. Chiunque voglia ringraziarmi con una donazione simbolica vi lascio il mio paypal: ***gaetano.insinna@gmail.com***

Per delucidazione sui quiz, oppure sullo svolgimento di temi d'esame contattarmi su telegram **@gaetanoinsinna**

Credits (telegram): **@gaetanoinsinna** e **@FreddyDev**

1 Tipologia 1

- f_b = banda segnale **ingresso**
- f_{sch} = frequenza di canale
- F_{STOT} = frequenza di campionamento minimo
- K = fattore di sovracampionamento
- ΔS_{ADC} dinamica adattata ad A/D in volt [V]
- ΔV_{IN} dinamica segnale di ingresso in volt [V]
- **Guadagno** $= \frac{\Delta S_{ADC}}{\Delta V_{IN}} = \frac{S_{ADCMAX} - S_{ADCMIN}}{V_{INMAX} - V_{INMIN}}$
- **Offset** $= \frac{S_{ADCMAX} + S_{ADCMIN}}{2} - G \frac{V_{INMAX} + V_{INMIN}}{2}$
- $LSB = \frac{\Delta S_{ADC}}{2^{N_{bit}}} \rightarrow 2\pi f_s A_s \leq LSB \cdot f_{clk}$
- $t_{conversione}$
 1. approssimazioni successive $t_{conv} = N_{bit} \cdot t_{clk}$
 2. inseguimento $t_{conv} = 2^{N_{bit}} \cdot t_{clk}$
 3. flash (parallelo) $t_{conv} = t_{clk}$
- $t_{campionamento} = t_{acquisizione} + t_{conversione}$
- $F_{STOT} = \frac{1}{t_{campionamento}}$
- $F_{STOT} = N_{CH} \cdot f_{sch}$
- $f_{sch} = f_b \cdot 2K$
- **SNR_Q**
 1. Sinusoidale: $SNR_q = (6 \cdot N_{bit} + 1.76)$ dB
 2. Triangolare: $SNR_q = (6 \cdot N_{bit})$ dB
 3. Quadra: $SNR_q = (6 \cdot N_{bit} + 4.77)$ dB
 4. Gaussiana: $SNR_q = (6 \cdot N_{bit} - 4.77)$ dB
- $SNR_A = 20 \cdot N_{poli} \cdot \log_{10}(\frac{f_{sch} - f_b}{f_b})$ dB
- $SNR_J = -20 \cdot \log_{10}(\pi f_b t_j)$ dB \rightarrow se danno l'incertezza ± 0.5 ns, il t_j è uguale ad 1 ns
- SNR_A e SNR_J **non** dipendono dalla dinamica e dal numero dei bit, mentre SNR_Q cambia in base al numero dei bit infatti se la dinamica si dimezza l' SNR_Q diminuisce di 6 dB, mentre se la dinamica raddoppia aumenta di 6 dB.
- $SNR_{TOT} = -10 \cdot \log_{10} \left(10^{-\frac{SNR_Q}{10}} + 10^{-\frac{SNR_A}{10}} + 10^{-\frac{SNR_J}{10}} \right)$ dB
- **ENOB** $= \frac{SNR_{TOT} - 1.76}{6}$
- Errore di **quantizzazione** del 2% $\rightarrow N_{bit} = -\log_2(0.002)$
- **Convertitore FLASH**
 1. numero di comparatori $= 2^N - 1$
 2. resistenza $\rightarrow V_{REF} = 2^{N_{bit}} R \cdot I_{REF}$
 3. errore sistematico su **tutte** le resistenze \rightarrow nessun errore

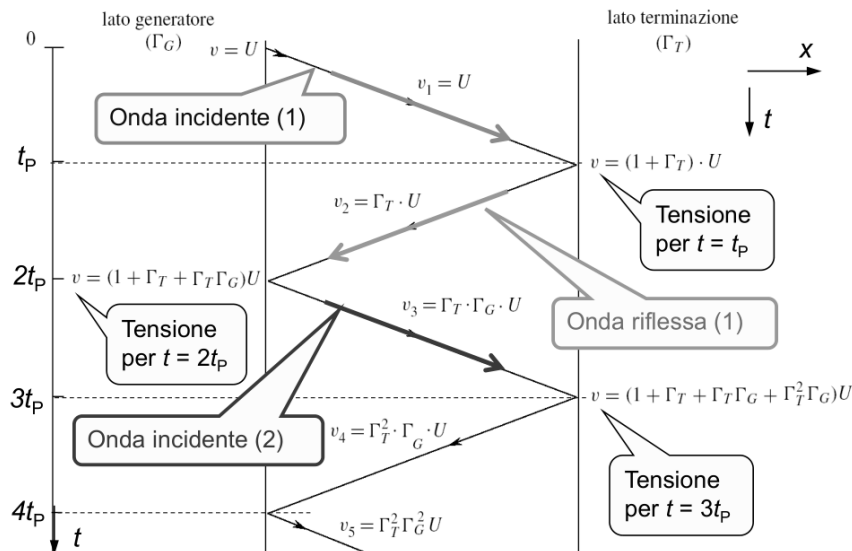


2 Tipologia 2

- Induttanza unitaria L_U
- Capacità unitaria C_U
- Lunghezza della linea di trasmissione L
- Velocità della luce $c = 3 \cdot 10^8 m/s$
- Impedenza caratteristica $Z_\infty = \sqrt{\frac{L_U}{C_U}}$

NOTA BENE: a volte l'induttanza e la capacità sono espresse rispetto ai cm, mentre velocità della luce in metri

- Velocità di propagazione $v_p = \frac{1}{\sqrt{L_U \cdot C_U}}$
- Tempo di propagazione $t_p = \frac{L}{v_p}$
- R_O resistenza uscita driver
- **NMH** (noise margin H) = $V_{OH} - V_{IH}$ (se la linea è aperta e non si ha $V_{OH} \rightarrow NMH = V_{DD} - V_{IH}$)
- **NML** (noise margin L) = $V_{IL} - V_{OL}$ (se la linea è aperta e non si ha $V_{OL} \rightarrow NML = V_{IL} - 0$)
- Tempo di skew $t_k = t_{TXmax} - t_{TXmin}$
- Coefficiente di terminazione $\Gamma_T = \frac{R_T - Z_\infty}{R_T + Z_\infty}$
 1. **adattata** $\Gamma_T = 0 \rightarrow R_T = Z_\infty$
 2. **aperta** $\Gamma_T = 1 \rightarrow R_T = 0$



- Coefficiente del generatore $\Gamma_G = \frac{R_G - Z_\infty}{R_G + Z_\infty}$
- $V_B(0) = V_{DD} \frac{Z_\infty}{Z_\infty + R_O}$
- $V_C(t_p) = (1 + \Gamma_T)V_B(0)$
- $V_B(2t_p) = (1 + \Gamma_T + \Gamma_T \Gamma_G)V_B(0)$

NOTA BENE: se R_O non è esplicitata nel testo allora si utilizza V_{OH} (anche se si ha V_{DD}), altrimenti si utilizza V_{DD}

Transizione LH

- $\frac{V_{DD} - V_{OHmax}}{|I_{OH}|} < R_{OH} < \frac{V_{DD} - V_{OHmin}}{|I_{OH}|}$
- $V_{Bmax}(0) = V_{DD} \frac{Z_\infty}{Z_\infty + R_{OHmin}} \rightarrow \text{tempo minimo}$
- $V_C(t_p) = V_{Bmax}(0)(1 + \Gamma_T) > V_{IH} + NMH$ (se non è verificata saltare a $3t_p$)
- $V_{Bmin}(0) = V_{DD} \frac{Z_\infty}{Z_\infty + R_{OHmax}} \rightarrow \text{tempo massimo}$
- $V_C(t_p) = V_{Bmin}(0)(1 + \Gamma_T) > V_{IH} + NMH$ (se non è verificata saltare a $3t_p$)

Transizione HL

- $\frac{V_{OLmin}}{|I_{OL}|} < R_{OL} < \frac{V_{OLmax}}{|I_{OL}|}$
- $V_{Bmax}(0) = -V_{DD} \frac{Z_\infty}{Z_\infty + R_{OLmin}} \rightarrow \text{tempo minimo}$
- $V_C(t_p) = V_{DD} + V_{Bmax}(0)(1 + \Gamma_T) < V_{IL} - NML$ (se non è verificata saltare a $3t_p$)
- $V_{Bmin}(0) = -V_{DD} \frac{Z_\infty}{Z_\infty + R_{OLmax}} \rightarrow \text{tempo massimo}$
- $V_C(t_p) = V_{DD} + V_{Bmin}(0)(1 + \Gamma_T) < V_{IL} - NML$ (se non è verificata saltare a $3t_p$)

Tempo massimo e minimo

- non ci sono ricevitori al lato generatore controlla solo $t_p, 3t_p \dots$
- non ci sono ricevitori al lato terminazione controlla solo $0, 2t_p \dots$
- se ci sono ricevitori in entrambi i lati controlla ogni multiplo di t_p (partendo da 0)

NOTA BENE: per calcolare il t_{TXmin} bisogna considerare il primo receiver che ha superato la prima soglia (V_{IL} se LH oppure V_{IH} per HL \pm noise margin).

Schede inseribili nei connettori

Nel caso ci siano più schede inseribili nel backplane, la capacità unitaria cambia in base al numero di schede N .

- **capacità unitaria** $C_{U_N} = C_U + \frac{N}{L}C_P$
dove N è il numero di schede e C_P è il carico capacitivo





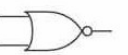

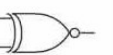
Una volta trovata la nuova capacità, basterà sostituirla in tutte le formule descritte sopra (trovare la nuova impedenza $Z_{\infty N}$, il nuovo $t_{pN} \dots$) e applicare le regole in nostro possesso.

Ciclo lettura/scrittura

- scrittura sincrona $t_{WR} = t_{SU} + t_H + 2t_K$
- scrittura asincrona $t_{WR} = t_K + t_{SU} + t_H + 4t_{TXmax}$
- lettura sincrona $t_{RD} = t_A + t_{SU} + t_H + 4t_{TXmax}$
- lettura asincrona $t_{RD} = t_A + t_K + t_{SU} + t_H + 4t_{TXmax}$

3 Tipologia 3

- Porte logiche principali

Name	NOT	AND	NAND	OR	NOR	XOR	XNOR																																																																																																
Alg. Expr.	\overline{A}	AB	\overline{AB}	$A+B$	$\overline{A+B}$	$A\oplus B$	$\overline{A\oplus B}$																																																																																																
Symbol																																																																																																							
Truth Table	<table><tr><th>A</th><th>X</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	X	0	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	0	0	1	0	1	0	0	1	1	1	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	1	0	1	1	1	0	1	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	1	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	0	<table><tr><th>B</th><th>A</th><th>X</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	1
A	X																																																																																																						
0	1																																																																																																						
1	0																																																																																																						
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	1																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	1																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	0																																																																																																					
0	1	1																																																																																																					
1	0	1																																																																																																					
1	1	0																																																																																																					
B	A	X																																																																																																					
0	0	1																																																																																																					
0	1	0																																																																																																					
1	0	0																																																																																																					
1	1	1																																																																																																					

- $t_{CK} = t_{CK \rightarrow Q} + t_{LCmax} + t_{SU}$
- $t_H = t_{CK \rightarrow Q} + t_{LCmin}$
- $t_{PLH} = 0.69 \cdot R_{OH} \cdot C_{TOT}$
- $t_{PHL} = 0.69 \cdot R_{OL} \cdot C_{TOT}$

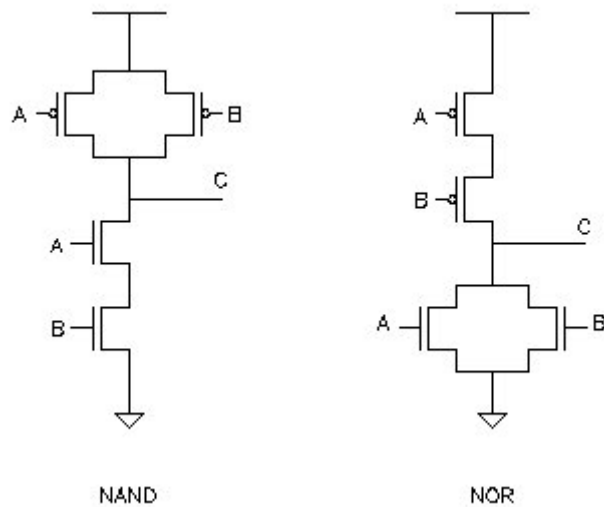
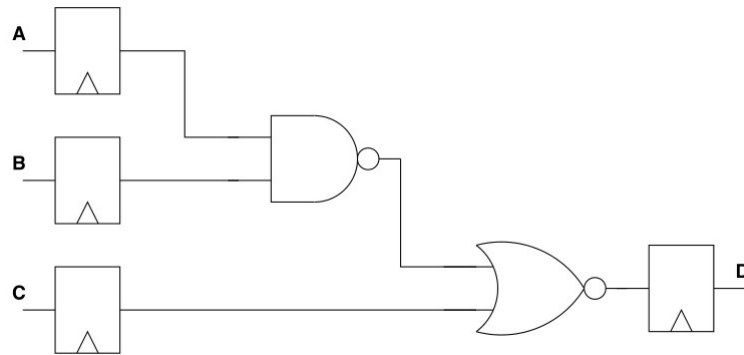


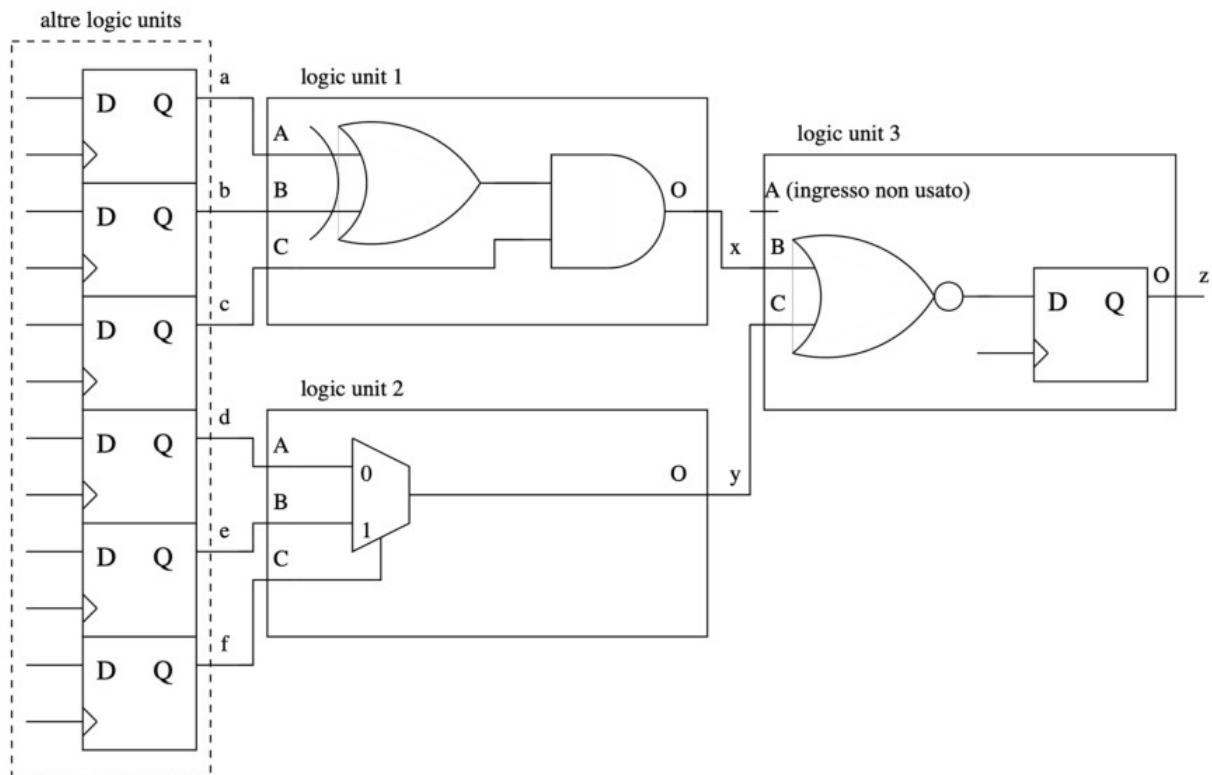
Figure 1: Circuito porta NAND e NOR CMOS

NOTA BENE: la capacità totale da utilizzare **dipende dal carico della porta**, qualora il carico sia **un'altra porta logica**, allora la C_{TOT} sarà uguale a $2 \cdot C_G$. Qualora la porta sia collegata ad un **FF** allora la C_{TOT} sarà uguale a C_{in} .

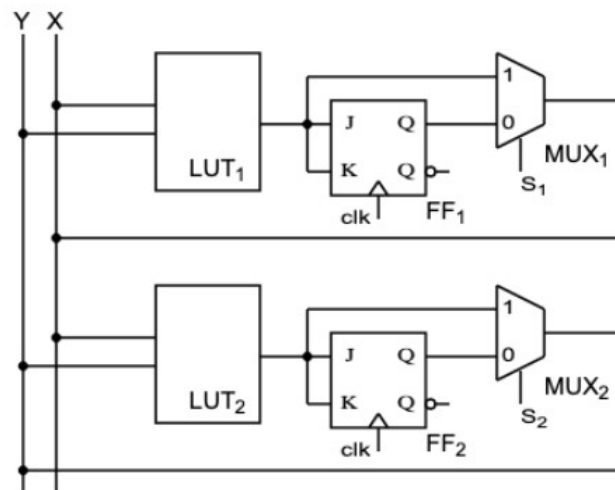
- $t_{PLHNAND} = 0.69 \cdot R_{ON} \cdot 2 \cdot C_G$
- $t_{PHLNAND} = 0.69 \cdot 2 \cdot R_{ON} \cdot 2 \cdot C_G$
- $t_{PLHNOR} = 0.69 \cdot 2 \cdot R_{ON} \cdot C_{in}$
- $t_{PHLNOR} = 0.69 \cdot R_{ON} \cdot C_{in}$



- $t_{LCmax} = \max(t_{PLHNAND}, t_{PHLNAND}) + \max(t_{PLHNOR}, t_{PHLNOR})$
- $t_{LCmin} = \min(t_{PLHNOR}, t_{PHLNOR})$
- N numero ingressi LUT
- Celle di memoria SRAM = 2^N
- Numero di funzioni logiche = 2^{2^N}
- LUT come **tavola della verità**: tutti i MUX devono selezionare l'uscita LUT (combinatoria) tranne l'ultimo che deve selezionare l'uscita FF.



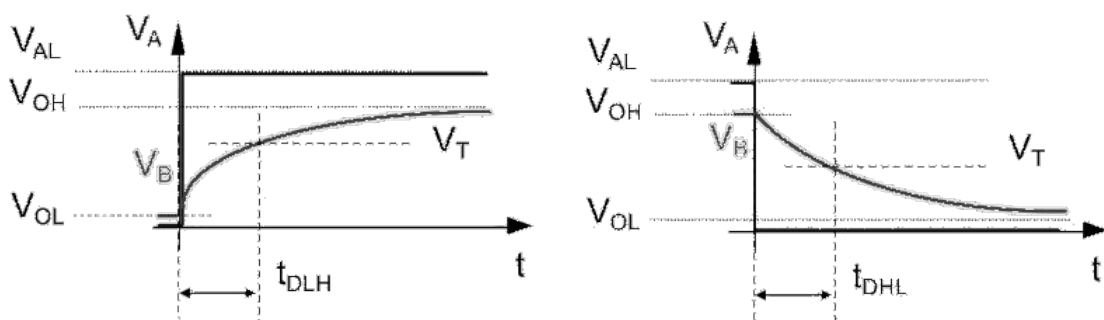
- LUT come **divisore** o **contatore**



Le uscite del MUX per un contatore/divisore devono essere **0** in quanto l'ingresso deve uscire dai FF. La **prima LUT** del contatore/divisore deve essere **1** mentre le successive devono propagarsi ($LUT_1 = 1$, $LUT_2 = X$, $LUT_3 = XY$, $LUT_4 = XYW$, ...).

4 Tipologia 4

- Potenza dinamica $P_D = f C_{TOT} V_{AL}^2$
- N_{WL} = wordlines sono le linee orizzontali che rappresentano le parole
- M_{BL} = bitlines sono le linee verticali che rappresentano le celle ovvero i bit di ogni parola
- Celle totali = numero di wordlines · numero di bitlines
- Numero di indirizzi dati dalle righe $N = \log_2(N_{WL})$



- $V_{th} = V_{\infty} + (V_0 - V_{\infty})e^{-\frac{t}{\tau}}$ dove τ è il prodotto $R_{TOT} \cdot C_{TOT}$
- **transizione LH** $V_{\infty} = V_{DD}$ e $V_0 = 0$
- **transizione HL** $V_{\infty} = 0$ e $V_0 = V_{DD}$

SRAM

- formata da 6 transistor di cui **due pass transistor**
- Numero di transistor totali = $6 \cdot N_{WL} \cdot M_{BL}$
- Potenza dinamica $P_D = f \cdot 2C_G V_{AL}^2$
- Resistenza di una linea = $R_{WC} \cdot M_{BL}$ usualmente alla resistenza della linea si somma anche la resistenza di uscita del decoder R_O
- $R_{TOT} = R_O + R_{WC} \cdot M_{BL}$
- $C_{TOT} = M_{BL} \cdot 2 \cdot C_G$
- Tempo di attivazione generale di una linea $t_p = 0.69 \cdot R_{WC} \cdot M_{BL} \cdot 2C_G$

DRAM

- formato da **un pass transistor** e una capacità di storage
- Numero di transistor totali = $N_{WL} \cdot M_{BL}$
- Potenza dinamica $P_D = f C_G V_{AL}^2$
- **Lettura** $\Delta V_{SA} = \frac{C_S}{C_S + C_{BL}} \left| v_{CS} - \frac{V_{DD}}{2} \right|$
→ se salvato un 1 logico allora $v_{cs} = V_{DD} - V_{TH} \rightarrow$ **caso peggiore**

$$\Delta V_{SA} = \frac{C_S}{C_S + C_{BL}} \left(v_{DD} - V_{TH} - \frac{V_{DD}}{2} \right)$$

- $C_{BL} = 2^N \cdot C_D$ dove C_D capacità di drain
- $C_{TOT} = M_{BL} \cdot C_G$
- Periodo di **refresh** $I_{leak} = C_S \frac{\Delta V}{\Delta t}$ dove Δt è il periodo di refresh

FLASH

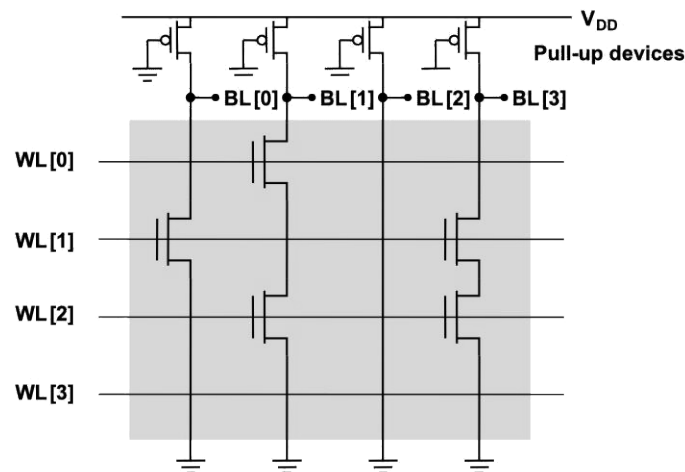
- **Ritenzione** in cella
 - a) $\Delta Q = C_{pp} \Delta V_{th}$
 - b) $I = \frac{\Delta Q}{\Delta T}$ dove T è il tempo e solitamente viene dato in anni (\rightarrow Numero anni $\cdot 365 \cdot 24 \cdot 60 \cdot 60$)
- Massimo numero di **cicli P/E**
 - a) T = durata in anni
 - b) B = numero blocchi della FLASH
 - c) F = numero di blocchi che occupa il file
 - d) C = numero di cicli
 - e) $S = \frac{\text{tot blocchi}}{\text{tot minuti}}$ scrittura di un file di tot blocchi in tot minuti

Nel caso in cui sia **wear leveling** allora si usa **B**, viceversa si utilizza **F**

$$T = \frac{C \cdot (B/F)}{S}$$

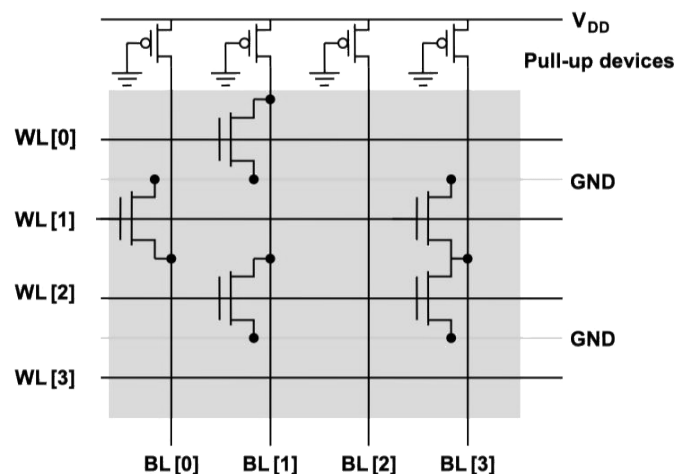
ROM

- Resistenze di pull-up composte da un pMOS con gate collegato a massa
- Numero di parole dato dalle wordline
- Numero di bit di ogni parola dato dalle bitline
- Bit di una parola dato dalla presenza (1) o meno (0) di un transistor nella wordline (esempio $WL[0] = 0100$)
- **transizione LH** $V_{\infty} = V_{DD}$ e $V_0 = 0$ (attivazione wordline **NOR**)
- **transizione HL** $V_{\infty} = 0$ e $V_0 = V_{DD}$ (attivazione wordline **NAND**)
- **NAND-BASED**
 - a) la wordline è **attiva bassa**
 - b) **non** si hanno collegamenti ad alimentazione e massa
 - c) ritardi di lettura maggiori rispetto alla NOR



- **NOR-BASED**

- a) la wordline è **attiva alta**
- b) si hanno collegamenti ad **alimentazione** e **massa**



- **Attivazione wordline**

$$V_W = V_\infty + (V_0 - V_\infty)e^{-\frac{t}{\tau}}$$

dato che la **NAND** è attiva bassa la transizione da inattivo ad attivo sarà quella di HL

$$V_W = V_{DD}e^{-\frac{t}{\tau}}$$

dove $\tau = R_{TOT} \cdot C_{TOT}$, $R_{TOT} = R_O + R_{WL}$ mentre $C_{TOT} = N_{BL} \cdot C_G$