

Domanda 2

Due famiglie di circuiti logici sono staticamente compatibili se:

- ☒ (a) l'intervallo d'uscita per lo stato H è compreso nell'intervallo d'ingresso per lo stato H e l'intervallo d'uscita per lo stato L è compreso nell'intervallo d'ingresso per lo stato L.
- ☐ (b) l'intervallo d'ingresso per lo stato H è compreso nell'intervallo d'uscita per lo stato H e l'intervallo d'ingresso per lo stato L è compreso nell'intervallo d'uscita per lo stato L.
- ☐ (c) il livello d'uscita per lo stato H è maggiore della soglia d'ingresso per lo stato H e il livello d'uscita per lo stato L è inferiore alla soglia d'ingresso per lo stato L.
- ☐ (d) la soglia d'ingresso per lo stato H è maggiore del livello d'uscita per lo stato H e la soglia d'ingresso per lo stato L è inferiore al livello d'uscita per lo stato L.

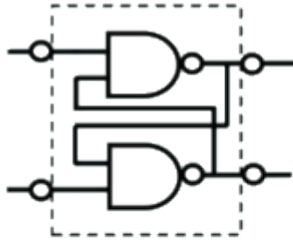
Perché due famiglie di circuiti logici siano compatibili, cioè perché la compatibilità valga per qualsiasi dispositivo appartenente alle famiglie, dobbiamo considerare la compatibilità degli *intervalli* di tensione per ingressi e uscite. Questo perché per qualsiasi dispositivo appartenente ad una famiglia logica ci viene garantito che le tensioni di uscita si trovano in un determinato intervallo nelle condizioni previste per il funzionamento e i livelli di ingresso per decodificare correttamente gli stati logici sono, altrettanto, racchiusi in intervalli.

Più specificatamente, tutte le tensioni di uscita possibili per il livello alto (l'intervallo di queste tensioni) devono appartenere all'intervallo di tensioni di ingresso che sono decodificate come livello alto dai ricevitori, per consentire una corretta decodifica del livello alto.

Per ragionamento speculare, tutte le tensioni possibili di uscita per il livello basso devono essere racchiuse nell'intervallo di livelli di ingresso dei ricevitori che sono decodificati come livello basso.

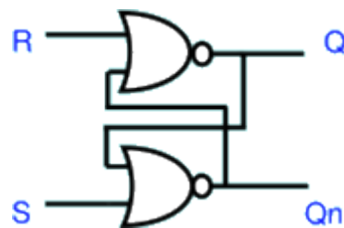
Domanda 3

Il circuito nella figura sotto realizza:



- ☒ (a) un circuito flip-flop set-reset con porte NAND.
- ☐ (b) un circuito latch attivo su livello alto con porte NAND.
- ☐ (c) un circuito flip-flop di tipo JK con porte NAND.
- ☐ (d) un circuito latch attivo su livello basso con porte NAND.

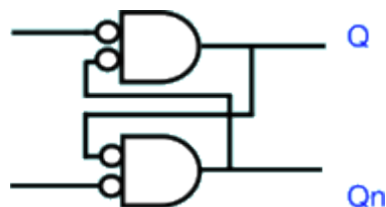
Il circuito si ottiene dal circuito del flip-flop Set-Reset con porte NOR

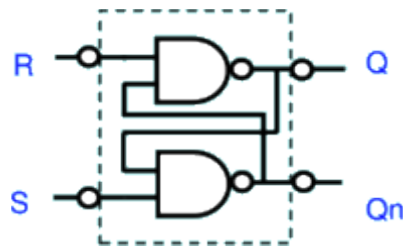


con la seguente tabella di verità

S	R	Q	Q*
0	1	0	1
1	0	1	0
0	0	Q_{-1}	Q^*_{-1}
1	1	0	0

con la seguente trasformazioni basate sui teoremi di De Morgan





Domanda 4

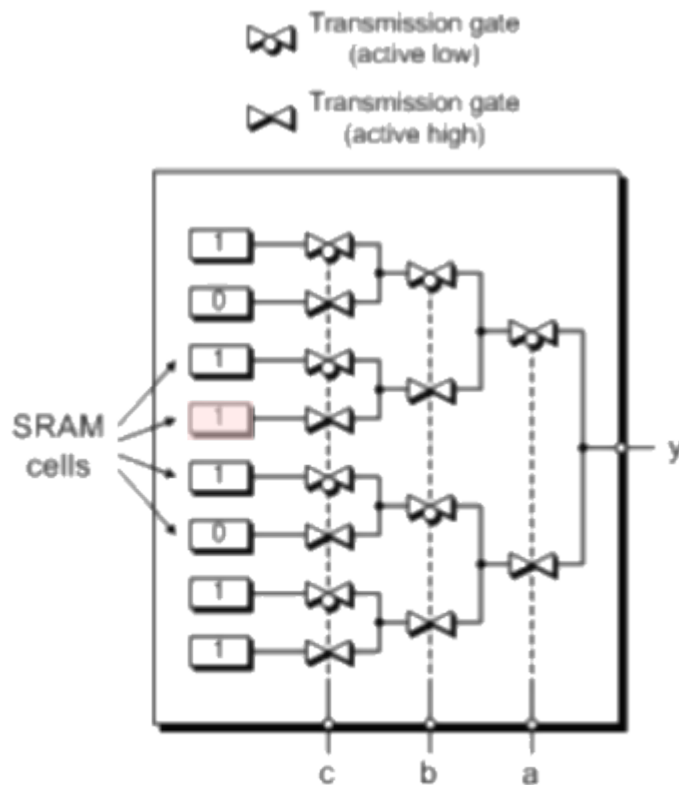
Il numero di inverter in un oscillatore ad anello:

- ☒ (a) deve essere dispari.
- ☐ (b) deve essere pari.
- ☐ (c) dipende dalla tensione di alimentazione.
- ☐ (d) può essere pari o dispari, dipende dalla frequenza che deve generare.

Il numero di inverter deve essere dispari per assicurare una reazione positiva che riconduce a stati instabili e all'oscillazione. Un numero pari di inverter determinano stati stabili, come nelle memorie SRAM.

Domanda 5

La funzione logica realizzata dalla LUT nella figura sotto è:



- ☒ (a) $y = ab + \bar{c}$
- ☐ (b) $y = \bar{a}b + c$
- ☐ (c) $y = (a + b)\bar{c}$
- ☐ (d) $y = (\bar{a} + \bar{b})c$

Costruendo la tabella di verità della funzione logica realizzata dalla LUT

c	b	a	y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

e le tabelle di verità delle funzioni logiche proposte, si nota come la funzione logica evidenziata come risposta esatta sia pressoché uguale alla funzione realizzata dalla LUT

c	b	a	y
---	---	---	---

0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

salvo per il valore nella casella di memoria evidenziata, che è un errore nella formulazione della domanda.

Conseguentemente è stato accordato punteggio pieno per qualsiasi risposta a questa domanda.

Domanda 6

Le celle *dummy* su una bitline di una memoria DRAM:

- ☒ (a) servono per bilanciare il *sense amplifier* durante la lettura.
- ☐ (b) servono per sostituire eventuale celle guaste durante la produzione.
- ☐ (c) possono contenere codici di correzione di errore.
- ☐ (d) servono per bilanciare il *sense amplifier* durante la scrittura.

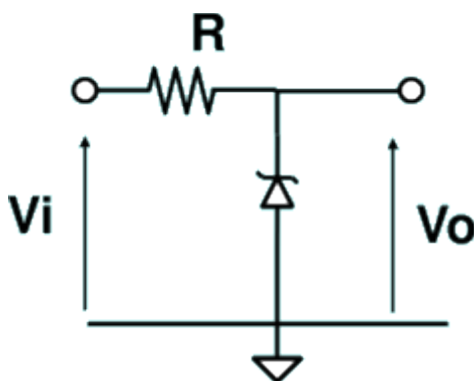
Il sense amplifier è un circuito ad alto guadagno differenziale utilizzato solo durante la lettura della memoria, mentre le celle DRAM hanno una sola uscita. Perciò è necessario collegare l'altro ingresso del sense amplifier ad una cella di memoria finta, che non contiene dati da leggere, per permettere una lettura differenziale.

Domanda 7

I regolatori di tensione lineari paralleli:

- ☒ (a) assorbono una corrente all'incirca costante, indipendente dal carico.
- ☐ (b) aumentano d'efficienza più si abbassa la corrente assorbita dal carico.
- ☐ (c) possono avere tensione d'uscita maggiore o minore di quella d'ingresso.
- ☐ (d) usano una resistenza variabile collegata tra carico e alimentazione.

I regolatori di tensione lineari paralleli modulano un consumatore variabile in parallelo al carico, che è controllato dal regolatore per realizzare la caduta di tensione necessaria sulla resistenza fissa in serie al carico (e alla resistenza parallela controllata dal regolatore), come si vede nello schematico di esempio sotto che usa per la regolazione un diodo Zener collegato in parallelo al carico:



Nel funzionamento normale, la corrente attraverso la resistenza serie R è pressoché costante al variare del carico, $I_R = (V_i - V_o) / R$.

L'efficienza del regolatore si abbassa quando la corrente assorbita dal carico si abbassa, in quanto la differenza di corrente, maggiore, attraverserà l'elemento regolatore parallelo, dissipando più potenza.

La tensione d'uscita è sempre inferiore a quella d'ingresso per la caduta di tensione sempre positiva sulla resistenza serie di valore fisso, R .

Domanda 8

Per ridurre il rumore di quantizzazione della conversione a digitale di un segnale analogico con uno spettro di frequenze che occupa una determinata banda BW, il circuito di condizionamento:

- ☐ (a) deve ridurre le componenti di frequenza fuori dalla banda del segnale, BW.
- ☐ (b) deve ridurre il jitter del circuito di sample-and-hold.
- ☐ (c) deve evitare che il convertitore analogico-digitale entri in overload.
- ☒ (d) deve portare l'ampiezza del segnale analogico pari alla scala d'ingresso del convertitore analogico-digitale.

Il rumore di quantizzazione dipende da quanti livelli digitali sono utilizzati effettivamente per la rappresentazione del segnale. Un segnale di ampiezza maggiore utilizza più livelli tra quelli quantificabili da un convertitore A/D, con un numero massimo di livelli (tutti i livelli rappresentabili dal convertitore A/D) quando l'ampiezza del segnale ricopre tutta la scala d'ingresso del convertitore.

Gli altri fattori elencati, jitter dello S&H, overload dell'A/D oppure frequenze fuori dalla banda del segnale possono produrre altri errori, ma non di quantizzazione.

Domanda 9

In un regolatore buck-boost:

- ☒ (a) l'induttanza integra sempre la tensione ai suoi capi.
- ☐ (b) l'induttanza integra sempre la corrente che la attraversa.
- ☐ (c) la polarità della tensione di uscita può essere variata.
- ☐ (d) gli switch possono interrompere la corrente nell'induttanza in certe parti del duty-cycle.

Per definizione, un'induttanza elettrica integra continuamente la tensione tra i suoi terminali. Perciò interrompere la corrente che fluisce in una induttanza genera tensioni molto elevate tra i suoi terminali (idealmente infinite) ed è una condizione da evitare nei convertitori di tensione buck-boost.

La polarità della tensione di uscita è sempre opposta alla polarità della tensione d'ingresso per un regolatore di tensione di tipo buck-boost.

Domanda 10

L'errore di non-linearità integrale:

- ☐ (a) si può calcolare solo per convertitori digitale-analogici.
- ☒ (b) è definito dall'ampiezza della fascia di non-linearità attorno alla miglior retta approssimante dei convertitori.
- ☐ (c) si calcola integrando l'errore differenziale su tutta la caratteristica del convertitore.
- ☐ (d) si può calcolare solo per convertitori analogico-digitali.

L'errore di non-linearità si può calcolare sia per convertitori D/A che A/D e definisce l'ampiezza della fascia nella quale si trovano tutti i valori convertiti attorno alla retta di migliore approssimazione della caratteristica del convertitore.

Domanda 11

Un sistema di acquisizione dati ha tre canali d'ingresso da cui acquisisce dati sequenzialmente. Se ciascun canale deve essere campionato con un periodo T_c , allora:

- ☐ (a) il periodo di campionamento del circuito di sample-and-hold e quello di conversione dell'ADC sono tre volte più lunghi del T_c .
- ☒ (b) il periodo di campionamento del circuito di sample-and-hold e quello di conversione dell'ADC sono tre volte più corti del T_c .
- ☐ (c) il periodo di campionamento del circuito di sample-and-hold deve essere tre volte più corto del periodo di conversione dell'ADC.
- ☐ (d) il periodo di campionamento del circuito di sample-and-hold e quello di conversione dell'ADC sono uguali al T_c .

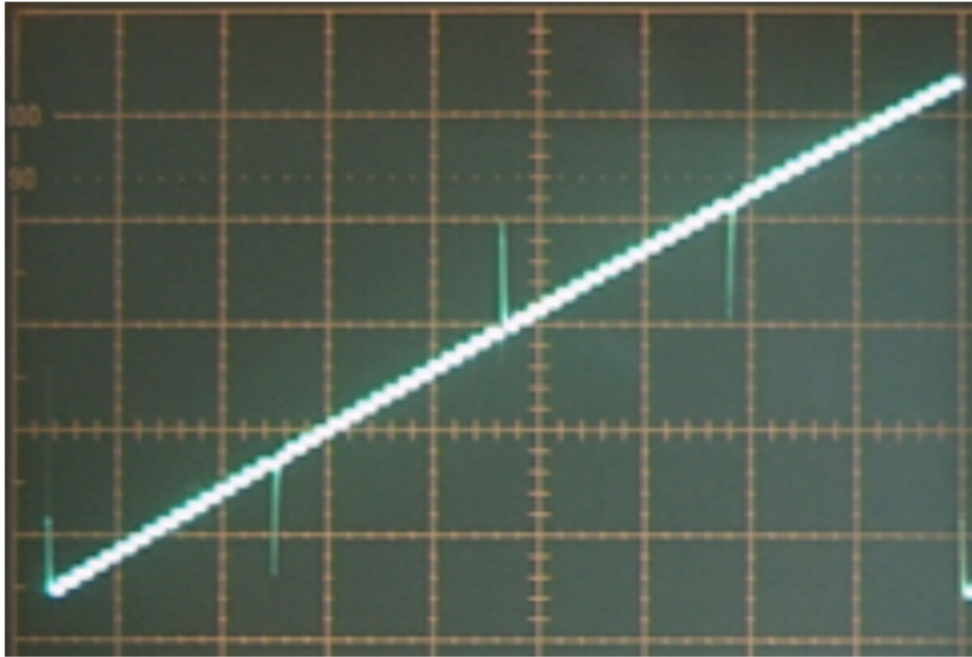
Il periodo con cui il circuito S&H campiona il segnale d'ingresso deve essere uguale al periodo di conversione dell'ADC collegato in cascata. Il circuito S&H deve mantenere costante il valore campionato fino alla fine della conversione dell'ADC. Poi l'ADC aspetta che il circuito S&H realizzi un altro campionamento stabile prima di effettuare un'altra conversione, etc.

Quindi, il periodo con cui il circuito S&H realizza i campionamenti del segnale d'ingresso deve essere pari al periodo con cui l'ADC realizza le conversioni.

Inoltre, in questo caso il periodo comune dell'ADC e S&H deve essere tre volte inferiore al periodo T_c con cui deve essere campionato ciascuno dei 3 canali, così che, campionando i canali in sequenza, ciascun canale viene campionato ogni T_c come richiesto.

Domanda 12

I glitch che si vedono sulla caratteristica completa di un convertitore digitale-analogico nella figura sottostante:

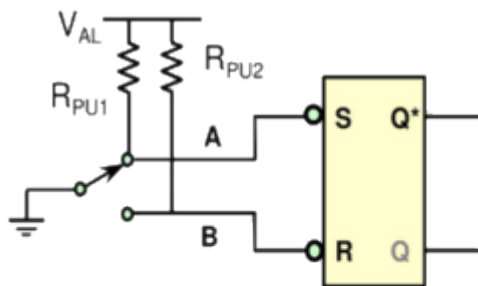


- ☐ (a) sono dovuti a ritardi nella commutazione del bit MSB.
- ☒ (b) sono dovuti a ritardi nella commutazione del bit MSB -1.
- ☐ (c) sono dovuti a ritardi nella commutazione del bit LSB.
- ☐ (d) sono dovuti a ritardi nella commutazione del bit LSB + 1.

Ci sono 4 spikes equidistanti nella caratteristica del DAC in figura. Ciascuno spike è dovuto al ritardo nella commutazione di un'uscita e l'unica uscita che commuta 4 volte nell'intera caratteristica è la MSB-1 (MSB commuta 2 volte, MSB-1 commuta 4 volte, MSB-2 commuta 8 volte, etc.).

Domanda 13

Il circuito nella figura sottostante:



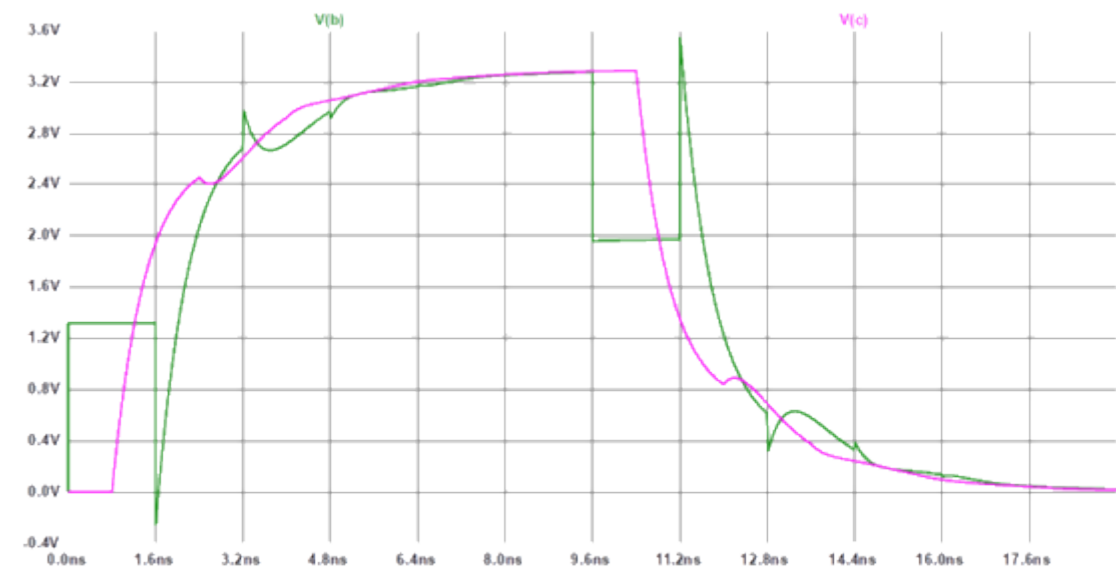
- ☐ (a) è sufficiente che V_{AL} sia superiore al valore più alto della soglia bassa degli ingressi del circuito.
- ☒ (b) elimina le transizioni spurie dovute ai rimbalzi del commutatore.
- ☐ (c) genera impulsi di durata predefinita ogni volta che cambia la posizione del commutatore.
- ☐ (d) le resistenze servono per limitare la corrente d'ingresso nel circuito.

Il commutatore porta a massa uno degli ingressi del flip-flop SR, determinando l'eventuale commutazione dell'uscita. Una volta commutata l'uscita resta stabile anche in presenza di variazioni della tensione sull'ingresso dovute ai rimbalzi del commutatore meccanico, in quanto per commutare l'uscita l'altro ingresso dovrebbe essere messo a massa, in che non è possibile per via dei rimbalzi, ma solo quando il commutatore cambia posizione.

Domanda 14

$V(b)$ è la tensione all'uscita di un driver che pilota una linea di trasmissione e $V(c)$ è la tensione alla terminazione della linea.

Considerando l'andamento nel tempo delle due tensioni rappresentato nella figura sottostante:



- ☐ (a) la terminazione della linea è aperta.
- ☐ (b) il tempo di propagazione sulla linea è 1.6 ns.
- ☒ (c) la terminazione della linea non è di tipo resistivo.
- ☐ (d) il tempo di propagazione sulla linea è di 3.2 ns.

Dal grafico della $V(b)$ si nota che la propagazione e la conseguente riflessione all'estremità remota richiede 1,6 ns, quindi il tempo di propagazione è la metà, ovvero 0,8 ns.

Dalla forma d'onda della $V(b)$ quando arriva la prima riflessione si nota che al primo momento la riflessione corrisponde a quella di un cortocircuito all'estremo remoto che però è seguito da una variazione esponenziale della tensione come la carica di un condensatore attraverso una resistenza a tensione costante.

Quindi, l'estremo remoto della linea ha un carico non-resistivo (capacitivo).

Domanda 15 (Esercizio B.1)

Un sistema di acquisizione a N canali usa un convertitore A/D a 8 bit ad approssimazioni successive con frequenza di clock 1 MHz e dinamica da 0 a 5 V e un circuito Sample & Hold con tempo di acquisizione $2\ \mu\text{s}$. I segnali in ingresso hanno banda da 0 a 5 kHz e dinamica da 0 a 1 V e passano attraverso un circuito di condizionamento (amplificatore e filtro) prima della conversione A/D. Si vuole avere

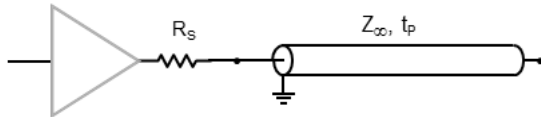
- un fattore di sovracampionamento pari a 2.5 rispetto alla frequenza minima di Nyquist;
- un rapporto segnale-rumore di aliasing e di jitter (per segnali sinusoidali) entrambi maggiori di 3 dB rispetto a quello di quantizzazione.

Rispondere alle seguenti domande:

1. determinare il massimo numero N di canali;
 2. determinare guadagno (G) e offset in uscita (O) dell'amplificatore di condizionamento;
 3. calcolare il numero di poli del filtro antialiasing;
 4. calcolare il massimo jitter ammissibile;
-
1. Il minimo tempo di campionamento T_s è dato dalla somma del tempo di acquisizione del S&H T_a e del tempo di conversione dell'A/D T_c . Per un convertitore ad approssimazioni successive si ha $T_c = N_{\text{bit}} \cdot T_{\text{ck}} = 8 / (1\ \text{MHz}) = 8\ \mu\text{s}$, da cui $T_s = 2 + 8 = 10\ \mu\text{s}$. La frequenza di campionamento minima è quindi $F_s = 1/T_s = 100\ \text{kHz}$. Considerando che ogni canale dev'essere campionato a $F_{\text{sch}} = 2 \cdot 2.5 \cdot 5\text{k} = 25\ \text{kHz}$, il massimo numero di canali è pertanto pari a **$N = F_s / F_{\text{sch}} = 100\text{k} / 25\text{k} = 4$** .
 2. Il guadagno è dato dal rapporto tra dinamica di ingresso dell'A/D e dinamica del segnale: **$G = (5-0)/(1-0)=5$** . L'offset non è necessario (cioè **$O=0\ \text{V}$**) in quanto il valor medio della dinamica del segnale (0,5 V) moltiplicato per il guadagno corrisponde esattamente al valor medio della dinamica dell'A/D ($0,5 \cdot 5 = 2,5\ \text{V}$).
 3. Poiché $F_{\text{sch}} = 25\ \text{kHz}$, la banda di attenuazione su cui agisce il filtro va da $F_b = 5\ \text{kHz}$ a $(F_{\text{sch}} - F_b) = 20\ \text{kHz}$. In questo intervallo, ogni polo del filtro produce un'attenuazione di $20\ \text{dB} \cdot \log_{10}(20/5) = 12\ \text{dB}$. Si vuole avere un'attenuazione complessiva pari al rapporto segnale rumore di aliasing, e questo è 3 dB più grande del rapporto segnale-rumore di quantizzazione $\text{SNR}_q = 6 \cdot N_{\text{bit}} + 1.76 = 49.76\ \text{dB}$. Quindi occorrono $(49.76+3)/12=4.4$ poli, e occorre prendere l'intero superiore per garantire l'attenuazione richiesta, **$P = 5$ poli**.
 4. Il disturbo dovuto al jitter t_j viene calcolato come $V_j = (dV/dt) \cdot t_j$ e ipotizzando un segnale sinusoidale di ampiezza picco-picco pari al fondo scala S e di frequenza massima F_b si ha $V_j = \pi \cdot S \cdot F_b \cdot t_j$. In termini di ampiezza, il rapporto segnale disturbo di jitter è quindi $S/V_j = 1 / (\pi \cdot F_b \cdot t_j)$ e in decibel $\text{SNR}_j = 20 \log_{10} (1 / (\pi \cdot F_b \cdot t_j))$. Imponendo che SNR_j sia 3 dB più grande di SNR_q e con $F_b = 5\ \text{kHz}$ si ottiene **$t_j = 1/(\pi \cdot 5 \cdot 10^3) \cdot 10^{(-52.76/20)} = 146.5\ \text{ns}$** .

Domanda 17 (Esercizio B.2)

Un driver CMOS con tensione di alimentazione 2,5 V e resistenza di uscita $25\ \Omega$ (per entrambe le transizioni) è collegato a una linea di trasmissione come in figura, tramite una resistenza serie R_s . La linea è lunga 20 cm e possiede induttanza unitaria $0,5625\ \text{nH/mm}$ e capacità unitaria $0,1\ \text{pF/mm}$. I ricevitori, posti ai due estremi della linea, hanno V_{IH} e V_{IL} pari rispettivamente a 1,5 V e 0,5 V. Si vuole usare la linea in modalità Reflected Wave Switching (RWS) in un protocollo di comunicazione asincrono in cui i registri hanno tempo di setup e di hold pari rispettivamente a 0,2 ns e 0,1 ns.



Rispondere alle seguenti domande:

1. Calcolare il valore dell'impedenza caratteristica della linea Z_0 .
 2. Calcolare il valore della resistenza serie R_s che consente di operare in modalità RWS eliminando le successive riflessioni oltre la prima.
 3. Determinare il margine di rumore per le transizioni LH (NM_H) e HL (NM_L).
 4. Calcolare il valore del ritardo minimo (T_{MIN}) e del ritardo massimo (T_{MAX}) per ricevitori ovunque collocati.
 5. Calcolare la durata del ciclo di scrittura T_{cyc} .
1. $Z_0 = (\text{Lu/Cu})^{(1/2)} = (0.5625 \cdot 10^{-9}) / (0.1 \cdot 10^{-12})^{(1/2)} = 75\ \Omega$. Calcoliamo anche il tempo di propagazione $t_p = 0.2\ \text{m} / (\text{Lu} \cdot \text{Cu})^{0.5} = 1,5\ \text{ns}$.
2. Poiché la resistenza di uscita del driver R_o è in serie ad R_s , per eliminare le riflessioni al lato generatore occorre che $R_o + R_s = Z_0$, da cui **$R_s = 75 - 25 = 50\ \Omega$** .
3. In modalità RWS con terminazione aperta, alla fine della transizione LH la linea raggiungerà la tensione di alimentazione del driver, ovvero 2,5 V. Poiché V_{IH} è 1,5 V, si ha **$NMH = 2,5 - 1,5 = 1\text{V}$** . Alla fine della transizione HL, la linea raggiungerà la tensione di ground, ovvero 0 V. Poiché V_{IL} è 0,5 V, si ha **$NML = 0,5 - 0 = 0,5\text{V}$** .
4. Si consideri la transizione LH. Il primo gradino è $2,5 \cdot Z_0 / (Z_0 + R_s + R_o) = 1,25\text{V}$ che è inferiore a V_{IH} ma superiore a V_{IL} . Sulla terminazione la tensione raddoppia dopo la prima propagazione (2,5 V a 1,5 ns) e tale tensione, che è maggiore di V_{IH} , si avrà anche al driver dopo $2t_p = 3\text{ ns}$.
Se si considera la transizione HL, il primo gradino (in discesa) è sempre di 1,25V a partire da 2,5V e la tensione di 1,25 V è ancora superiore a V_{IL} ma comunque inferiore a V_{IH} . Dopo la propagazione si avrà tensione di 0 V (minore di V_{IL}) a t_p alla terminazione e ancora 0 V a $2t_p$ al driver.
Riassumendo si può concludere che il tempo minimo per ricevitori ovunque collocati è **$T_{min} = 0\text{ ns}$** , mentre il tempo massimo è **$T_{max} = 3\text{ ns}$** . Lo skew è quindi $t_k = 3\text{ ns}$.
5. **$T_{cyc} = t_k + t_{su} + t_h + 4 \cdot T_{max} = 3 + 0,2 + 0,1 + 12 = 15,3\text{ ns}$** .

Domanda 19 (Esercizio B.3)

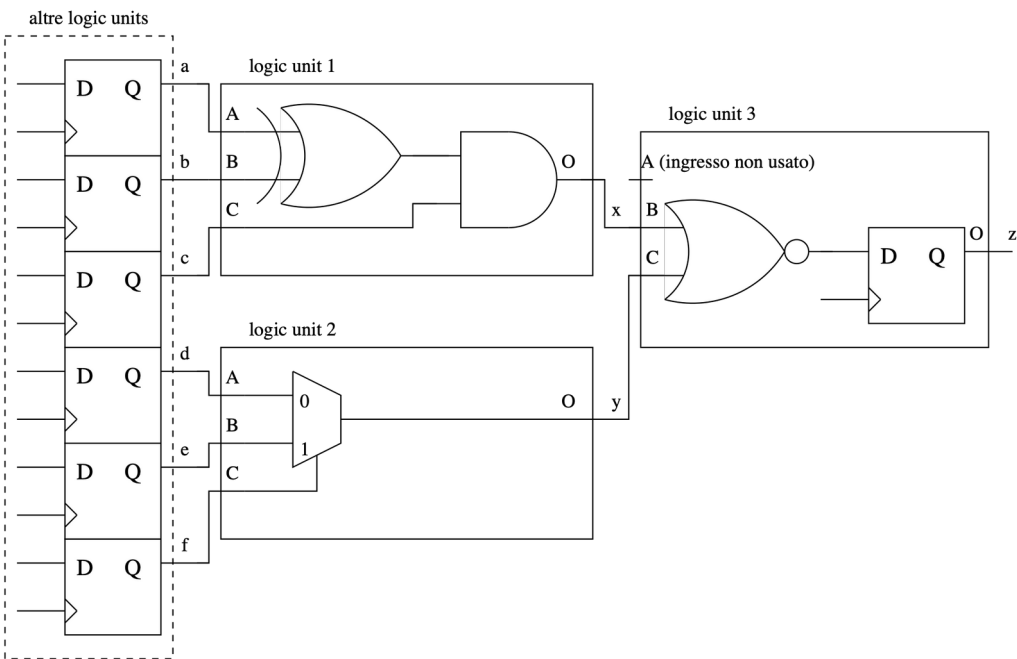
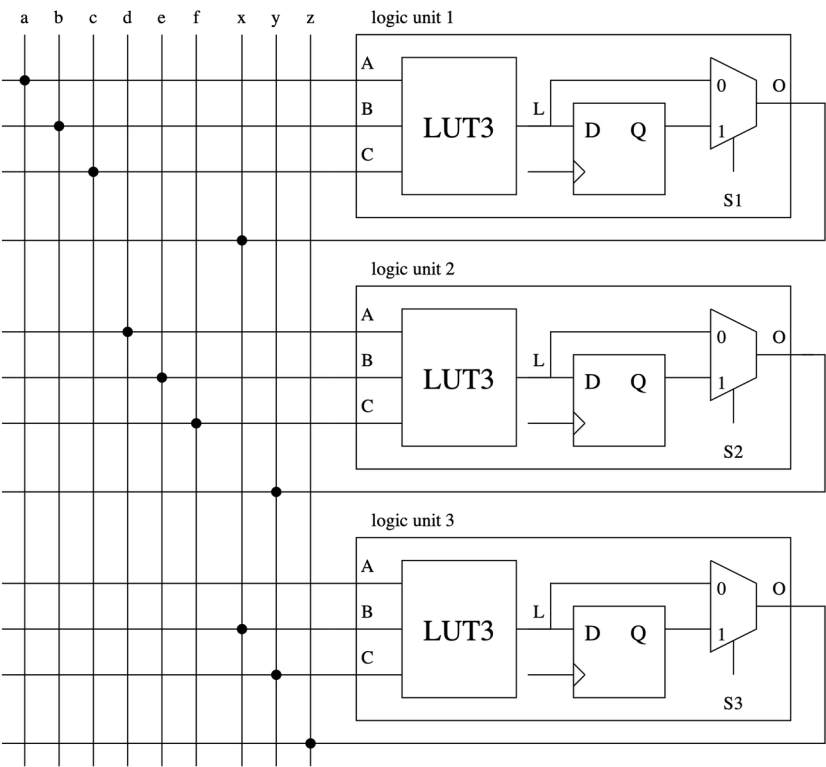


Figura 1.

Il circuito logico della Fig. 1 viene realizzato su logica programmabile e mappato su tre logic unit come illustrato nella Fig. 2 (tranne i flip-flop del riquadro tratteggiato, realizzati in logic unit non mostrate nella figura).



LUT3			
A	B	C	L
0	0	0	?
0	0	1	?
0	1	0	?
0	1	1	?
1	0	0	?
1	0	1	?
1	1	0	?
1	1	1	?

Figura 2.

Le Look-Up-Table a 3 ingressi (LUT3) sono configurate tramite una stringa di bit, rappresentata in Fig. 2 come "???????" per un caso generico, che indica la tavola di verità della funzione logica a 3 ingressi realizzata dalla LUT3. Ad esempio, per la funzione $Y = A \cdot B \cdot C$ (nand a 3 ingressi) la stringa è "00000001", per la funzione $Z = A+B+C$ (or a 3 ingressi) è "01111111".

Nelle logic unit, le LUT3 hanno un ritardo di propagazione di 0,5 ns, i multiplexer di 0,25 ns, i flip-flop hanno $t_{ck-q} = 0,25$ ns, $t_{su} = 0,2$ ns e $t_h = 0,1$ ns. Le interconnessioni hanno ritardi trascurabili.

Rispondere alle seguenti domande:

1. Indicare la stringa di configurazione (senza virgolette, solo i bit) della LUT della logic unit 1, della logic unit 2 e della logic unit 3.
 2. Indicare il valore del bit di configurazione del multiplexer presente nelle logic units: S1, S2, S3.
 3. Calcolare la massima frequenza di clock (F_{max}) del circuito. Si tenga conto del fatto che i segnali a-f provengono da 6 uscite di altrettante logic unit come quelle della Fig. 2; pertanto i segnali a-f provengono ciascuno da un flip-flop interno a una logic unit a cui segue il relativo multiplexer.
1. Per la funzione logica implementata nella logic unit 1, $O = (A \text{ xor } B) \text{ and } C$, la stringa è "00010100"; per quella della logic unit 2, $O = (A \text{ and } C^*) \text{ or } (B \text{ and } C)$, la stringa è "00011011"; per la logic unit 3, $O = (B \text{ or } C)^*$ sia che A valga 0 sia che valga 1, la stringa è "10001000".
 2. Le logic unit 1 e 2 implementano esclusivamente una funzione logica combinatoria, pertanto l'uscita deve provenire dalla LUT e non dal flip-flop: $S1 = 0$, $S2 = 0$. Per la logic unit 3 l'uscita deve invece provenire dal flip-flop: $S3 = 1$.
 3. Il percorso da considerare parte dai flip-flop delle altre logic unit e accumula il ritardo t_{cq} , attraversa il relativo mux con ritardo t_{mux} , e quindi entra nelle logic unit 1 e 2 come uno dei segnali a-f. A questo punto attraversa una lut con ritardo t_{lut} e un mux con ritardo t_{mux} , per entrare nella logic unit 3. Qui accumula un ulteriore ritardo t_{lut} ed entra nel flip-flop, garantendo un tempo di setup di margine rispetto al fronte del clock. Pertanto, $T_{ckmin} = t_{cq} + t_{mux} + t_{lut} + t_{mux} + t_{lut} + t_{su} = t_{cq} + 2 \cdot (t_{mux} + t_{lut}) + t_{su} = 0.25 + 2 \cdot (0.5 + 0.25) + 0.2 = 1.95$ ns, e $F_{max} = 1 / T_{ckmin} = 513$ MHz.

Domanda 21 (Esercizio B.4)

Una memoria SRAM è alimentata a $V_{DD} = 1,2 \text{ V}$, ha $N = 128$ celle collegate a ciascuna bitline e $M = 32$ celle collegate a ciascuna wordline. A causa delle tolleranze di fabbricazione, i parametri della memoria assumono valori in un intervallo compreso tra un valore minimo e un valore massimo. In particolare:

- ciascun pass-transistor delle celle ha capacità di gate C_G compresa tra $0,1 \text{ fF}$ e $0,15 \text{ fF}$ e tensione di threshold V_{TH} compresa tra $0,15 \text{ V}$ e $0,2 \text{ V}$;
- ciascuna cella collegata alla wordline aumenta la resistenza della wordline di R_{WC} con un valore compreso tra 8Ω e 10Ω ;
- la resistenza di uscita del decoder di indirizzo R_O è compresa tra 800 e 1000Ω .

Rispondere alle seguenti domande:

1. Determinare il numero complessivo di transistori nell'array di celle.
2. Usando un modello concentrato per resistenza e capacità della wordline, determinare il ritardo minimo t_{LHmin} e massimo t_{LHmax} affinché la tensione della wordline raggiunga la tensione di soglia dei pass-transistor.
3. Determinare la potenza dissipata (minima e massima) per accedere alle wordline (transizione LH seguita da transizione HL) sapendo che mediamente si accede a una singola wordline una volta ogni 10 ns (non si consideri il decoder nel calcolo ma solo le wordline): P_{Wmin} , P_{Wmax}

1. Ogni cella ha 6 transistori e ci sono $32 * 128$ celle, da cui **$6 * 128 * 32 = 24576$ transistori.**

2. In una SRAM, le wordline sono attivate con transizioni LH. Pertanto per trovare l'istante di tempo in cui la tensione di wordline raggiunge V_{th} , occorre usare l'equazione $V(t) = V_{th} = V_{inf} + (V_0 - V_{inf}) * \exp(-t/\tau) = V_{dd} * (1 - \exp(-t/\tau))$, dove $\tau = (R_O + M * R_{wc}) * M * C_G$. Risolvendo l'equazione si trova $t = \tau * \ln(V_{dd}/(V_{dd} - V_{th}))$. Per trovare il tempo minimo(massimo) occorre considerare tutti i valori minimi(massimi) per resistenza, capacità e V_{th} :

$$\tau_{min} = (800 + 32 * 8) * 32 * 2 * 0,1 * 10^{-15} = 6,8 \text{ ps}, \tau_{max} = (1000 +$$

$$32 * 10) * 32 * 2 * 0,15 * 10^{-15} = 12,7 \text{ ps};$$

$$t_{LHmin} = 6,8 * \ln(1,2 / (1,2 - 0,15)) = 0,9 \text{ ps}, t_{LHmax} = 12,7 * \ln(1,2 / (1,2 - 0,2)) = 2,3 \text{ ps}$$

3. $P = 1/T * C * V_{dd}^2$ con $C = M * C_G$ e $T = 10 \text{ ns}$. Per calcolare il valore minimo e massimo occorre considerare i valori minimi e massimi della capacità C_G :

$$P_{Wmin} = 1 / (10 * 10^{-9}) * 32 * 0,1 * 1,2^2 = 0,92 \mu\text{W},$$

$$P_{Wmax} = 1 / (10 * 10^{-9}) * 32 * 0,15 * 1,2^2 = 1,38 \mu\text{W}.$$