

Cognome
Nome
Matricola

COMPITO "A"

Aula

Parte A – Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a										
Risposta b										
Risposta c										
Risposta d										
Punteggio totale										

Quesito A.1

Un flip-flop JK ha gli ingressi J e K entrambi a uno logico. L'uscita Q:

- a) è uguale all'uscita Qn
b) è sempre uguale a uno
c) **cambia stato a ogni ciclo di clock**
d) cambia stato ogni due ciclo di clock

Quesito A.2

In un ciclo di scrittura sincrono il segnale di STB deve restare alto per un ritardo minimo di:

- a) $T_{su} + T_k$
b) **$T_h + T_k$**
c) T_k
d) $T_k + T_{txmin}$

Quesito A.3

Supponete che il SNR di un Sistema di acquisizione dati che usa un convertitore A/D da 10 bit sia 55,76dB; l'Effective Number of Bits (ENOB) è:

- a) 10 bit
b) 8 bit
c) **9 bit**
d) 7 bit

Quesito A.4

Un driver con resistenza di uscita $R_o = Z_\infty$ pilota a livello alto (V_{oh}) una linea con impedenza caratteristica Z_∞ con terminazione aperta. La tensione a transitorio esaurito all'estremo di terminazione è:

- a) **V_{oh}**
b) 0
c) $2 \cdot V_{oh}$
d) $V_{oh}/2$

Quesito A.5

Il guadagno di tensione di un regolatore boost con duty cycle $D = 0,75$ vale:

- a) 0,75
b) 0,25
c) 1,33
d) **4**

Quesito A.6

La tensione di ripple di un raddrizzatore a semionda intera si dimezza se:

- a) **la capacità raddoppia**
b) la frequenza si dimezza

c) la corrente raddoppia

d) la tensione di ingresso si dimezza

Quesito A.7

Dimezzando la capacità di carico di una porta logica CMOS la potenza dinamica cambia come:

a) 2

b) 1/2

c) 1/4

d) 4

Quesito A.8

Una cella di memoria DRAM comprende:

a) Un floating gate MOS

c) 6 MOS

b) Un MOS e una capacità

d) un NMOS, un PMOS e due capacità

Quesito A.9

Un decodificatore di indirizzo a 4 bit di ingresso richiede:

a) 4 porte NAND

c) 4 porte AND

b) 8 porte NAND

d) 16 porte NAND

Quesito A.10

Una memoria DDR4 ha il bus clock a 2000 MHz e parallelismo 8 bit. Il massimo rate è:

a) 16 Gbit/s

c) 64 Gbit/s

b) 32 Gbit/s

d) 2 Gbit/s

Parte -B – Problema B.1

Considerate N segnali analogici con frequenza massima 5kHz. I segnali sono convertiti in digitale con un S/H e un A/D che hanno rispettivamente tempo di acquisizione di 4 μ s e tempo di conversione di 6 μ s.

a) Supponendo un fattore di sovracampionamento $K=2,5$, determinare il massimo numero di segnali N e tracciare uno schema del sistema di conversione.

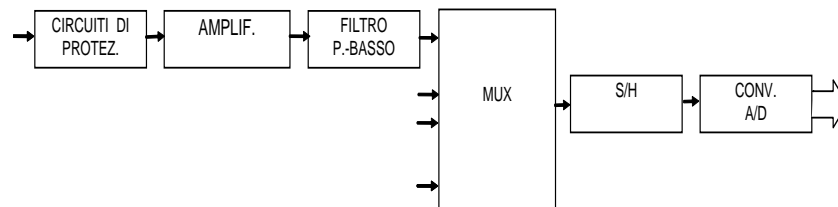
$$f_{\max} = 1/(4 \times 10^{-6} + 6 \times 10^{-6}) \text{ Hz} = 100 \text{ kHz}$$

con sovracampionamento $K=2,5$

$$f_{\max} = 40 \text{ kHz}$$

ogni canale richiede $2 \times 5 \text{ kHz} = 10 \text{ kHz}$

quindi si possono convertire 4 canali

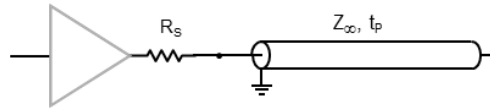


b) Calcolare il numero di bit del convertitore per avere un errore di quantizzazione inferiore allo 0,2%.

$$N_{\text{bit}} \geq -\log_2(0.002) = 9 \quad (8 \text{ va anche bene considerando come errore relativo } 1/2^{N+1})$$

Parte-B – Problema B.2

Un driver è collegato a una linea di trasmissione in figura. La linea è lunga 20cm, ha $Z_{\infty}=80\Omega$ e la velocità di propagazione è 0.5c.



Parametri:

Driver: $V_{oh}=3.0V$; $V_{ol}=0.3V$; $V_{cc}=3.3V$

Ricevitore: $V_{ih}=2.2V$; $V_{il}=1.4V$

Determinare il massimo valore di R_S che minimizza il ritardo nella transizione L-H e tale per cui lo skew è zero per tutti i ricevitori ovunque collegati.

Per essere in IWS, l'ampiezza del primo gradino deve essere maggiore di V_{ih} per transizione in salita:

$$V_{oh} Z_{\infty} / (R_S + Z_{\infty}) > V_{ih}$$

$$3 \times 80 / (R_S + 80) > 2.2$$

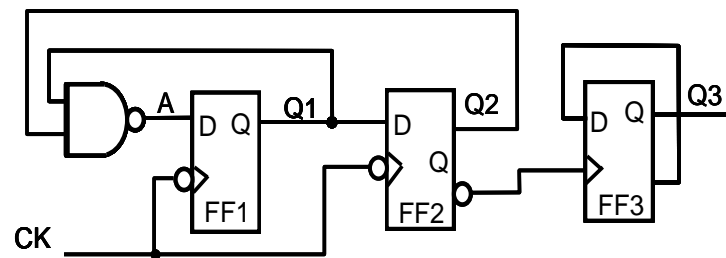
$$R_S < 29 \Omega$$

Nota : nella formula va usata V_{oh} , NON V_{cc} per la tensione di uscita del driver

- a) La linea viene usata in un bus in cui si impiega un protocollo di trasmissione asincrono. Determinare la durata di un ciclo se il tempo di setup è 2 ns e il tempo di hold è 1 ns.

$$t_{WR} = t_k + t_{SU} + t_H + 4 \times t_{TXmax} = 0 + 2 + 1 + 4 \times 20 \text{ cm} / 0.5c \text{ ns} = 8.33 \text{ ns}$$

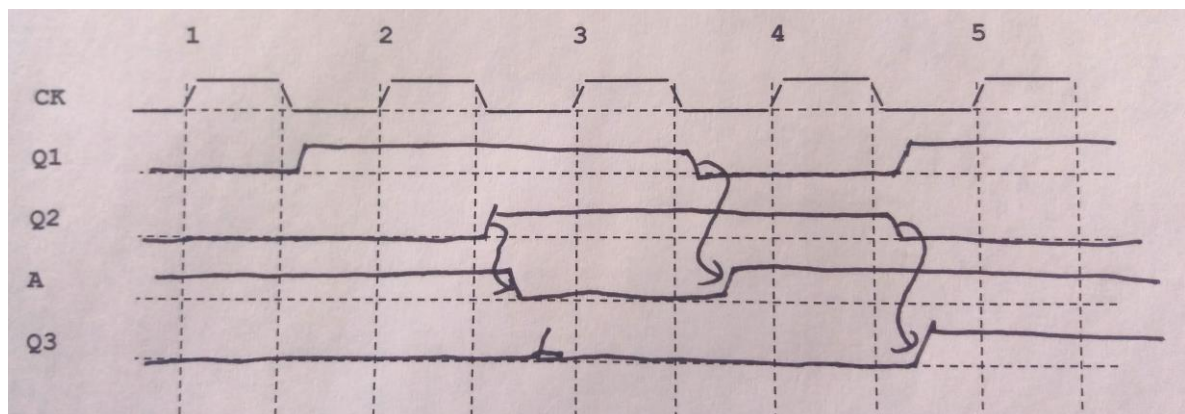
Parte B – Problema B.3



Si consideri il circuito mostrato in figura, dove le uscite Q dei FF sono inizialmente a 0.

- a) Tracciare il diagramma temporale per le uscite Q1, Q2, A e Q3 e Out per 5 cicli di clock; supponete che tutti i ritardi siano trascurabili.

Nota: la figura qui sotto ignora la transizione in discesa al ciclo 5, non disegnata nella domanda. Quel fronte causerebbe una transizione in salita di Q2 e discesa di A. Va bene sia considerarla sia ignorarla, dato che la domanda era ambigua.



- b) Calcolare la massima frequenza di clock supponendo questi parametri:
FF1, FF2 ed FF3: $T_{ck \rightarrow Q} = 5 \text{ ns}$; $T_h = 1 \text{ ns}$; $T_{su} = 5 \text{ ns}$
Porta NAND: $T_p = 3 \text{ ns}$ per H-L ed L-H

$$T_{ck} \geq T_{ckq} + T_{nand} + T_{su} = 5 + 3 + 5 \text{ ns} = 13 \text{ ns}$$

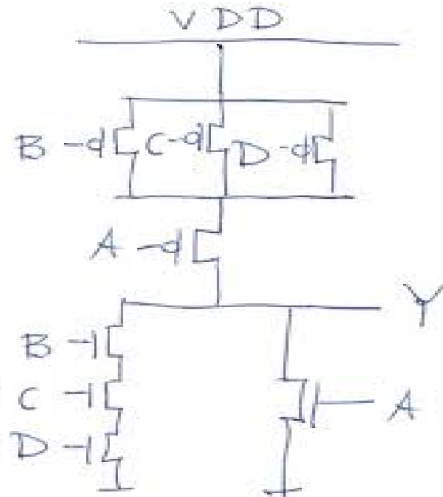
$$F_{ck} \leq 77 \text{ MHz}$$

Parte-B –Problema B.4

Considerate questa funzione logica combinatoria:

$$\text{Out} = \text{not}(A \text{ or } (B \text{ and } C \text{ and } D))$$

- a) Disegnate il circuito CMOS corrispondente.
Nota; le reti del pull-up possono anche essere scambiate (A sopra, B//C//D sotto)



- b) Supponendo che i MOS abbiano $R_o = 100\Omega$, calcolate il massimo ritardo per la transizione L-H e quella H-L supponendo di pilotare 5 porte logiche con capacità di ingresso $C_i = 5\text{pF}$ ciascuna.

Il caso peggiore nella transizione H-L e' quando sono attivi solo i 3 pull-down A B C, in serie
 $T_{pHL} = 0.69 R_{\max} C_{\max} = 0.69 \times 3 \times 100 \times 5 \times 5 \text{ ps} = 5,175 \text{ ns}$

Il caso peggiore nella transizione L-H e' quando sono attivi solo il pull-up D e uno solo dei 3 (p.es. A), in serie

$$T_{pLH} = 0.69 R_{\max} C_{\max} = 0.69 \times 2 \times 100 \times 5 \times 5 \text{ ps} = 3,45 \text{ ns}$$