



Elettronica applicata

Esame 20/7/2020



VIRTUAL CLASSROOM (VC) DI SUPPORTO E DI BACKUP

Collegatevi subito alla VC di supporto tramite il bottone sotto la vostra foto. **Se e solo se non dovesse funzionare**, questo è il link alla VC di backup:

[https://didattica.polito.it/pls/portal30/sviluppo.bbb_corsi.joinVirtualClassInvite?
p_meeting_id=238158_20072020_164554](https://didattica.polito.it/pls/portal30/sviluppo.bbb_corsi.joinVirtualClassInvite?p_meeting_id=238158_20072020_164554)

COME E' STRUTTURATA LA PROVA

Il test è costituito da 13 quesiti a risposta multipla (A) e da 4 esercizi (B.1-B.4) a risposta chiusa. La durata complessiva del test è di 125 minuti.

Ogni quesito della sezione A ha 4 possibili risposte delle quali una sola è corretta. Ogni risposta corretta determina l'attribuzione di 1 punto e non ci sono penalità per le risposte errate. Il totale dei punti per la sezione A è quindi 13. Le ultime tre domande della sezione A (11-13) sono relative alle esercitazioni di laboratorio.

Lo svolgimento corretto dei quattro esercizi comporta l'attribuzione complessiva di 18 punti. Ogni esercizio ha un punteggio diverso che viene indicato nel testo dell'esercizio. Di seguito ad ogni esercizio trovate un campo di componimento libero (uno diverso per ogni esercizio) in cui potete riportare calcoli, procedimenti, schemi, eccetera.

Il voto massimo complessivo è quindi 31 in modo che la lode venga attribuita chi ha un voto $\geq 30,5$.

E' possibile sostenere l'orale, se lo si desidera, ma il risultato del test deve essere sufficiente (≥ 18).

Nel corso del test è possibile scorrere avanti e indietro le domande in modo da ricontrollare le risposte date. Se volete correggere la risposta è sufficiente cliccare sulla nuova risposta che ritenete esatta. Per annullare una risposta è sufficiente premere due volte sulla risposta stessa.

Domanda 1

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

All'uscita di una porta open drain, generalmente

- ☒ (a) il transitorio di discesa è più rapido di quello di salita ✓
- ☐ (b) il transitorio di salita è più rapido di quello di discesa
- ☐ (c)
il transitorio di discesa è rapido quanto quello di salita
- ☐ (d) La velocità (in salita o in discesa) dipende se lo stato iniziale è quello di alta impedenza.

Risposta corretta.

La risposta corretta è: il transitorio di discesa è più rapido di quello di salita

Domanda 2

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

La logica combinatoria tra due registri ha ritardo minimo tpd_{min} e ritardo massimo tpd_{max} , mentre i due registri sono caratterizzati da tempo di setup t_{su} , tempo di hold t_h e ritardo ck-q t_{ck-q} . Per avere un corretto funzionamento occorre che (T_{CK} è il periodo di clock):

- ☐ (a)
- $$T_{CK} \geq t_{su} + t_h + tpd_{max} + t_{ck-q}$$
- $$tpd_{min} > t_{ck-q}$$
- ☐ (b)
- $$T_{CK} \geq t_{su} + t_h + tpd_{max} + 2t_{ck-q}$$
- $$tpd_{min} + t_{ck-q} \geq t_h$$
- ☐ (c) $T_{CK} \leq t_{su} + tpd_{max} + t_{ck-q}$
- $$tpd_{min} + t_{ck-q} \leq t_h$$
- ☒ (d) $T_{CK} \geq t_{su} + tpd_{max} + t_{ck-q}$
- $$tpd_{min} + t_{ck-q} \geq t_h \checkmark$$

Risposta corretta.

La risposta corretta è: $T_{CK} \geq t_{su} + tpd_{max} + t_{ck-q}$


$$tpd_{min} + t_{ck-q} \geq t_h$$

Domanda 3

Risposta errata

Punteggio ottenuto 0,00 su 1,00

Un oscillatore ad anello

- ☒ (a)
è composto da un numero dispari di inverter ed ha una frequenza di oscillazione molto stabile

- ☐ (b)
è composto da un numero pari di inverter ed ha una frequenza di oscillazione molto stabile
- ☐ (c) è composto da un numero dispari di inverter ed ha una frequenza di oscillazione poco stabile
- ☐ (d) è composto da un numero pari di inverter ed ha una frequenza di oscillazione poco stabile

Risposta errata.

La risposta corretta è: è composto da un numero dispari di inverter ed ha una frequenza di oscillazione poco stabile

Domanda 4

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

I componenti essenziali di un blocco logico in una FPGA sono

- ☒ (a) Look-up Table (LUT) e flip-flop (FF) ✓
- ☐ (b) Look-up Table (LUT) e multiplexer (MUX)
- ☐ (c) Multiplexer (MUX) e flip-flop (FF)
- ☐ (d) Una matrice di porte NOT, AND e OR

Risposta corretta.

La risposta corretta è: Look-up Table (LUT) e flip-flop (FF)

Domanda 5

Risposta errata

Punteggio ottenuto 0,00 su 1,00

Un accesso in lettura ad una cella DRAM con condensatore di storage a tensione 0 e bitline carica a $V_{dd}/2$ causa:

-
- ☐ (a) La tensione del condensatore di storage rimane a 0
 - ☒ (b) La tensione della bitline passa da $V_{dd}/2$ a 0
✗
 - ☐ (c) La tensione del condensatore di storage passa da 0 a $V_{dd} - V_t$
 - ☐ (d) La tensione della bitline diminuisce di $\Delta V < V_{dd}/2$

Risposta errata.

La risposta corretta è: La tensione della bitline diminuisce di $\Delta V < V_{dd}/2$

Domanda 6

Risposta errata

Punteggio ottenuto 0,00 su 1,00

All'estremo remoto di una linea di trasmissione si è verificato un corto circuito. Inviando un gradino in ingresso di altezza 1V, trascorso un tempo pari al tempo di propagazione della linea all'estremo remoto si avrà una tensione di

- ☐ (a) -1 V
- ☒ (b) 1 V ✗
- ☐ (c) 0 V
- ☐ (d) 2 V

Risposta errata.

La risposta corretta è: 0 V

Domanda 7

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

In un ciclo di scrittura asincrono, per garantire la correttezza del trasferimento (non per analizzare le prestazioni):

- ☐ (a) il ricevitore deve conoscere il tempo di trasmissione
- ☐ (b) il trasmettitore e il ricevitore devono conoscere il tempo di trasmissione
- ☐ (c) nessuno dei due ha bisogno di conoscere il tempo di trasmissione
- ☒ (d) il trasmettitore deve conoscere il tempo di trasmissione ✓

Risposta corretta.

La risposta corretta è: il trasmettitore e il ricevitore devono conoscere il tempo di trasmissione

Domanda 8

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

Un incremento dell'1% rispetto al valore nominale di tutte le resistenze di un convertitore AD di tipo FLASH determina

-
- ☐ (a) un errore di nonlinearità integrale
 - ☒ (b) un errore di codice saltato ✓
 - ☐ (c) nessun errore
 - ☐ (d) un errore di nonlinearità differenziale

Risposta corretta.

La risposta corretta è: un errore di nonlinearità differenziale

Domanda 9

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

Un regolatore serie con un'efficienza del 40% e una tensione regolata d'uscita di 5V avrà una tensione di ingresso di circa

- ☐ (a) 200 V
- ☐ (b) 2 V
- ☐ (c) 125 V
- ☒ (d) 12.5 V ✓

Risposta corretta.

La risposta corretta è: 12.5 V

Domanda 10

Risposta errata

Punteggio ottenuto 0,00 su 1,00

I condensatori di bypass sono impiegati allo scopo di

- ☐ (a) ridurre le ondulazioni su alimentazione e ground causate dalle rapide variazioni di assorbimento di corrente dei circuiti integrati.
- ☐ (b) ridurre le ondulazioni residue nei raddrizzatori a singola e doppia semionda.
- ☒ (c) ridurre le ondulazioni sulla corrente assorbita dai circuiti integrati causate dalle rapide variazioni della tensione di alimentazione e di ground. ✖
- ☐ (d) filtrare la tensione d'uscita dei regolatore a commutazione.

Risposta errata.

La risposta corretta è: ridurre le ondulazioni su alimentazione e ground causate dalle rapide variazioni di assorbimento di corrente dei circuiti integrati.

Domanda 11

Risposta errata

Punteggio ottenuto 0,00 su 1,00

Per misurare la relazione tra tensione d'uscita V_o e corrente assorbita I_o all'uscita di una porta logica allo stato basso (L) si può

- ☐ (a) collegare l'uscita alla tensione di alimentazione.
- ☒ (b) collegare l'uscita alla tensione di ground tramite una resistenza variabile. ✗
- ☐ (c) collegare l'uscita alla tensione di ground.
- ☐ (d) collegare l'uscita alla tensione di alimentazione tramite una resistenza variabile.

Risposta errata.

La risposta corretta è: collegare l'uscita alla tensione di alimentazione tramite una resistenza variabile.

Domanda 12

Risposta corretta

Punteggio ottenuto 1,00 su 1,00

Una linea di impedenza caratteristica 50 ohm aperta all'estremo remoto viene pilotata all'altro estremo da un inverter della serie LS04, la quale presenta una diversa resistenza d'uscita R_o allo stato basso e a quello alto. La tensione all'uscita dell'inverter presenta

- ☐ (a) gradini multipli in discesa
- ☐ (b) oscillazioni dovute a riflessioni multiple con inversione di segno
- ☒ (c) gradini multipli in salita ✓
- ☐ (d) quasi totale assenza di gradini multipli (buon adattamento)

Risposta corretta.

La risposta corretta è: gradini multipli in salita

Domanda 13

Risposta errata

Punteggio ottenuto 0,00 su 1,00

Il componente CD4029 usato per realizzare il contatore U/D di un AD ad è

- ☐ (a) sincrono a 4 bit
- ☒ (b) sincrono a 8 bit ✖
- ☐ (c) asincrono a 4 bit
- ☐ (d) asincrono a 8 bit

Risposta errata.








La risposta corretta è: sincrono a 4 bit

Domanda 14

Parzialmente corretta

Punteggio ottenuto 0,71 su 5,00

Un sistema di conversione A/D ha 4 canali di ingresso, su ciascuno dei quali è presente un segnale bipolare con valore minimo 100 mV, valore massimo 300 mV e banda da 0 MHz a 5 MHz. Il convertitore A/D ha 8 bit in uscita e dinamica di ingresso tra -1 V e 1 V. E' disponibile un S/H con tempo di acquisizione (T_{acq}) di 2ns.

- Determinare offset da applicare **in ingresso**  mV e guadagno 
dell'amplificatore.
- Determinare il tempo di conversione dell'A/D (T_{conv}) richiesto per campionare ciascun segnale con frequenza pari a **5 volte quella minima**  ns.
- Determinare la frequenza minima di campionamento del sistema di conversione (complessiva, non per singolo canale)  MHz.
- Scegliere il tipo di convertitore A/D che si puo' usare, sapendo che i flip-flop nella tecnologia usata hanno frequenza massima di clock di 500 MHz:   e
indicare quanti amplificatori operazionali usati come comparatori sono necessari 

- 1) La risposta corretta è : -200
- 2) La risposta corretta è : 10
- 3) La risposta corretta è : 3
- 4) La risposta corretta è : 200
- 5) La risposta corretta è : Flash
- 6) La risposta corretta è : 255

Domanda 15

Risposta non data

Non valutata

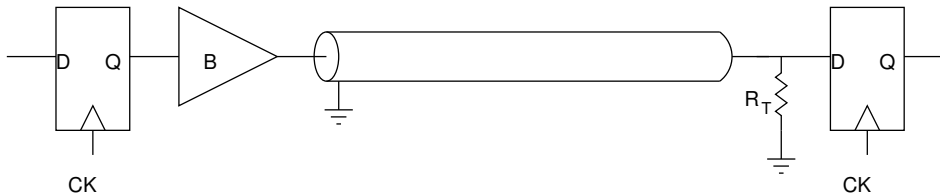
Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

Domanda 16

Parzialmente corretta

Punteggio ottenuto 1,43 su 5,00

L'uscita di un flip-flop D è collegata all'ingresso di un altro flip-flop D attraverso un driver (B) e una linea di trasmissione come in figura.



I parametri del sistema sono i seguenti:

- Flip-flop D: $t_{ck-q} = 0,5 \text{ ns}$; $t_{su} = 0,5 \text{ ns}$; $t_h = 0,25 \text{ ns}$; $V_{ih} = 2,2 \text{ V}$; $V_{il} = 1,4 \text{ V}$
- Driver (B): $t_{pdLH} = t_{pdHL} = 2 \text{ ns}$; $R_o = 20 \text{ ohm}$; $V_{cc} = 3,3 \text{ V}$, $G_{nd} = 0 \text{ V}$
- Linea: lunghezza $l = 10 \text{ cm}$; velocità $P = 0,25 \text{ C}$; impedenza caratteristica $Z_{inf} = 75 \text{ ohm}$

Rispondere alle seguenti domande:

1. Indicare il valore della resistenza di terminazione R_t che evita il fenomeno delle riflessioni multiple: $R_t =$ ☒ ohm.
2. Calcolare il tempo di propagazione della linea: $t_p =$ ☒ ns.
3. A transitorio terminato, calcolare: la tensione di livello alto sulla linea $V_h =$ ☒ V, quella di livello basso $V_l =$ ☒ V, il margine di rumore a livello alto NMH ☒ V, quello a livello basso NML ☒ V.
4. Calcolare la massima frequenza di clock del sistema ☒ MHz.

- 1) La risposta corretta è : 75
- 2) La risposta corretta è : 1.33
- 3) La risposta corretta è : 2.6
- 4) La risposta corretta è : 0
- 5) La risposta corretta è : 0.4
- 6) La risposta corretta è : 1.4
- 7) La risposta corretta è : 231

Domanda 17

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

Per evitare le riflessioni multiple devo essere in IWS quindi pongo $V_b(0) > V_{ih}$, da cui invertendo la formula si ricava R_t .

$$t_p = 10 / (0,25 \cdot 30) = 1,3 \text{ ns}$$

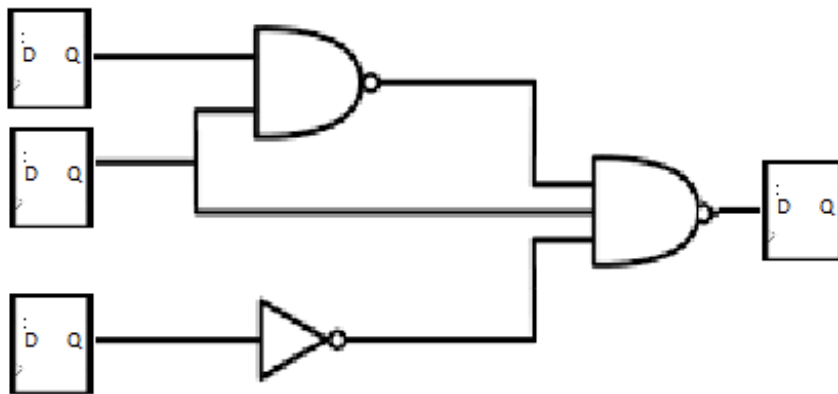
Domanda 18

Parzialmente corretta

Punteggio ottenuto 3,00 su 4,00

Nel circuito in figura,

- la porta NAND a 2 ingressi ha $T_{pLH}=T_{pHL}=2\text{ns}$
- la porta NAND a 3 ingressi ha $T_{pLH}=T_{pHL}=3\text{ns}$
- la porta NOT ha $T_{pLH}=T_{pHL}=1\text{ns}$
- i FF hanno $T_{ckq}=1\text{ns}$, $T_{su}=2\text{ns}$



- Quanto vale la frequenza massima di clock ✓ MHz
- Quale e' il massimo T_h del FF che permette il funzionamento corretto del circuito ✗ ns
- Quale e' una combinazione di valori in ingresso (in ordine dall'alto al basso) produce il valore 0 in uscita
☒ 010 ✓ ☐ 111 ☐ 101 ☐ 110

Punteggio ottenuto 1,00 su 1,00

La risposta corretta è: 010

- 1) La risposta corretta è : 125
- 2) La risposta corretta è : 4
- 3) La risposta corretta è : 010

Domanda 19

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

IL percorso più lungo è: FFD->NAND->NAND->FFD.

Domanda 20

Risposta errata

Punteggio ottenuto 0,00 su 4,00

Considerate questa funzione logica combinatoria: $O = \text{not}((A \text{ or } B) \text{ and } (C \text{ or } D))$ realizzata da una **singola porta logica complessa**.

Supponendo che ciascun MOS abbia una R_{on} di 200Ω e una C_{gate} di 15fF , e che la porta piloti 4 porte identiche, calcolate

- il **minimo** ritardo per la transizione **HL** ✗ ps
- il **massimo** ritardo per la transizione **HL** ✗ ps
- il **massimo** ritardo per la transizione **LH** ✗ ps

- 1) La risposta corretta è : 16.5
- 2) La risposta corretta è : 33
- 3) La risposta corretta è : 33

Domanda 21

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

Nella parte di pull-up abbiamo A e B in serie, il tutto in parallelo con la serie C e D, nella parte di pull-down si inverte la relazione serie parallelo presente nella parte di pull-up.

Il ritardo massimo che è uguale per entrambe le parti è:

$$LH=HL=\ln(2)*Ron*2*Cgate= 0.69*200*2*15*10^{-15}=4.14ps$$

Il ritardo minimo è esattamente la metà di quello massimo sfruttando il parallelo quindi: 2.07ps