

### Domanda 2

Parzialmente corretta

Punteggio ottenuto 4,2 su 7,0

In un sistema di acquisizione a 8 canali i segnali di ingresso hanno banda da 0 a 100 kHz e dinamica da -0,25 V a +0,25 V. Gli amplificatori di condizionamento adattano tale dinamica a quella di un convertitore A/D a 12 bit che va da 0 V a 5 V. Il filtro antialiasing utilizza una cella con cinque poli. Rispondere alle seguenti domande.

1. Determinare il valore del guadagno (G) e dell'offset in uscita (O) degli amplificatori di condizionamento:  $G =$  ,  $O =$  V.

2. Calcolare la frequenza di campionamento  $F_s$  usata nel circuito S/H a valle del multiplexer che fa sì che SNR di aliasing ( $SNR_a$ ) e SNR di quantizzazione ( $SNR_q$ ) abbiano lo stesso valore (considerare segnali sinusoidali):  $F_s =$  \_\_\_\_\_ MHz.

3. Calcolare il valore di SNR di jitter ( $SNR_j$ ) sapendo che l'istante di campionamento presenta un'incertezza di  $\pm 0.5$  ns:  $SNR_j =$  \_\_\_\_\_ dB.

4. Se cambia la dinamica della tensione d'ingresso e diventa tra -0.125 V e +0.125 V (con amplificatori di condizionamento progettati per il valore precedente), quali sono i nuovi valori di rapporto segnale-rumore?  $SNR_q =$  \_\_\_\_\_ dB,  $SNR_a =$  \_\_\_\_\_ dB,  $SNR_j =$  \_\_\_\_\_ dB.

5. Se il convertitore è del tipo ad approssimazioni successive, qual è la frequenza di clock  $F_{ck}$  necessaria per il corretto funzionamento (assumere tempo di conversione uguale a tempo di acquisizione)?  $F_{ck} =$  \_\_\_\_\_ MHz.

6. Se l'intero circuito è alimentato a +5V a partire da una batteria automobilistica da 12 V, indicare quale tipo di convertitore a commutazione e quale duty cycle (D) si devono usare:

\_\_\_\_\_,  $D =$  \_\_\_\_\_.

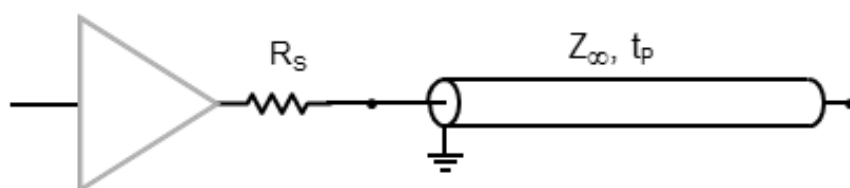
- 1) La risposta corretta è : 10
- 2) La risposta corretta è : 2.5
- 3) La risposta corretta è : 5.176
- 4) La risposta corretta è : 70
- 5) La risposta corretta è : 67.76
- 6) La risposta corretta è : 73.76
- 7) La risposta corretta è : 70
- 8) La risposta corretta è : 126
- 9) La risposta corretta è : Buck
- 10) La risposta corretta è : 0.417

**Domanda 4**

Risposta corretta

Punteggio ottenuto 5,0 su 5,0

Un driver CMOS con tensione di alimentazione 5 V e resistenza di uscita  $25\ \Omega$  (per entrambe le transizioni) è collegato a una linea di trasmissione come in figura, tramite una resistenza serie  $R_s$ . La linea è lunga 20 cm e possiede induttanza unitaria  $0,25\ \text{nH/mm}$  e capacità unitaria  $0,1\ \text{pF/mm}$ . I ricevitori, posti ai due estremi della linea, hanno  $V_{IH}$  e  $V_{IL}$  pari rispettivamente a 3 V e 1 V. Si vuole usare la linea in modalità Reflected Wave Switching (RWS) in un protocollo di comunicazione sincrono in cui i registri hanno tempo di setup e di hold pari rispettivamente a 0.2 ns e 0.1 ns.



Rispondere alle seguenti domande:

1. Calcolare il valore dell'impedenza caratteristica della linea:  $Z_\infty =$    $\Omega$ .
2. Calcolare il valore della resistenza serie  $R_s$  che consente di operare in modalità RWS eliminando le successive riflessioni oltre la prima:  $R_s =$    $\Omega$ .
3. Determinare il margine di rumore statico per le transizioni LH ( $NM_H$ ) e HL ( $NM_L$ ):  $NM_H =$   V,  $NM_L =$   V.
4. Calcolare il valore del ritardo minimo ( $T_{MIN}$ ) e del ritardo massimo ( $T_{MAX}$ ) per ricevitori ovunque collocati:  $T_{MIN} =$   ns,  $T_{MAX} =$   ns.
5. Calcolare la durata del ciclo di scrittura  $T_{cycw} =$   ns.

- 1) La risposta corretta è : 50
- 2) La risposta corretta è : 25
- 3) La risposta corretta è : 2
- 4) La risposta corretta è : 1
- 5) La risposta corretta è : 0
- 6) La risposta corretta è : 2
- 7) La risposta corretta è : 4.3

**Domanda 5**

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

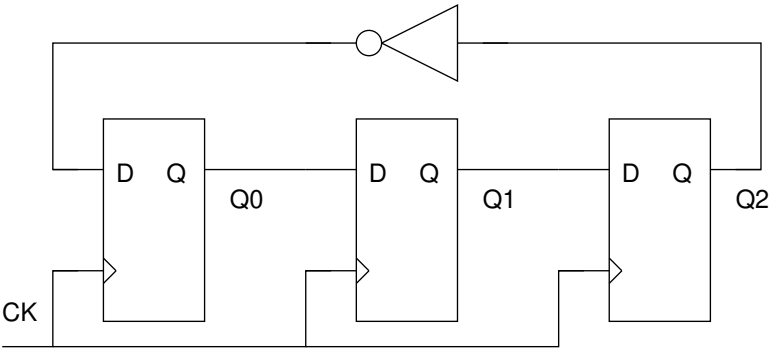
---

**Domanda 6**

Risposta corretta

Punteggio ottenuto 3,0 su 3,0

Nel circuito in figura i FF hanno  $T_{ckq} = 0.2 \text{ ns}$ ,  $T_{su} = 0.3 \text{ ns}$ .



- Determinare il massimo valore del tempo di hold dei flip-flop che consente di evitare violazioni:  $T_h =$                       ns.
- Determinare il massimo ritardo dell'inverter  $T_{pd} =$                       ns che consente al circuito di operare a una frequenza massima di 1 GHz.
- Determinare la sequenza di uscite (Q0,Q1,Q2) in quattro cicli consecutivi di clock a partire dalla condizione iniziale "Ciclo 1" nella tabella seguente (completare la tabella con le scelte multiple)

**Sequenza Q0-Q2 in 4 cicli di clock consecutivi**

Ciclo	Q0	Q1	Q2
1	0	0	0
2			
3			
4			

- 1) La risposta corretta è : 0.2
- 2) La risposta corretta è : 0.5
- 3) La risposta corretta è : 1
- 4) La risposta corretta è : 0
- 5) La risposta corretta è : 0
- 6) La risposta corretta è : 1
- 7) La risposta corretta è : 1
- 8) La risposta corretta è : 0
- 9) La risposta corretta è : 1
- 10) La risposta corretta è : 1
- 11) La risposta corretta è : 1

### Domanda 7

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

---

**Domanda 8**

Parzialmente corretta

Punteggio ottenuto 1,8 su 3,0

Una memoria SRAM ha 6 bit di indirizzo e parole di 16 bit.

a. Calcolare il numero totale di transistori nelle celle di memoria:  $N =$

b. Supponendo che ogni transistor abbia una capacità di gate di 0,5 fF e che la  $R_{on}$  dei transistor del decoder sia di 2000 ohm, calcolate il tempo di propagazione  $t_p$  e il tempo di salita  $t_r$  del segnale di wordline (trascurare capacità e resistenza della metallizzazione):  $t_p =$                       ps,  $t_r$

$=$                       ps.

1) La risposta corretta è : 6144

2) La risposta corretta è : 22

3) La risposta corretta è : 70.4

**Domanda 9**

Completo

Non valutata

Usate il campo libero per riportare procedimenti, calcoli, schemi, eccetera, relativi all'esercizio precedente

---

### Domanda 10

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

Questo costrutto Verilog denota:

```
always @(c or d)
a = c | d;
```

- ☐ (a) Una porta combinatoria AND
- ☐ (b) Un latch trasparente
- ☒ (c) Una porta combinatoria OR
- ☐ (d) Una porta combinatoria NOR

La risposta corretta è: Una porta combinatoria OR

### Domanda 11

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

Due porte logiche con stadio d'uscita open-drain hanno le uscite collegate insieme. Come resistenza di pull-up si deve usare:

- ☒ (a) una sola resistenza per entrambe le uscite.
- ☐ (b) una resistenza separata per ciascuna uscita.
- ☐ (c) una resistenza separata per ciascuna uscita se pilotano carichi diversi.
- ☐ (d) una resistenza collegata a massa per ciascuna uscita.

La risposta corretta è: una sola resistenza per entrambe le uscite.



**Domanda 12**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

La logica combinatoria tra due registri ha ritardo minimo  $tpd_{min}$  e ritardo massimo  $tpd_{max}$ , mentre i due registri sono caratterizzati da tempo di setup  $t_{su}$ , tempo di hold  $t_h$  e ritardo ck-q  $t_{ck-q}$ . Per avere un corretto funzionamento occorre che ( $T_{CK}$  è il periodo di clock):

- ☐ (a)
- $$T_{CK} \geq t_{su} + t_h + tpd_{max} + t_{ck-q}$$
- $$tpd_{min} > t_{ck-q}$$
- ☐ (b)
- $$T_{CK} \geq t_{su} + t_h + tpd_{max} + 2t_{ck-q}$$
- $$tpd_{min} + t_{ck-q} \geq t_h$$
- ☐ (c)  $T_{CK} \leq t_{su} + tpd_{max} + t_{ck-q}$
- $$tpd_{min} + t_{ck-q} \leq t_h$$
- ☒ (d)  $T_{CK} \geq t_{su} + tpd_{max} + t_{ck-q}$
- $$tpd_{min} + t_{ck-q} \geq t_h$$

La risposta corretta è:  $T_{CK} \geq t_{su} + tpd_{max} + t_{ck-q}$   
 $tpd_{min} + t_{ck-q} \geq t_h$

**Domanda 13**

Risposta errata

Punteggio ottenuto 0,0 su 1,0

Dimezzando sia la frequenza di clock sia la tensione di alimentazione in un circuito CMOS, la potenza

---

- ☒ (a)  
Si riduce di un fattore 4
- ☐ (b)  
Si riduce di un fattore 2
- ☐ (c) Si riduce di un fattore 16
- ☐ (d) Si riduce di un fattore 8

La risposta corretta è: Si riduce di un fattore 8

**Domanda 14**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

Il tempo di conversione di un convertitore A/D Flash a N bit è:

---

- ☐ (a) proporzionale a N
- ☐ (b) proporzionale a  $2^N$
- ☒ (c) indipendente da N
- ☐ (d) proporzionale a  $2^N - 1$

La risposta corretta è: indipendente da N

**Domanda 15**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

All'estremo remoto di una linea di trasmissione si è verificato un corto circuito verso massa. Inviando un gradino in ingresso di altezza 1V, trascorso un tempo pari al tempo di propagazione della linea all'estremo remoto si avrà una tensione di

---

- ☐ (a) -1 V
- ☐ (b) 1 V
- ☐ (c) 2 V
- ☒ (d) 0 V

La risposta corretta è: 0 V

**Domanda 16**

Risposta errata

Punteggio ottenuto 0,0 su 1,0

Un raddrizzatore a doppia semionda alimentato con tensione efficace 220 V con frequenza 50 Hz ha un condensatore in uscita da 1000  $\mu\text{F}$ . Quanto è la corrente massima che può consumare il carico in continua perché il ripple della tensione d'uscita non superi il 3%?

---

- ☐ (a) 933 mA
- ☐ (b) 1,87 A
- ☐ (c) 467 mA
- ☒ (d) 233 mA

La risposta corretta è: 933 mA

**Domanda 17**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

Quale è il numero minimo di flip-flop con cui si può realizzare un divisore di frequenza per 15 nel loop di un PLL?

---

- ☐ (a) 15
- ☐ (b) 3
- ☒ (c) 4
- ☐ (d) 16

La risposta corretta è: 4

**Domanda 18**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

In un collegamento seriale asincrono generico

---

- ☐ (a) i bit di controllo (stop, parità, ...) hanno una durata inferiore ai bit di dati.
- ☐ (b) un dato deve finire con due bit di stop.
- ☐ (c) la trasmissione comincia con il primo bit di dati.
- ☒ (d) la linea a riposo deve avere un valore ben definito.

La risposta corretta è: la linea a riposo deve avere un valore ben definito.

### Domanda 19

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

I condensatori di bypass sono impiegati allo scopo di

---

- ☐ (a) ridurre le ondulazioni residue nei raddrizzatori a singola e doppia semionda.
- ☐ (b) filtrare la tensione d'uscita dei regolatore a commutazione.
- ☒ (c) ridurre le ondulazioni su alimentazione e ground causate dalle rapide variazioni di assorbimento di corrente dei circuiti integrati.
- ☐ (d) ridurre le ondulazioni sulla corrente assorbita dai circuiti integrati causate dalle rapide variazioni della tensione di alimentazione e di ground.

La risposta corretta è: ridurre le ondulazioni su alimentazione e ground causate dalle rapide variazioni di assorbimento di corrente dei circuiti integrati.

### Domanda 20

Risposta errata

Punteggio ottenuto 0,0 su 1,0

Per misurare la relazione tra tensione d'uscita  $V_o$  e corrente assorbita  $I_o$  all'uscita di una porta logica allo stato basso (L) si può

---

- ☒ (a) collegare l'uscita alla tensione di ground tramite una resistenza variabile.
- ☐ (b) collegare l'uscita alla tensione di ground.
- ☐ (c) collegare l'uscita alla tensione di alimentazione tramite una resistenza variabile.
- ☐ (d) collegare l'uscita alla tensione di alimentazione.

La risposta corretta è: collegare l'uscita alla tensione di alimentazione tramite una resistenza variabile.

**Domanda 21**

Risposta errata

Punteggio ottenuto 0,0 su 1,0

A regime, la tensione sul condensatore dell'oscillatore realizzato con la porta HC14 in laboratorio

---

- ☐ (a) non può avere un andamento lineare.
- ☐ (b) ha una forma d'onda rettangolare.
- ☐ (c) può superare le soglie della porta HC14 con al massimo la  $\Delta V$  del circuito di protezione.
- ☒ (d) ha sempre tempi di salita e discesa uguali.

La risposta corretta è: non può avere un andamento lineare.

**Domanda 22**

Risposta corretta

Punteggio ottenuto 1,0 su 1,0

Il componente CD4029 usato per realizzare il contatore U/D di un AD ad è

---

- ☐ (a) asincrono a 8 bit
- ☐ (b) asincrono a 4 bit
- ☒ (c) sincrono a 4 bit
- ☐ (d) sincrono a 8 bit

La risposta corretta è: sincrono a 4 bit