

Domanda 1

Due porte logiche con stadio d'uscita open-drain hanno le uscite collegate insieme. Quando entrambe le porte producono uno zero logico in uscita, la tensione effettiva del nodo d'uscita sarà:

- ☐ (a) minore o uguale a V_{OL} .
- ☐ (b) compresa tra V_{OL} e V_{OH} .
- ☐ (c) indipendente dalla resistenza di pull-up.
- ☐ (d) maggiore o uguale a V_{OH} .

Le porte open-drain hanno solo il ramo NMOS. Per uno zero logico in uscita, anche soltanto il ramo NMOS di una porta sola garantisce una tensione inferiore a V_{OL} . Con il ramo NMOS della seconda porta in parallelo, la resistenza di uscita diminuisce e a maggior ragione la tensione di uscita sarà inferiore a V_{OL} .

Domanda 2

Una porta CMOS nor a 3 ingressi ha transistori MOS con resistenza $R_{ON} = 1000 \Omega$ e capacità di gate 1 fF. Se la porta ha come fanout altre tre porte nor dello stesso tipo, i ritardi di propagazione LH e HL della porta saranno (caso peggiore):

- ☐ (a) $t_{HL} = 12,4 \text{ ps}$, $t_{LH} = 4,1 \text{ ps}$
- ☐ (b) $t_{HL} = 4,1 \text{ ps}$, $t_{LH} = 12,4 \text{ ps}$
- ☐ (c) $t_{HL} = 6,2 \text{ ps}$, $t_{LH} = 2,1 \text{ ps}$
- ☐ (d) $t_{HL} = 16,6 \text{ ps}$, $t_{LH} = 16,6 \text{ ps}$

Le porte CMOS NOR hanno tre transistori PMOS in serie e tre transistori NMOS in parallelo. Il caso peggiore per la propagazione si verifica quando uno solo dei tre NMOS conduce. Lato PMOS devono condurre tutti e tre i transistori.

Il carico di altre tre porte significa 2 capacità di gate per ciascuna porta, per un totale di 6 capacità di gate.

Per il calcolo del ritardo utilizziamo un circuito RC in uscita, con R formata dalle R_{ON} dei transistori della porta che conducono in ciascun caso analizzato e C formato dalla somma delle capacità di gate degli ingressi delle porte pilotate.

La formula: $t_p = 0,69RC$

Quando conducono i PMOS (transizione L-H) si ha: $R = 3 R_{ON}$, $C = 6 C_G$ e $t_p = 0,69 \cdot 3R_{ON} \cdot 6C_G = 0,69 \cdot 3 \cdot 1000 \Omega \cdot 6 \cdot 1 \cdot 10^{-15} \text{ F} = 12,4 \text{ ps}$

Quando conduce un solo NMOS, come analizzato sopra, per transizione H-L si ha: $R = R_{ON}$, $C = 6 C_G$ e $t_p = 0,69 \cdot R_{ON} \cdot C_G = 0,69 \cdot 1000 \Omega \cdot 6 \cdot 1 \cdot 10^{-15} \text{ F} = 4,1 \text{ ps}$

Domanda 3

In una FPGA i cui blocchi logici contengono Look-up Table (LUT) a 4 ingressi

- ☐ (a) Ogni LUT può implementare 65536 funzioni logiche a 4 ingressi
- ☐ (b) Ogni LUT può implementare 16 funzioni logiche a 4 ingressi
- ☐ (c) Ogni LUT può implementare 4 funzioni logiche a 16 ingressi
- ☐ (d) Ogni LUT può implementare 4 funzioni logiche a 65536 ingressi

4 ingressi possono selezionare un massimo di $2^4 = 16$ celle di memoria. Ciascuna cella di memoria può contenere due valori, 0 e 1, quindi si possono configurare $2^{16} = 65536$ funzioni logiche distinte.

Domanda 4

Il tempo di conversione di un convertitore A/D Flash a N bit è:

- ☐ (a) proporzionale a N
- ☐ (b) proporzionale a 2^N
- ☐ (c) indipendente da N
- ☐ (d) proporzionale a $2^N - 1$

La conversione in un convertitore analogico-digitale di tipo flash si svolge confrontando tutti i livelli in parallelo, quindi è indipendente dal numero di bit in uscita.

Domanda 5

Per poter leggere in $123 \mu s$ un array di 1 MB da una memoria DRAM DDR4 con parallelismo 16 bit, la frequenza di clock del bus deve essere pari a

- ☐ (a) 2133 MHz
- ☐ (b) 4266 MHz
- ☐ (c) 1067 MHz
- ☐ (d) 2133 kHz

Una memoria DDR consente di trasferire una parola ad ogni fronte del clock del bus. In questo caso, sono trasferiti $2 \cdot 16$ bit per ogni periodo di clock.

Il numero totale di bit da trasferire è $2^{10} \cdot 2^{10} \cdot 8$ e richiederà $\frac{2^{23}}{2^5}$ periodi di clock del bus.

Quindi, si ha: $123 \mu s = 2^{18} \cdot T_{clk}$, ovvero $f_{clk} = \frac{2^{18}}{123 \mu s} \approx 2131 \text{ MHz}$

Domanda 6

Una linea di trasmissione presenta un'impedenza caratteristica di $100 \, \Omega$. Se l'induttanza unitaria e la capacità unitaria aumentano entrambe di un fattore 4, l'impedenza caratteristica diventa

- ☐ (a) $200 \, \Omega$
- ☐ (b) $100 \, \Omega$
- ☐ (c) $400 \, \Omega$
- ☐ (d) $1600 \, \Omega$

$$Z_{\infty} = \sqrt{\frac{L_U}{C_U}} = \sqrt{\frac{4L_U}{4C_U}} = 100 \, \Omega$$

Domanda 7

Un raddrizzatore a doppia semionda alimenta un carico che assorbe 1A in continua a partire da una tensione di rete alternata di tensione efficace 110V a 60 Hz. Per avere un ripple di 1 V picco-picco, occorre un condensatore di capacità

- ☐ (a) 166 mF
- ☐ (b) 16,6 mF
- ☐ (c) 83 mF
- ☐ (d) 8.3 mF

$$C = \frac{I \Delta t}{V_R} = \frac{1 \text{ A} \cdot \frac{1}{2} \cdot \frac{1}{60 \text{ Hz}}}{1 \text{ V}} = 8,3 \text{ mF}$$

Domanda 8

Quale è il numero minimo di flip-flop con cui si può realizzare un divisore di frequenza per 15 nel loop di un PLL?

- ☐ (a) 3
- ☐ (b) 16
- ☐ (c) 4
- ☐ (d) 15

Un numero N di flip-flop possono codificare al massimo 2^N stati.

Per codificare i 15 stati del divisore per 15 richiesto servono quindi $N = 4$ flip-flop.

Domanda 9

In un collegamento seriale asincrono

- ☐ (a) una trasmissione può iniziare solo a istanti predefiniti di tempo.
- ☐ (b) i bit trasmessi sono organizzati in pacchetti.
- ☐ (c) i clock del trasmettitore e del ricevitore non sono sincronizzati.
- ☐ (d) i bit trasmessi sono organizzati in caratteri.

Una trasmissione seriale asincrona, la trasmissione di un dato può essere avviata in qualsiasi momento, senza un previo accordo (scheduling, sincronizzazione) tra trasmettitore e ricevitore. La sincronizzazione tra i clock indipendenti del trasmettitore e del ricevitore avviene sulla prima transizione che inizia la trasmissione.

I dati trasmessi devono essere corti in quanto la sincronizzazione dei due clock, fatta solo all'inizio della trasmissione, non si può considerare stabile per lunghi periodi di tempo. Quindi i bit trasmessi sono organizzati in caratteri.

Domanda 10

Il circuito di sample-and-hold (S&H) di un convertitore analogico-digitale ha un jitter sul tempo di apertura $T_{JA} = 8 \text{ ns}$. Che errore di ampiezza di campionamento determina il jitter per un segnale di ingresso con ampiezza $A_S = 1 \text{ V}$ e frequenza $f_S = 10 \text{ kHz}$?

- ☐ (a) $126 \text{ } \mu\text{V}$
- ☐ (b) $251 \text{ } \mu\text{V}$
- ☐ (c) $63 \text{ } \mu\text{V}$
- ☐ (d) $503 \text{ } \mu\text{V}$

L'errore massimo di ampiezza è dato dalla massima variazione del segnale d'ingresso nel tempo di jitter dello S&H:

$$\Delta V_J = SR \cdot \Delta T_{JA} = 2\pi f_S A_S \Delta T_{JA} = 2 \cdot 3,14 \cdot 10 \cdot 10^3 \text{ Hz} \cdot 1 \text{ V} \cdot 8 \cdot 10^{-9} \text{ s} \approx 503 \text{ } \mu\text{V}$$

Domanda 11

A regime, la tensione sul condensatore dell'oscillatore realizzato con la porta HC14 in laboratorio

- ☐ (a) ha sempre tempi di salita e discesa uguali.
- ☐ (b) non può avere un andamento lineare.
- ☐ (c) può superare le soglie della porta HC14 con al massimo la ΔV del circuito di protezione.
- ☐ (d) ha una forma d'onda rettangolare.

La tensione sul condensatore dell'oscillatore realizzato con una porta logica con ingresso trigger di Schmitt ha un andamento di carica e scarica esponenziali. Varia tra le due soglie del trigger perché non appena raggiunge una soglia l'uscita della porta logica cambia, quindi il senso della corrente attraverso la resistenza cambia, quindi la corrente attraverso la capacità cambia e con lui il verso dell'esponenziale. I tempi di salita e discesa dipendono dalla posizione relativa delle soglie d'ingresso rispetto alla tensione di alimentazione, che non è simmetrica nel caso generale.

Domanda 12

Il contatore realizzato in laboratorio col circuito CD4040

- ☐ (a) ha il ritardo di commutazione del primo flip-flop (LSB) maggiore.
- ☐ (b) ha periodi di commutazione delle uscite proporzionali al numero dell'uscita.
- ☐ (c) è un contatore a 10 bit.
- ☐ (d) ha un circuito antirimbalo contro il rumore sul segnale di clock.

Il contatore realizzato con il circuito CD4040 è un contatore a 12 bit e, come tutti i contatori, ha periodi di commutazione delle uscite proporzionali alle potenze di 2. Non ha particolari accorgimenti sul circuito di clock, ma il primo FF riceve il clock con un ritardo aggiunto da qualche circuito interno, come si evince dalle forme d'onda nelle simulazioni e dalla tabella nelle dispense di laboratorio.

Domanda 13

Il convertitore digitale-analogico realizzato con il circuito CD4029

- ☐ (a) genera il valore analogico come corrente di uscita della rete di resistenze pesate.
- ☐ (b) all'uscita dell'amplificatore operazionale ha una tensione tra 0 V e fondo scala (+4 V).
- ☐ (c) genera il valore analogico come tensione di uscita della rete di resistenze pesate.
- ☐ (d) non può avere errori di non-linearità dovuti a errori della resistenza sull'uscita MSB.

Le resistenze pesate del convertitore generano una corrente in uscita proporzionale al valore analogico convertito. Questa corrente è convertita in tensione da un amplificatore di transresistenza invertente, quindi che ha una tensione di uscita negativa, col valore massimo 0 V. Errori su qualsiasi delle resistenze pesate del convertitore generano errori di non-linearità in uscita, compresa la resistenza dell'MSB.

Domanda 14

In un sistema di acquisizione a 4 canali i segnali di ingresso hanno banda da 0 a 25 kHz e dinamica da 0 a 1,25 V. Gli amplificatori di condizionamento adattano tale dinamica a quella del convertitore A/D che va da 0 V a 5 V. Il filtro antialiasing utilizza una cella con due poli. Rispondere alle seguenti domande.

1. Per ottenere un rapporto segnale-rumore di quantizzazione SNR_q di 60 dB, quanti bit sono necessari nel convertitore?

2. Per avere un rapporto segnale-rumore di aliasing SNR_a di 60 dB, qual è il fattore di sovracampionamento K richiesto (oltre alla frequenza minima di Nyquist) e qual è la frequenza di campionamento minima F_s usata nel circuito S&H? K = , F_s = MHz.

3. Per avere un rapporto segnale-rumore di jitter SNR_j di 60 dB, qual è il massimo jitter t_j ammissibile sul segnale di campionamento? t_j = ns.

4. Se l'amplificatore di condizionamento lasciasse passare i segnali di ingresso senza modificarne la dinamica, come cambierebbero i valori di SNR_q, SNR_a e SNR_j? nor

- ☐ Diminuirebbero tutti tranne SNR_q
- ☐ Diminuirebbero tutti tranne SNR_j
- ☐ Diminuirebbero tutti tranne SNR_a
- ☐ Non cambierebbero

1.

$$SNR_q = 6N + 1,76$$

quindi

$$60 \text{ dB} = 6N + 1,76 \Rightarrow N \approx 9,7 \text{ bit} \rightarrow 10 \text{ bit}$$

2.

$$SNR_a = N_p \cdot 20 \log \frac{f_s - f_b}{f_b} \Rightarrow 60 \text{ dB} = 2 \cdot 20 \log \frac{f_s - 25 \text{ kHz}}{25 \text{ kHz}} \Rightarrow f_s = 10^{1,5} \cdot 25 \text{ kHz} + 25 \text{ kHz}$$

Sovracampionamento:

$$K = \frac{f_s}{2 f_b} = \frac{10^{1,5} \cdot 25 \text{ kHz} + 25 \text{ kHz}}{2 \cdot 25 \text{ kHz}} = \frac{10^{1,5} + 1}{2} = 16,3$$

Per arrivare a campionare ognuno dei 4 canali con la frequenza f_s, la frequenza F_s dell'S&H è

$$4f_s = 4 \cdot (10^{1,5} \cdot 25 \text{ kHz} + 25 \text{ kHz}) \approx 3,26 \text{ MHz}$$

3.

$$SNR_j = -20 \log(\pi f_b t_j) \Rightarrow t_j = \frac{10^{\frac{SNR_j}{-20}}}{\pi f_b} = 12,7 \text{ ns}$$

4. Come si evince dalle formule sopra, SNR_a ed SNR_j non dipendono dal numero di bit utilizzati per rappresentare il segnale. Per compensare un errore nella formulazione dell'esercizio, sono state considerate corrette entrambe le risposte:

Diminuirebbero tutti tranne SNR_j

Diminuirebbero tutti tranne SNR_a

Domanda 16

Un inverter CMOS presenta le seguenti caratteristiche:

- Tensione di alimentazione $V_{dd} = 4.5 \text{ V}$;
- per $I_{OL} = 2 \text{ mA}$, V_{OL} compreso tra $0,17 \text{ V}$ e $0,26 \text{ V}$, per $I_{OH} = -2 \text{ mA}$, V_{OH} compreso tra $4,18 \text{ V}$ e $4,31 \text{ V}$.

L'inverter pilota una linea di trasmissione lunga 20 cm , con velocità di propagazione pari a $0,2c$ e impedenza caratteristica 100Ω . La linea è aperta all'estremo remoto, dove sono collocati dei ricevitori CMOS con $V_{IL} = 1,35 \text{ V}$ e $V_{IH} = 3,15 \text{ V}$. Al lato del trasmettitore non sono presenti ricevitori.

Rispondere alle seguenti domande:

1. Determinare l'induttanza unitaria L_U e la capacità unitaria C_U della linea:

$$L_U = \boxed{} \text{ nH/cm}, C_U = \boxed{} \text{ pF/cm}.$$

2. Determinare il tempo di trasmissione minimo T_{\min} e massimo T_{\max} per la transizione LH con margine di rumore $0,5 \text{ V}$:

$$T_{\min} = \boxed{} \text{ ns}, T_{\max} = \boxed{} \text{ ns}.$$

3. Determinare il tempo di trasmissione minimo T_{\min} e massimo T_{\max} per la transizione HL con margine di rumore $0,5 \text{ V}$:

$$T_{\min} = \boxed{} \text{ ns}, T_{\max} = \boxed{} \text{ ns}.$$

4. Ipotizzando che la linea sia usata in un protocollo asincrono con $T_{su} = 1 \text{ ns}$ e $T_h = 0,5 \text{ ns}$, determinare la durata del ciclo di scrittura:

$$T_{wr} = \boxed{} \text{ ns}.$$

$$\frac{0,17 \text{ V}}{2 \text{ mA}} \leq R_{OL} \leq \frac{0,26 \text{ V}}{2 \text{ mA}} \Rightarrow 85 \Omega \leq R_{OL} \leq 130 \Omega$$

$$\frac{V_{dd} - 4,31 \text{ V}}{2 \text{ mA}} \leq R_{OH} \leq \frac{V_{dd} - 4,18 \text{ V}}{2 \text{ mA}} \Rightarrow 95 \Omega \leq R_{OH} \leq 160 \Omega$$

$$t_p = \frac{l}{p} = \frac{0,2 \text{ m}}{0,2c} = 3,33 \text{ ns}$$

1.

$$Z_\infty = \sqrt{\frac{L_U}{C_U}}$$

$$p = \frac{1}{\sqrt{L_U C_U}}$$

$$Z_{\infty} p = \frac{1}{C_U} \Rightarrow C_U = \frac{1}{100 \, \Omega \cdot 0,2c} = 1,67 \, \text{pF/cm}$$

$$\frac{Z_{\infty}}{p} = L_U = \frac{100 \, \Omega}{0,2c} = 16,7 \, \text{nH/cm}$$

2.

$$V_B^{\max}(0) = V_{dd} \frac{Z_{\infty}}{R_{OH}^{\min} + Z_{\infty}} = 4,5 \, \text{V} \cdot \frac{100 \, \Omega}{95 \, \Omega + 100 \, \Omega} = 2,31 \, \text{V}$$

All'estremo remoto aperto abbiamo

$$\Gamma_T = \frac{R_T - Z_{\infty}}{R_T + Z_{\infty}} = 1$$

quindi il primo gradino alla terminazione è

$V_B^{\max}(0)(1 + \Gamma_T) = 2,31 \, \text{V} \cdot 2 = 4,62 \, \text{V} > V_{IH} + V_N = 3,15 \, \text{V} + 0,5 \, \text{V} = 3,55 \, \text{V}$
supera la soglia, quindi

$$T_{\min} = t_p = 3,33 \, \text{ns}$$

$$V_B^{\min}(0) = V_{dd} \frac{Z_{\infty}}{R_{OH}^{\max} + Z_{\infty}} = 4,5 \, \text{V} \cdot \frac{100 \, \Omega}{160 \, \Omega + 100 \, \Omega} = 1,73 \, \text{V}$$

quindi il primo gradino alla terminazione è

$$V_B^{\min}(0)(1 + \Gamma_T) = 1,73 \, \text{V} \cdot 2 = 3,46 \, \text{V} < V_{IH} + V_N = 3,15 \, \text{V} + 0,5 \, \text{V} = 3,55 \, \text{V}$$

Non supera la soglia d'ingresso più il margine di rumore e bisogna calcolare l'ampiezza del secondo gradino, che arriva dopo la prima riflessione al lato driver

$$V_B^{\min}(0)(1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G)$$

dove

$$\Gamma_G = \frac{R_{OH}^{\max} - Z_{\infty}}{R_{OH}^{\max} + Z_{\infty}} = \frac{160 \, \Omega - 100 \, \Omega}{160 \, \Omega + 100 \, \Omega} = 0,23$$

quindi l'ampiezza del secondo gradino diventa

$$1,73 \, \text{V}(1 + 1 + 1 \cdot 0,23 + 1^2 \cdot 0,23) = 4,26 \, \text{V} > 3,55 \, \text{V}$$

e supera la soglia. Quindi, il tempo di propagazione massimo diventa

$$T_{\max} = 3t_p = 10 \, \text{ns}$$

3.

$$V_B^{\max}(0) = -V_{dd} \frac{Z_{\infty}}{R_{OL}^{\min} + Z_{\infty}} = -4,5 \, \text{V} \frac{100 \, \Omega}{85 \, \Omega + 100 \, \Omega} = -2,43 \, \text{V}$$

All'estremo remoto aperto abbiamo il primo gradino

$$V_{\text{dd}} + V_{\text{B}}^{\text{max}}(0)(1 + \Gamma_{\text{T}}) = 4,5 \text{ V} - 2,43 \text{ V} \cdot 2 = -0,36 \text{ V} < V_{\text{IL}} - V_{\text{N}} = 1,35 \text{ V} - 0,5 \text{ V} = 0,85 \text{ V}$$

che supera la soglia, quindi

$$T_{\text{min}} = t_{\text{p}} = 3,33 \text{ ns}$$

$$V_{\text{B}}^{\text{min}}(0) = -V_{\text{dd}} \frac{Z_{\infty}}{R_{\text{OL}}^{\text{max}} + Z_{\infty}} = -4,5 \text{ V} \cdot \frac{100 \Omega}{130 \Omega + 100 \Omega} = -1,96 \text{ V}$$

quindi il primo gradino alla terminazione è

$$V_{\text{dd}} + V_{\text{B}}^{\text{min}}(0)(1 + \Gamma_{\text{T}}) = 4,5 \text{ V} - 1,96 \text{ V} \cdot 2 = 0,59 \text{ V} < V_{\text{IL}} - V_{\text{N}} = 1,35 \text{ V} - 0,5 \text{ V} = 0,85 \text{ V}$$

Supera la soglia, quindi

$$T_{\text{max}} = t_{\text{p}} = 3,33 \text{ ns}$$

4.

$$T_{\text{SU}} + T_{\text{H}} + T_{\text{K}} + 4T_{\text{max}} = 1 \text{ ns} + 0,5 \text{ ns} + (10 \text{ ns} - 3,33 \text{ ns}) + 4 \cdot 10 \text{ ns}$$

Domanda 18

Configurate il circuito in figura 1 per realizzare un contatore sincrono a quattro bit con le uscite:

- W con peso 2^0 (il bit meno significativo)
- X con peso 2^1
- Y con peso 2^2
- Z con peso 2^3 (il bit più significativo).

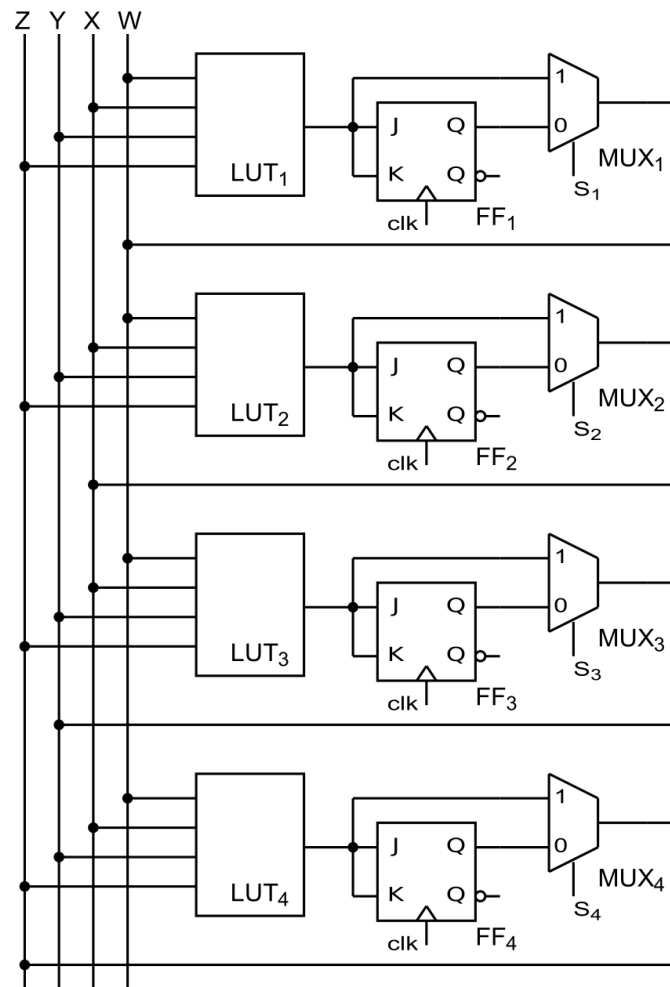


Figura 1.

1. Definite le funzioni logiche che deve realizzare ciascuna delle LUT

- $LUT_1 =$
- $LUT_2 =$
- $LUT_3 =$
- $LUT_4 =$

Nelle espressioni delle funzioni potete usare:

- i nomi delle uscite (W, X, Y, Z)
- costanti (0 e 1)

- complemento logico indicato con un asterisco (*) inserito subito dopo il nome del segnale negato oppure subito dopo la parentesi chiusa che racchiude l'espressione negata
- "OR" oppure "+" per indicare l'operazione logica OR
- "AND" oppure nulla (concatenazione) per indicare l'operazione logica AND.

2. Definite il valore logico che deve essere impostato sull'ingresso di selezione di ciascuno dei MUX:

◦ $S_1 =$

◦ $S_2 =$

◦ $S_3 =$

◦ $S_4 =$

3. Quante celle di memoria utilizza una LUT come quelle nel circuito in figura 1?

☐ 256

☐ 16

☐ 4

☐ 65536

1. Per realizzare un contatore sincrono:

- FF_1 deve commutare su ogni fronte di salita del segnale di clock, quindi entrambi i suoi ingressi JK devono essere collegati a 1 logico. Quindi, LUT_1 deve realizzare la funzione $LUT_1 = 1$.
- FF_2 deve commutare ogni due fronti di salita del segnale di clock, quindi solo quando l'uscita W del FF_1 è a 1. Quindi, LUT_2 deve realizzare la funzione logica $LUT_2 = W$
- FF_3 deve commutare ogni quattro fronti di salita del segnale di clock, quindi solo quando FF_1 ed FF_2 hanno entrambi le uscite a 1 logico. Quindi, LUT_3 deve realizzare la funzione logica $LUT_3 = WX$.
- FF_4 deve commutare ogni otto fronti di salita del segnale di clock, quindi solo quando FF_1 , FF_2 ed FF_3 hanno tutti e tre le uscite a 1 logico. Quindi, LUT_4 deve realizzare la funzione logica $LUT_4 = WXY$.

2. Per un contatore sincrono a quattro bit dobbiamo usare tutti e quattro i flip-flop, quindi i multiplexer devono fare passare l'uscita dei FF, cioè l'ingresso 0.

3. Una LUT con 4 ingressi può indirizzare $2^4 = 16$ celle di memoria.

Domanda 20

Per la memoria in figura 1 si richiede:

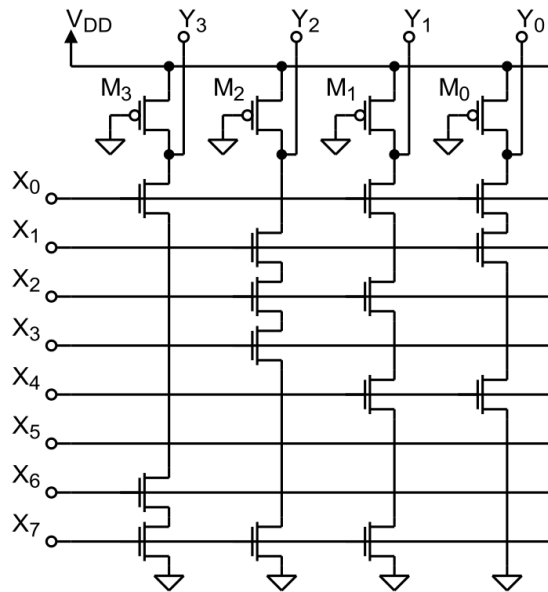


Figura 1.

1. Il tipo della memoria:

- ☐ FLASH
 ☐ EEPROM
 ☐ ROM NAND
 ☐ ROM NOR

2. Cosa rappresentano i segnali Y_0 – Y_3 :

- ☐ Preload lines
 ☐ Word lines
 ☐ Bit lines
 ☐ Address lines

3. Cosa rappresentano i segnali X_0 – X_7 :

- ☐ Bit lines
 ☐ Address lines
 ☐ Word lines
 ☐ Preload lines

4. La funzione dei transistori M_0 – M_3 :

- ☐ Precarica
 ☐ Per lettura differenziale
 ☐ Pull-down
 ☐ Pull-up

5. Quante parole sono programmate nella memoria:

- ☐ 4
 ☐ 8
 ☐ 32
 ☐ 7

6. Quanti bits sono memorizzati nella memoria:

- ☐ 18
 ☐ 32
 ☐ 8
 ☐ 14

7. Quale è il valore binario memorizzato all'indirizzo 5 nella memoria (il primo indirizzo è 0):

8. Con che livello di tensione si seleziona una word line nella memoria:

- ☐ livello
 ☐ differenziale, livello alto
 ☐ differenziale, livello alto
 ☐ livello

basso

sugli ingressi Y

sugli ingressi X

alto

9. Quante linee di indirizzo servono per accedere a tutte le parole della memoria:

☐ 3

☐ 32

☐ 4

☐ 8

10. Calcolate la resistenza massima di uscita dei drivers delle word lines $R_O =$ Ω che

assicura il raggiungimento della tensione di soglia dei transistori MOS della memoria $V_{TH} = 0,2 \text{ V}$ in un tempo massimo $t_R = 0,2 \text{ ps}$ durante una transizione della word line dallo stato inattivo (deselezionata) verso lo stato attivo (selezionata). Altri dati: tensione di alimentazione $V_{DD} = 1,5 \text{ V}$, capacità di gate di ciascun transistor MOS $C_G = 0,2 \text{ fF}$ e resistenza word line $R = 30 \Omega$. Utilizzate un modello a parametri RC concentrati per il calcolo.

1. È una ROM di tipo NAND.
2. I segnali Y_0 – Y_3 sono le bitlines.
3. I segnali X_0 – X_7 sono le wordlines.
4. I transistori M_0 – M_3 sono delle resistenze di pull-up.
5. La memoria ha 8 parole, quante le wordlines.
6. Ciascuna parola ha 4 bit, quindi la memoria contiene $8 \cdot 4 = 32$ bit.
7. All'indirizzo 5, attivato dalla wordline X_5 , è memorizzata la parola 0000.
8. Una wordline diventa attiva quando blocca i transistor NMOS collegati ad essa, con un livello logico basso sui gates.
9. 3 linee di indirizzo possono attivare tutte e 8 le wordlines dopo il decoder di indirizzi.
10. Perché diventi attiva, una wordline deve abbassare il suo livello di tensione da V_{DD} fino al livello di soglia dei transistori NMOS collegati ad essa, oppure inferiore. Modellando l'uscita del driver, la wordline e i gates come una cella RC a parametri concentrati abbiamo:

$$V_w(t) = V_{DD} e^{-\frac{t}{RC}}$$

con $R = R_{OUT} + R_{WL}$ e $C = 4C_G$. Dobbiamo ottenere R_{OUT} conoscendo che a $t = t_R$: abbiamo $V_W = V_{TH}$:

$$R = \frac{t_R}{4C_G \ln \frac{V_{DD}}{V_{TH}}} = \frac{0,2 \cdot 10^{-12} \text{ s}}{4 \cdot 0,2 \cdot 10^{-15} \text{ F} \cdot \ln \frac{1,5 \text{ V}}{0,2 \text{ V}}} = 124 \Omega$$

quindi

$$R_{OUT} = R - R_{WL} = 124 \Omega - 30 \Omega = 94 \Omega$$