

Cognome
Nome
Matricola

COMPITO "B"

Aula **Per Elettronica Applicata e Misure: Scritto sostenuto e valutato
sufficiente nell'appello**

Parte E-A – Elettronica - Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

	Quesiti 1-6 per tutti						Quesiti 7-10 solo per Eln. Appl. AA17-18			
Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a		X			X					
Risposta b			X							
Risposta c	X					X			X	
Risposta d				X			X	X		X
Punteggio totale										

Quesito A.1

Un latch sensibile al livello alto ha il comando LE (latch enable) = 0; in questa condizione:

- a) l'uscita rimane sempre a 0
b) l'uscita cambia stato seguendo l'ingresso
c) **l'uscita non cambia anche se l'ingresso varia**
d) l'uscita rimane sempre a 1

Quesito A.2

Nel generatore di onda quadra realizzato con un inverter di tipo trigger di Schmitt, la tensione di uscita dell'inverter ha andamento

- a) **a onda quadra**
b) esponenziale
c) a impulsi
d) lineare

Quesito A.3

In un D/A a resistenze pesate tutte le resistenze pesate sono affette da un errore del -2%. L'effetto sulla caratteristica del D/A è:

- a) un errore di monotonicità
b) **un errore di guadagno**
c) un errore di non linearità
d) un errore di offset

Quesito A.4

Quale delle seguenti condizioni comporta un NON CORRETTO interfacciamento tra porte logiche?

- a) $V_I < V_{IL}$
b) $V_I > V_{IH}$
c) $I_O < |I_{OL}|$
d) **$I_O > |I_{OH}|$**

Quesito A.5

Il rendimento (rapporto potenza uscita/potenza ingresso) di un regolatore serie lineare con ingresso V_i e uscita V_o è approssimativamente

- a) **V_o/V_i**
b) 0,5
c) V_i/V_o
d) $V_o/(V_i+V_o)$

Quesito A.6

Il coefficiente di riflessione di una terminazione aperta vale:

- a) 0
b) 0.5
c) **+1**
d) -1

QUESITI RISERVATI A ELETTRONICA APPLICATA AA 17-18

Quesito A.7

Se la tensione di alimentazione in un circuito CMOS raddoppia, la potenza dinamica:

- a) non varia b) si dimezza c) raddoppia d) **quadruplica**

Quesito A.8

Una cella di memoria SRAM è composta da

- a) un transistor NMOS e uno PMOS b) un transistor a gate flottante
c) un transistor MOS e un condensatore d) **sei transistori MOS**

Quesito A.9

Una Look-Up Table (LUT) a 4 ingressi di una FPGA contiene

- a) 8 celle di memoria DRAM b) 3 transistor con soglia programmabile
c) **16 celle di memoria SRAM** d) 8 celle di memoria SRAM

Quesito A.10

In una memoria flash NAND, le unità elementari di cancellazione e programmazione sono

- a) pagina (cancellazione di più blocchi) e byte (scrittura)
b) blocco (cancellazione di più pagine) e byte (scrittura)
c) byte (cancellazione) e pagina (scrittura di più byte)
d) **blocco (cancellazione di più pagine) e pagina (scrittura)**

Parte E-B – Elettronica, Esercizio B.1

Un gruppo di 4 segnali analogici presenta (per ciascun canale) livelli da -1V a +1V, frequenza massima dei singoli canali $F_{\max,1} = 3 \text{ kHz}$, $F_{\max,2} = 2,5 \text{ kHz}$, $F_{\max,3} = 1 \text{ kHz}$, $F_{\max,4} = 2 \text{ kHz}$. Il convertitore A/D è un circuito a inseguimento con dinamica di ingresso da 0 a +10 V. La frequenza di campionamento complessiva F_s è pari a 2,5 volte quella minima.

- a) Tracciare lo schema a blocchi del sistema di conversione, utilizzando un singolo S/H e sfruttando al meglio le caratteristiche dell'A/D. Indicare le specifiche dell'amplificatore di condizionamento e uno schema dell'amplificatore realizzato con un amplificatore operazionale, indicando i valori delle resistenze. Si assuma di avere una tensione di riferimento $V_{\text{REF}} = +10\text{V}$.

Amplificatore di condizionamento: amplificazione $A_v = 5$, offset +5V.

Circuito: sommatore non invertente

$$V_o = R_4 / (R_4 + R_3) (1 + R_2 / R_1) * V_{\text{ref}} + R_3 / (R_3 + R_4) (1 + R_2 / R_1) * V_i$$

$$R_4 / (R_4 + R_3) (1 + R_2 / R_1) = 1/2 \quad R_3 / (R_3 + R_4) (1 + R_2 / R_1) = 5$$

- b) Tracciare lo schema del convertitore A/D a inseguimento. Nell'ipotesi che il tempo di conversione massimo dell'A/D sia $8,5 \mu\text{s}$, specificare il massimo numero di bit per una frequenza di clock del convertitore pari a 125 MHz.

Assumendo che il convertitore lavori nella condizione di overload:

$$T_c = 2^N * T_{\text{ck}} = 8.5 \mu\text{s} \Rightarrow N = \log(8.5 * 125) / \log(2) = 10$$

Parte E-B – Elettronica, Esercizio B.2

Un driver alimentato a 3,3 V ($V_{oh}=3,3V$, $V_{ol}=0V$) pilota una connessione con $Z_{\infty} = 50 \Omega$, velocità di propagazione $U = 0,7$ C, lunghezza 20 cm, aperta all'estremo remoto. I ricevitori sono circuiti CMOS con $V_{il} = 1V$, $V_{ih} = 2$ V. Tutte le domande si riferiscono alla transizione L-H.

a) Per un ricevitore all'inizio della linea con $R_o = 80 \Omega$, indicare se la commutazione dei ricevitori si verifica su onda riflessa o su onda incidente.

Per aver la commutazione su onda riflessa: $2 \cdot Z_{\infty} / (Z_{\infty} + R_o) \cdot V_{dd} > V_{ih}$

Per non avere la commutazione su onda incidente: $Z_{\infty} / (Z_{\infty} + R_o) \cdot V_{dd} < V_{ih}$

$30\Omega < R_o < 110 \Omega \Rightarrow$ **onda riflessa**; disegnare il diagramma a traliccio va anche bene.

b) Per $R_o = 80 \Omega$, determinare i tempi di trasmissione e lo skew per un ricevitore collocato all'inizio della linea e per uno collocato alla fine della linea.

$T_p = 0.95ns$

Primo gradino: $V_B(0) = 1V > V_{il} \Rightarrow$

Per il ricevitore ad inizio linea:

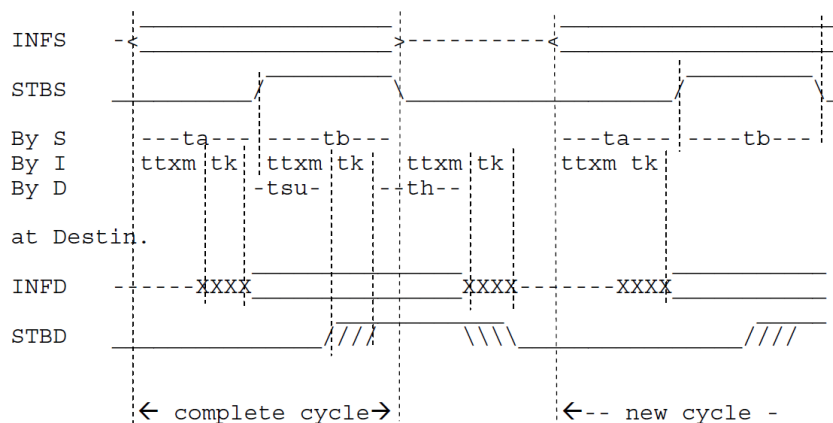
$T_{txmin} = 0$ ns in quanto primo gradino $> V_{il}$

$T_{txmax} = 2t_p$ in quanto necessita onda riflessa per avere $> V_{ih}$

$T_k = 2t_p = 1.90ns$

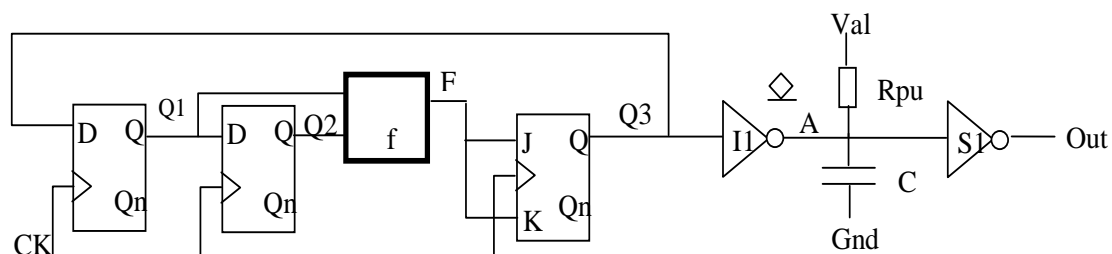
c) Questa connessione viene usata su un bus parallelo con protocollo sincrono. I registri (basati su flip-flop) del ricevitore hanno tempo di set-up $T_{su} = 4$ ns e tempo di hold $T_h = 1$ ns. Tracciare i segnali STB, e DATA alla sorgente e alla destinazione per un ciclo di scrittura, e determinare la durata minima del ciclo (circuiti logici con ritardi nulli tra ingresso e uscita).

At Source



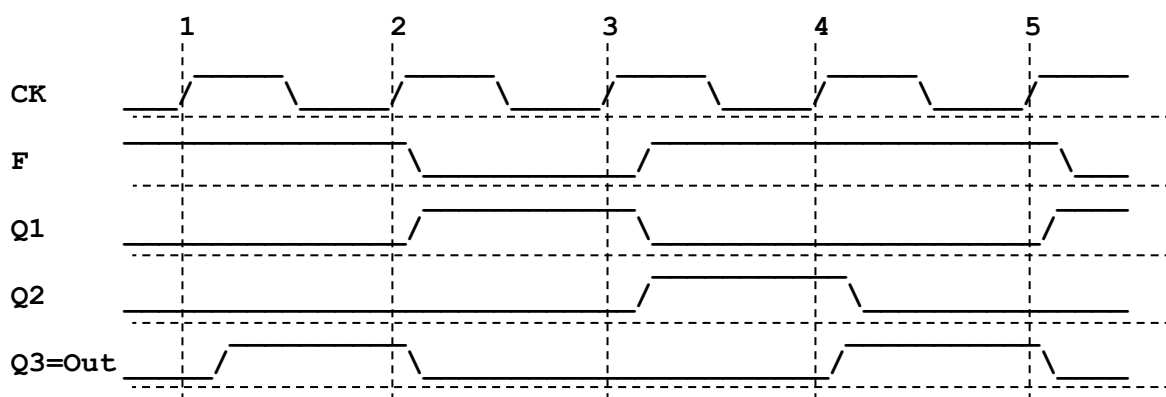
Durata ciclo = $2t_k + t_{su} + t_h = 2 \cdot 1.90 + 4 + 1 = 8.8ns$

Parte E-B – Elettronica, Esercizio B.3



Si consideri lo schema in figura dove i FF hanno le uscite Q inizializzate a 0. Nell'ipotesi che sia $F = \text{not}(Q1 * \text{not}(Q2))$;

- a) rappresentare le forme d'onda **senza ritardi** ai nodi Q1, Q2, F, Q3, e F per i primi 5 cicli di clock;



- b) Nell'ipotesi che il periodo di CK sia 100 ns, calcolare la potenza dinamica media spesa per caricare completamente a Val il condensatore C di capacità 15pF, sapendo che Val=5V (considerare solo la potenza spesa per il condensatore, e null'altro).

Per caricare il condensatore allo stato alto:

$$P_d = C \cdot f \cdot V_{al}^2 = 3.75 \text{ mW}$$

Siccome Q3 cambia una volta ogni 3 cicli di clock, questa potenza andrebbe divisa per 3, ma consideriamo corretti sia 3.75mW sia 1.25mW.

- c) Qual è la massima frequenza operativa del circuito supponendo che i ritardi siano:

- 1) FF di tipo D: $T_{ck \rightarrow Q} = 6 \text{ ns}$ (sia HL sia LH), $T_{su} = 3 \text{ ns}$;
- 2) FF JK: $T_{ck \rightarrow Q} = 4 \text{ ns}$ (sia HL sia LH), $T_{su} = 2 \text{ ns}$;
- 3) logica combinatoria f: $T_{LHf} = 6 \text{ ns}$, $T_{HLf} = 7 \text{ ns}$

Il caso peggiore è per il FF JK per cui

$$T_{ck \rightarrow QD} + T_{HLf} + T_{suJK} = 6 + 7 + 2 = 15 \text{ ns} \quad f_{ckmax} = 66.6 \text{ MHz}$$

ESERCIZIO RISERVATO A ELETTRONICA APPLICATA AA 17-18

Parte E-B – Elettronica, Esercizio B.4

Si consideri una memoria DRAM con 8 bit di indirizzo (utilizzati tutti per la decodifica di riga) e word da 8 bit. Sapendo che i pass-transistor hanno capacità parassita di drain $C_d=0,15\text{fF}$ e tensione di soglia $V_{th}=0,1\text{V}$ e si utilizza tensione di alimentazione $V_{dd}=1\text{V}$, rispondere alle domande seguenti.

- a) Calcolare il numero di bitline, il numero di pass-transistor connessi ad una singola bit line ed il numero totale di pass-transistor della memoria.

Numero bitline: 8

Numero di righe: $2^8=256 \Rightarrow$ 256 pass transistor connessi ad ogni bit line

Numero totale di pass-transistor: $256 \cdot 8=2048$

- b) Calcolare la minima capacità di *storage* C_s per poter utilizzare un sense amplifier in grado di leggere variazioni di tensione superiori a 70mV.

La capacità parassita di ogni bitline è $C_{BL}=2^8 \cdot 0.15\text{fF}=38.4\text{fF}$

La variazione di tensione sulla bitline durante la lettura deve essere maggiore di 70mV \Rightarrow

$$\Delta V_{bl} = C_s / (C_s + C_{bl}) \cdot (V_{dd} - V_{th} - V_{dd}/2) > 70\text{mV} \Rightarrow C_s \geq 8.14\text{fF}$$

- c) Ripetere il punto (b) supponendo che gli 8 bit di indirizzo siano ora così suddivisi: 5 bit per la decodifica di riga e 3 bit per la decodifica di colonna.

In questo caso il numero di celle connesse ad una stessa BL si riduce a $2^5=32$ celle.

$$C_{bl}=32 \cdot 0.15\text{fF}=4.8\text{fF}$$

da cui: $C_{smin}=1.02\text{fF}$.