

COMPITO “B”

Aula

Parte E-A – Elettronica - Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga “Punteggio totale”)

[illegible]

Quesito A.1

Lo stato di memoria in un flip-flop Set Reset con porte NAND si ha con gli ingressi S e R pari a

- a) $S = 1, R = 1$**

Quesito A.2

Nel generatore di onda quadra realizzato con un inverter di tipo trigger di Schmitt, la tensione all'uscita dell'inverter ha andamento

- a) esponenziale

Quesito A.3

In un sistema di conversione A/D, riducendo di un bit il rapporto segnale rumore di quantizzazione:

- a) diminuisce di 6 dB**

Quesito A.4

Un convertitore FLASH a 6 bit richiede

- a) 63 comparatori**

Quesito A.5

Il rendimento (rapporto potenza uscita/potenza ingresso) di un regolatore serie lineare con ingresso V_i e uscita V_o è approssimativamente

- a) 0,5

Quesito A.6

Un gradino di tensione di 2 V si propaga lungo una linea di trasmissione. Subito dopo che il gradino raggiunge una terminazione adattata, la tensione sulla terminazione sarà

- a) 1 V

QUESITI RISERVATI A ELETTRONICA APPLICATA AA 17-18

Quesito A.7

Quattro tecnologie di circuiti digitali determinano diversi ritardi di propagazione T e potenza dissipata P in un chip di prova. Indicare quale delle quattro è svantaggiosa rispetto alle altre tre:

- a) $T = 0,5 \text{ ns}$, $P = 4 \text{ W}$
- c) $T = 1 \text{ ns}$, $P = 2 \text{ W}$

- b) $T = 1,5 \text{ ns}$, $P = 2,5 \text{ W}$**
- d) $T = 2 \text{ ns}$, $P = 0,5 \text{ W}$

Quesito A.8

I 9 inverter di un oscillatore ad anello hanno ritardi $t_{\text{pdLH}} = 0,2 \text{ ns}$ e $t_{\text{pdHL}} = 0,3 \text{ ns}$. L'oscillatore genera un'onda quadra di periodo

- a) $0,5 \text{ ns}$
- c) $2,25 \text{ ns}$

- b) $4,5 \text{ ns}$**
- d) 9 ns

Quesito A.9

Il blocco logico tipico di una FPGA contiene

- a) interruttori programmabili
- c) porte AND/OR e flip-flop

- b) Look-up Table e flip-flop**
- d) Look-Up Table e porte AND/OR

Quesito A.10

La velocità massima di un modulo di memoria DRAM DDR3 a 16 bit con bus clock a 1000 MHz è

- a) 16 Gbit/s

- b) 32 Gbit/s**

- c) 16 Mbit/s

- d) 32 Mbit/s

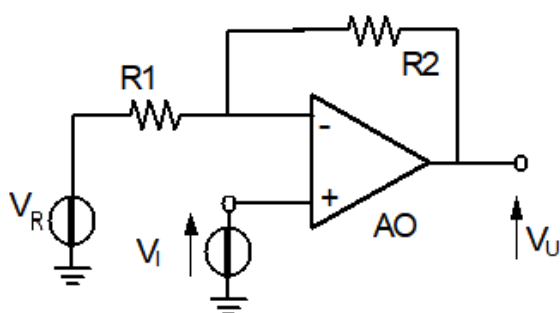
Parte E-B – Elettronica, Esercizio B.1

Un gruppo di 4 segnali analogici sinusoidali presenta (per ciascun canale) livelli da -2V a +2V. Il sistema di conversione impiega filtri antialiasing a 5 poli, un singolo S/H con tempo di acquisizione di 5 μ s e un convertitore A/D a inseguimento a 9 bit con dinamica di ingresso da 0 a +10 V e tempo di conversione 5 μ s. La frequenza di campionamento complessiva F_s è pari a $K=2,5$ volte quella minima.

- a) Tracciare lo schema a blocchi del sistema di conversione. Indicare le specifiche dell'amplificatore di condizionamento e uno schema dell'amplificatore realizzato con un amplificatore operazionale.

Schema solito, con 4 canali.

Amplificatore condizionamento: $V_{out} = 2,5 * V_{in} + 5V$



- b) Determinare la massima frequenza dei segnali in ingresso. Calcolare inoltre il rapporto segnale rumore di quantizzazione e quello di aliasing.

Frequenza massima campionamento del SH+AD f_{max} : $f_{max}=1/(5+5)\mu s=100kHz$

Frequenza massima in ingresso f_i con sovracampionamento

$K=4$: $2*f_i*K \leq 100kHz \Rightarrow f_i \leq 5kHz$

$SNR_q=6*N+1.76dB$ con $N=9 \Rightarrow SNR_q=55.76 dB$

Errore di aliasing: ogni segnale e' campionato a $f_s=25kHz$ e ci sono $p=5$ poli

$SNR_a=p*20\log_{10}(f_i/(f_s-f_i))=60dB$

Parte E-B – Elettronica, Esercizio B.2

Un driver alimentato a 3,3 V ($V_{oh}=3.3V$, $V_{ol}=0V$) con $R_o=100\ \Omega$ pilota una connessione con $Z_\infty = 80\ \Omega$, velocità di propagazione $U = 0,7\ C$, lunghezza 20 cm. I ricevitori sono circuiti CMOS con $V_{il} = 1V$, $V_{ih} = 2,2\ V$. Tutte le domande si riferiscono alla transizione L-H.

a) Determinare il minimo coefficiente di riflessione all'estremo remoto e la corrispondente resistenza di terminazione per garantire commutazione su onda riflessa per i ricevitori ovunque collocati.

Per avere commutazione su onda riflessa occorre:

$$3,3 \cdot 80 / (80 + 100) \cdot (1 + \Gamma_T) > 2,2V$$

Il coeff. di riflessione alla terminazione Γ_T deve essere almeno 0,5

La resistenza di terminazione deve dare $\Gamma_T = (R_t - Z_\infty) / (R_t + Z_\infty) = 0,5$

$$R_t \geq 240\ \text{ohm}$$

b) Con terminazione aperta all'estremo remoto, determinare la tensione finale sulla linea (dopo il transitorio), i tempi di trasmissione e lo skew per un ricevitore collocato all'inizio della linea e per uno collocato alla fine della linea.

$$t_p = 0.93\ \text{ns}$$

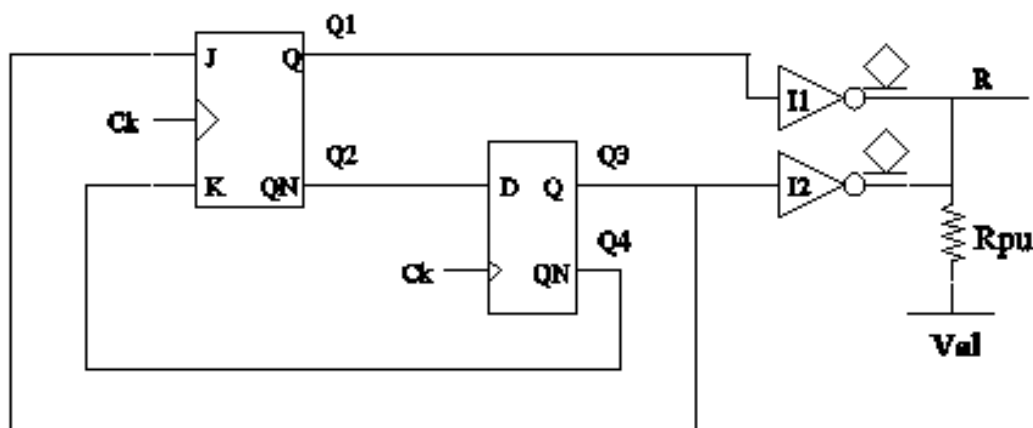
Per ricevitore ad inizio linea:

$$T_{tx_min} = 0; \quad T_{tx_max} = 2 \cdot t_p \quad t_k = 2 \cdot t_p$$

Per ricevitore a fine linea:

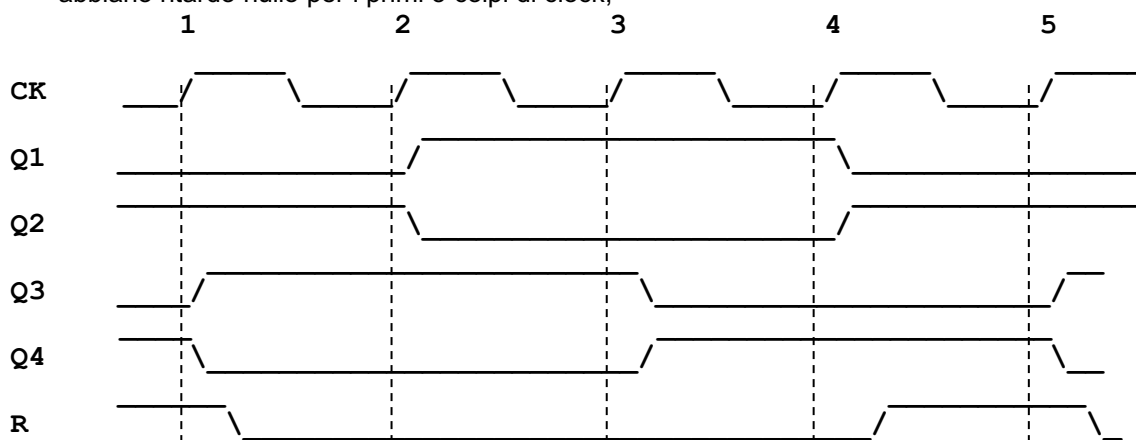
$$T_{tx_min} = T_{tx_max} = t_p \quad t_k = 0$$

Parte E-B – Elettronica, Esercizio B.3



Nello schema di figura i FF hanno le uscite Q inizializzate a 0; I1 e I2 sono inverter open collector.

- a) Rappresentare le forme d'onda ai nodi Q1, Q2, Q3, Q4 e R nell'ipotesi che tutti i componenti abbiano ritardo nullo per i primi 5 colpi di clock;



- b) Nell'ipotesi che si abbiano le seguenti tempistiche (periodo di CK 20 ns):
per i FF di tipo D: $T_{ck \rightarrow Q} = 4$ ns (per entrambe le transizioni), $T_{su} = 2$ ns;
per i FF JK: $T_{ck \rightarrow Q} = 7$ ns (per entrambe le transizioni), $T_{su} = 3$ ns, $T_h = 1$ ns;
per gli inverter I1 e I2: $T_{LHinv} = 1$ ns, $T_{HLinv} = 2$ ns
indicare se ci sono violazioni dei tempi di setup e hold e quale è la massima frequenza di clock.

I tempi di set-up non sono violati con T_{CK} a 20 ns
Anche i tempi di hold non sono violati poiché' $T_h < T_{ck \rightarrow Q}$

Il caso peggiore è:

$$T_{CKmin} = (T_{ck \rightarrow Q, JK} + T_{SU, FFD}) = 11 \text{ ns} \quad f_{CK, max} = 90 \text{ MHz}$$

ESERCIZIO RISERVATO A ELETTRONICA APPLICATA AA 17-18

Parte E-B – Elettronica, Esercizio B.4

Si consideri una memoria SRAM con 8 bit di indirizzo (utilizzati tutti per la decodifica di riga) e word da 16 bit. Sapendo che i pass-transistor delle celle SRAM hanno di gate $C_g=0,3\text{fF}$ e la tensione di alimentazione vale $V_{dd}=1\text{V}$, rispondere alle domande seguenti.

- a) Calcolare il numero di bitline e il numero totale di transistor della memoria.

Numero bitline=32

Numero tot celle memoria: $(2^8) \times 16 = 4096$

Ogni cella ha 6 transistor, quindi numero tot transistor : 24576

- b) Sapendo che il decoder pilota le wordline con una resistenza di uscita $R_o=80\ \Omega$ calcolare il ritardo di propagazione sulla wordline.

$C_{wl}=(2 \cdot C_g) \cdot 16=9,6\text{fF}$ ritardo $t_d=0,69 \cdot R_o \cdot C_{wl}=0,53\ \text{ps}$