

Cognome
Nome
Matricola

COMPITO "A"

Aula Laboratorio frequentato nell'anno accademico

Parte A – Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a										
Risposta b										
Risposta c										
Risposta d										
Punteggio totale										

Quesito A.1

In un flip-flop negative edge-triggered con reset (RST) asincrono attivo basso, se $RST = 0$:

- a) l'uscita va a 0 se l'ingresso D è a 0
b) l'uscita va a 0 se CK passa da 1 a 0
c) l'uscita va a 0 se CK passa da 0 a 1
d) **l'uscita rimane sempre a 0**

Quesito A.2

Nell'oscillatore a trigger di Schmitt, l'ampiezza picco-picco della tensione sul condensatore

- a) è pari alla tensione di alimentazione
b) **è pari alla distanza tra le due tensioni di soglia della porta a trigger di Schmitt**
c) è pari alla soglia più grande della porta a trigger di Schmitt
d) è pari alla soglia più piccola della porta a trigger di Schmitt

Quesito A.3

Se tutte le resistenze di un convertitore D/A realizzato con rete a scala R-2R sono più piccole del 5% rispetto al valore nominale, la caratteristica di conversione presenta

- a) un errore di offset
b) **un errore di guadagno**
c) una nonlinearità differenziale
d) una nonlinearità integrale

Quesito A.4

Un driver con resistenza di uscita $R_o = Z_\infty$ pilota a livello alto una linea con impedenza caratteristica Z_∞ con terminazione *aperta* e tempo di propagazione t_p . Il transitorio si esaurisce sull'intera linea:

- a) dopo t_p
b) a tempo infinito
c) **dopo $2 t_p$**
d) dopo $3 t_p$

Quesito A.5

In un raddrizzatore a doppia semionda, rispetto a quello a singola semionda:

- a) la tensione di uscita di ripple raddoppia
b) la tensione di uscita in continua si dimezza
c) la tensione di uscita in continua raddoppia
d) **la tensione di uscita di ripple si dimezza**

Quesito A.6

Il rendimento di un regolatore lineare è circa:

- a) V_{out}/V_{in} b) 1 c) V_{in}/V_{out} d) $(V_{in}/V_{out})^2$

Quesito A.7

Una porta logica CMOS pilota un carico di capacità C. Raddoppiando la capacità (2C), il ritardo di propagazione cambia come:

- a) 2 b) 1/2 c) 1/4 d) 4

Quesito A.8

Una cella di memoria SRAM comprende:

- a) Un floating gate MOS b) Un MOS e una capacità
c) 6 MOS d) un NMOS, un PMOS e due capacità

Quesito A.9

Se i costi non ricorrenti NRE per fabbricare un circuito integrato raddoppiano, per mantenere il costo per prodotto costante occorre *in generale*:

- a) dimezzare il salario degli ingegneri b) raddoppiare il prezzo di vendita di ogni chip
c) raddoppiare il numero di chip venduti d) dimezzare il costo unitario del chip

Quesito A.10

Una FPGA usa solo Look-up-Table (LUT) a 4 ingressi per realizzare funzioni logiche combinatorie. Per realizzare $O = A B C (D + E + F)$ occorrono

- a) 5 LUT b) 3 LUT
c) 2 LUT d) non si possono realizzare funzioni con 6 input

Parte -B – Problema B.1 (6 punti)

Un sistema di acquisizione a 4 canali usa un convertitore A/D a 8 bit a inseguimento con frequenza di clock 100 MHz e un circuito Sample & Hold con tempo di acquisizione 1 μ s. Per ogni canale si vuole avere una frequenza di campionamento F_s pari a 3 volte la frequenza massima F_{max} del segnale e un filtro anti-aliasing a 8 poli.

Inserite ogni risposta numerica nel rettangolo corrispondente.

a) Tracciare uno schema a blocchi del sistema di conversione.

Solito schema....

b) Determinare la frequenza massima per canale F_{max} :

$$T_{conv}=256 \cdot 10\text{ns}=2,56\mu\text{s}$$

$$F_{conv}=1/(2,56+1\mu\text{s})=280\text{KHz}$$

$$F_s=280\text{KHz}/4=70\text{KHz}$$

$$F_{max}=70/3\text{KHz}=23.3\text{KHz}$$

c) Calcolare i rapporti segnale rumore di quantizzazione SNR_q per segnali sinusoidali,
quello di aliasing SNR_a e quello totale SNR_{tot}

$$SNR_q=1.76+6 \cdot N_b \approx 50\text{dB}$$

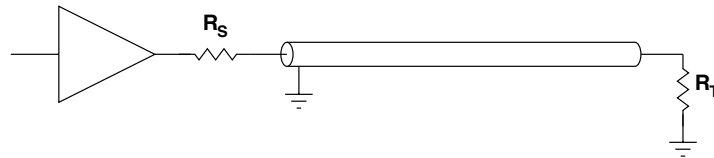
$$(F_s-F_b)/F_b=(70-23)/23 = 2$$

$$SNR_a=6 \cdot 8 \cdot \log_2(2)=48\text{dB}$$

$$SNR_{tot}=20\log(1/(10^{(-48/20)}+10^{(-50/20)}))=20\log(1/(10^{-2.4}+10^{-2.5}))\approx 43\text{dB}$$

Parte-B – Problema B.2 (4 punti)

Un driver è collegato a una linea di trasmissione in figura. La linea è lunga 10cm, ha $Z_0=75\Omega$ e la velocità di propagazione è $0.7c$. La resistenza di terminazione R_T è adattata.



Parametri:

Driver: $V_{oh}=3.0V$; $V_{ol}=0V$; $V_{cc}=3.0V$ (R_{oh} e R_{ol} trascurabili)

Ricevitore: $V_{ih}=2V$; $V_{il}=0.5V$

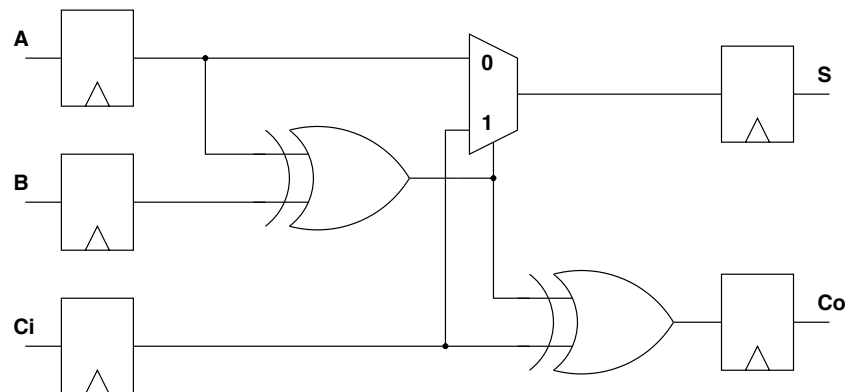
- a) Considerate la sola transizione LH e determinate il massimo valore della resistenza serie R_S che garantisce di lavorare in Incident Wave Switching con un margine di rumore $NM=0.5V$:

$$\begin{aligned} V_a &= 3 \cdot Z_{inf} / (R_S + Z_{inf}) \geq V_{ih} + NM \\ 3 \cdot 75 / (R_S + 75) &\geq 2 + 0.5V \\ 225 &\geq 2.5(R_S + 75) \\ (225 - 2.5 \cdot 75) / 2.5 &\geq R_S \\ R_S &\leq 15 \text{ Ohm} \end{aligned}$$

- b) La linea viene usata in un bus in cui si impiega un protocollo di trasmissione *asincrono*. Determinare la durata di un ciclo se il tempo di setup è 2 ns e il tempo di hold è 1 ns.

$$\begin{aligned} t_p &= 10 / (0.7 \cdot 30) \text{ ns} = 0.48 \text{ ns} \\ t_{wr} &= t_k + t_{su} + t_h + 4 \cdot t_p = 0 + 2 + 1 + 4 \cdot 0.48 = 4.92 \text{ ns} \end{aligned}$$

Parte B – Problema B.3 (4 punti)



Si consideri il circuito mostrato in figura, dove le porte logiche hanno i seguenti parametri:

XOR: $T_p=0,25$ ns per HL e $T_p=0,35$ ns LH

MUX: $T_p=0,1$ ns per entrambe le transizioni

FF: $T_{ckq}=0,1$ ns, $T_{su}=0,2$ ns, $T_h = 0,15$ ns

- a) Calcolare la massima frequenza di clock e indicare se sono presenti violazioni di hold (Sì/No)

Cammino piu' lungo: A -> XOR->XOR->Co

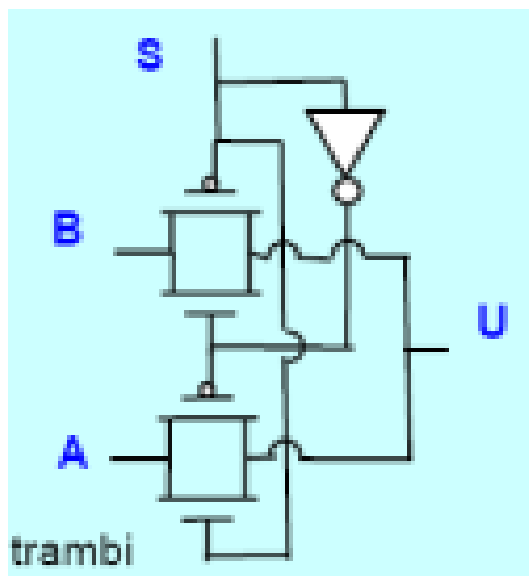
Cammino piu' breve: A->MUX->S

$$T_{min}=T_{ckq}+T_{lcm}+T_{su}=0.1+0.35+0.35+0.2\text{ns}=1\text{ns}$$

$$F_{max} = 1/T_{min}=1\text{GHz}$$

Non c'e' violazione: cammino piu' corto= $T_{ckq}+T_{mux}=0.2\text{ns}>T_h=0.15\text{ns}$

- b) Disegnare lo schema a transistori del multiplexer della figura sopra utilizzando transistori "pass gate"



Parte-B –Problema B.4 (3 punti)

Considerate una SRAM con 16 wordline, ognuna che pilota 16 celle.

Supponete che ogni transistor abbia una capacità di gate di 0,5 fF e che la R_{on} dei transistor del decoder sia di 100 Ω

- a) Calcolate il massimo ritardo di attivazione delle celle (solo il ritardo dell'ultimo stadio del decoder):

Supponendo che ci sia un inverter dopo la NAND del decoder:

$$t_p = 0.69 \cdot R_{on} \cdot 16 \cdot 2 \cdot C_g = 0.69 \cdot 100 \cdot 32 \cdot 0.5 \text{ fF} = 1.1 \text{ ps}$$

- b) Disegnate lo schema del decoder di riga

Tipicamente c'e' un inverter in uscita, per pilotare la word line (ma abbiamo considerato corretto anche questo circuito).

