

1) Domanda 1

Due porte logiche con stadio d'uscita open-drain hanno le uscite collegate insieme. Come resistenza di pull-up si deve usare:

- (a) una sola resistenza per entrambe le uscite.**
- (b) una resistenza separata per ciascuna uscita.
- (c) una resistenza separata per ciascuna uscita se pilotano carichi diversi.
- (d) una resistenza collegata a massa per ciascuna uscita.

Le porte open-drain hanno solo il ramo NMOS. La resistenza di pull-up serve per portare l'uscita alla tensione alta di uno logico ed è unica per tutte le porte con le uscite collegate insieme.

2) Domanda 2

Il tempo di propagazione L-H di una porta CMOS NAND a 2 ingressi con una capacità di carico $C_G = 0,1$ fF collegata all'uscita è $t_p = 200$ ps. Quanto diventa il tempo di propagazione t_p della porta se pilota 2 ingressi di altre 2 porte NAND, cui transistori MOS hanno tutti la stessa capacità di gate, $C_G = 0,1$ fF?

- (a) 800 ps.**
- (b) 1,6 ns
- (c) 400 ps
- (d) 3,2 ns

La formula da usare è $t_p = 0,69RC$. Il valore di R non cambia rispetto al caso in cui $C = C_G = 0,1$ fF, cambia solo la capacità che passa da C_G a $2 \times 2 = 4 C_G$, quindi il ritardo aumenta di 4 volte.

3) Domanda 3

Una Look-Up Table (LUT) a 4 ingressi:

- (a) può essere programmata per realizzare $2^{(2^4)}$ funzioni logiche diverse a 3 ingressi.**
- (b) ha $2^{(2^4)}$ celle di memoria.
- (c) può essere programmata per realizzare 65535 funzioni logiche diverse a 4 ingressi.**
- (d) ha 4 celle di memoria.

C'è stato un errore di battitura e abbiamo scritto "funzioni logiche diverse a 3 ingressi" al posto di "funzioni logiche diverse a 4 ingressi". Per questo motivo abbiamo accettato sia la risposta (a) sia la (c) che è "quasi" giusta, differendo di 1 dalla soluzione corretta ($2^{(2^4)} = 65536$).

4) Domanda 4

Un convertitore A/D ad approssimazioni successive ad N bit d'uscita:

- (a) ha tempi di conversione linearmente crescenti con N**
- (b) ha tempi di conversioni indipendenti da N
- (c) ha tempi di conversione esponenzialmente dipendenti da N
- (d) ha tempi di conversione linearmente decrescenti con N

La conversione in un convertitore AD ad approssimazioni successive si svolge determinando uno ad uno i vari bit di uscita dal MSB al LSB, pertanto il tempo cresce linearmente con N.

5) Domanda 5

Tutte le memorie DRAM DDR4 trasferiscono al massimo:

- (a) 2 word per ciclo del clock del bus.**
- (b) 4 word per ciclo del clock del bus.
- (c) 2 byte per ciclo del clock del bus.
- (d) 4 byte per ciclo di clock del bus.

Nelle memorie double data-rate (DDR), in ogni ciclo di clock del bus si trasferiscono 2 word, una sul fronte di salita e una sul fronte di discesa (da cui il nome del tipo di memoria).

6) Domanda 6

La tensione a regime (a transitorio esaurito) su una linea di trasmissione:

- (a) dipende dall'impedenza caratteristica della linea.
- (b) è indipendente dalla resistenza di terminazione.
- (c) dipende dall'induttanza unitaria della linea.
- (d) è indipendente dall'impedenza caratteristica della linea.**

A transitorio esaurito la linea si comporta come un collegamento ideale senza perdite e la tensione dipende solo dalle condizioni al contorno (driver con i suoi parametri e terminazione).

7) Domanda 7

Un raddrizzatore a doppia semionda alimentato con tensione efficace 220 V con frequenza 50 Hz ha un condensatore in uscita da 1000 μF . Quanto è la corrente massima che può consumare il carico in continua perché il ripple della tensione d'uscita non superi il 6%?

- (a) 1,87 A**
- (b) 933 mA
- (c) 233 mA
- (d) 467 mA

Il 6% rispetto alla tensione di picco significa un ripple $V_r = 0.06 \times 220 \times \sqrt{2} = 18.7 \text{ V}$. Questo è causato da un assorbimento I (da determinare) per un tempo che è la metà del periodo della sinusoidale a 50 Hz, $T = 1/2 \times (1 / 50) = 10 \text{ ms}$ su un condensatore di 1000 μF

$$I = C V_r / T = 1 \times 10^{-3} \times 18.7 / 10 \times 10^{-3} = 1.87 \text{ A}$$

8) Domanda 8

Quale è il massimo fattore di divisione di frequenza nel loop di un PLL che si può realizzare con 8 flip-flop?

- (a) 8
- (b) 7
- (c) 255
- (d) 256**

Ogni flip-flop in un divisore di frequenza consente un fattore 2 aggiuntivo di divisione, quindi con 8 flip-flop si può dividere la frequenza per $2^8=256$.

9) Domanda 9

In un collegamento seriale asincrono

- (a) i bit di controllo (stop, parità, ...) hanno una durata inferiore ai bit di dati.
- (b) un dato deve finire con due bit di stop.
- (c) la linea a riposo deve avere un valore ben definito.**
- (d) la trasmissione comincia con il primo bit di dati.

Serve una tensione ben definita prima della trasmissione in modo da identificare chiaramente la prima transizione che identifica lo “start bit”.

10) Domanda 10

Quanto è il massimo jitter ammissibile sul tempo di apertura T_{JA} di un circuito di sample-and-hold (S&H) di un convertitore analogico-digitale per avere un errore di ampiezza di campionamento minore di $250 \mu V$ per un segnale di ingresso di tipo onda triangolare con ampiezza picco-picco $A_S = 1 V$ e frequenza $f_S = 20 kHz$?

- (a) 25 ns
- (b) 6.25 ns**
- (c) 13 ns
- (d) 3.125 ns

L'errore massimo di ampiezza è dato dalla massima variazione del segnale d'ingresso nel tempo di jitter dello S&H, $\Delta V_j = SR \cdot \Delta T_{JA}$. Nel caso di un segnale triangolare, lo slew rate è dato da A_S/T dove T è metà del periodo dell'onda $T = 1/2 / (20 \times 10^3) = 25 \times 10^{-6} s$, quindi $SR = 1 V / 25 \times 10^{-6} = 40 \times 10^3 V/s$. Quindi $\Delta T_{JA} = 250 \times 10^{-6} / 40 \times 10^3 = 6.25 ns$.

11) Domanda 11

A regime, la corrente attraverso il resistore dell'oscillatore realizzato con la porta HC14 in laboratorio

- (a) cambia direzione, ma ha modulo costante.
- (b) non può avere un andamento lineare nel tempo.**
- (c) è indipendente dal valore della capacità.
- (d) tende a zero quando la tensione sulla capacità raggiunge le soglie d'ingresso del circuito.

La tensione sul condensatore dell'oscillatore realizzato con una porta logica con ingresso trigger di Schmitt ha un andamento di carica e scarica esponenziali. La corrente nella resistenza è, a meno della corrente assorbita dall'ingresso della porta, la corrente di carica e scarica del condensatore. Quindi, poiché $I = C \, dV/dt$, la corrente è la derivata di un'onda esponenziale e quindi non può avere un andamento lineare.

12) Domanda 12

Il contatore realizzato in laboratorio col circuito CD4040

- (a) può contare in modo decadico o binario.
- (b) le uscite Q_1 – Q_{11} commutano con ritardi proporzionali al loro indice.**
- (c) è un contatore sincrono.
- (d) può contare crescente o decrescente.

Il contatore realizzato con il circuito CD4040 è un contatore a 12 bit asincrono, per cui le uscite commutano con ritardi progressivamente crescenti con l'indice del bit di uscita.

13) Domanda 13

Il convertitore digitale-analogico realizzato con il circuito CD4029

- (a) con errori sulla resistenza dell'LSB ha errori di non-linearità a metà della scala di uscita.
- (b) genera una tensione positiva proporzionale al numero binario da convertire.
- (c) ha la somma delle correnti delle quattro uscite costante.
- (d) usa un convertitore corrente-tensione in uscita.**

Come illustrato nel documento relativo al laboratorio sui convertitori DA, l'informazione di corrente proveniente dalla rete di resistenze pesate è convertita in tensione da un amplificatore di trans-resistenza invertente.

14) Esercizio 1

In un sistema di acquisizione a 2 canali i segnali di ingresso hanno banda da 0 a 25 kHz e dinamica da 0 a 2,5 V. Gli amplificatori di condizionamento adattano tale dinamica a quella del convertitore A/D che va da 0 V a 5 V. Il filtro antialiasing utilizza una cella con due poli.

1. Per ottenere un rapporto segnale-rumore di quantizzazione SNR_q di 48 dB per un segnale sinusoidale con ampiezza picco-picco uguale alla dinamica dell'ADC, quanti bit deve avere il convertitore? **8**

2. Che rapporto segnale-rumore di aliasing SNR_a (= **59.6**) si ottiene con un fattore di sovracampionamento 16 oltre alla frequenza minima di Nyquist dei segnali e qual è la frequenza di campionamento F_s (= **1.6 MHz**) usata nel circuito S&H del convertitore?

3. Per avere un rapporto segnale-rumore di jitter SNR_j di 60 dB, qual è il massimo jitter t_j ammissibile sul segnale di campionamento? t_j = **12.7 ns**.

4. Quali rapporti segnale-disturbo sono indipendenti dal numero di bit del convertitore, N ?

- SNR_j , SNR_q - **SNR_a , SNR_j** , - nessuno, - SNR_a , SNR_q , - tutti

1.

$$SNR_q = 6N + 1,76$$

quindi

$$48 \text{ dB} = 6N + 1,76 \Rightarrow N \approx 7,7 \text{ bit} \rightarrow \mathbf{8 \text{ bit}}$$

2. La frequenza di campionamento usata nel circuito S&H si ottiene come $F_s = 2$ (canali) \times 16 (sovracampionamento) \times 2 (Nyquist) \times 25×10^3 (banda) = 1.6 MHz.

Ogni canale però è campionato alla metà di questa frequenza, ossia 800 kHz, che ci serve per determinare il rapporto SNR_a :

$$SNR_a = N_p \cdot 20 \log \frac{f_s - f_b}{f_b} = 2 \cdot 20 \log \frac{800 - 25}{25} = 59.6 \text{ dB}$$

3.

$$SNR_j = -20 \log(\pi f_b t_j) \Rightarrow t_j = \frac{10^{\frac{SNR_j}{-20}}}{\pi f_b} = 12,7 \text{ ns}$$

4. Come si evince dalle formule sopra, SNR_a ed SNR_j non dipendono dal numero di bit utilizzati per rappresentare il segnale, a differenza di SNR_q .

15) Esercizio 2

Un inverter CMOS presenta le seguenti caratteristiche:

- Tensione di alimentazione $V_{dd} = 4.5 \text{ V}$;
- per $I_{OL} = 2 \text{ mA}$, V_{OL} compreso tra $0,17 \text{ V}$ e $0,26 \text{ V}$, per $I_{OH} = -2 \text{ mA}$, V_{OH} compreso tra $4,18 \text{ V}$ e $4,31 \text{ V}$.

L'inverter pilota una linea di trasmissione lunga 20 cm con induttanza unitaria $L_U = 0,833 \text{ } \mu\text{H/m}$ e capacità unitaria $C_U = 83,3 \text{ pF/m}$. La linea è aperta all'estremo remoto, dove sono collocati dei ricevitori CMOS con $V_{IL} = 1,35 \text{ V}$ e $V_{IH} = 3,15 \text{ V}$. Al lato del trasmettitore non sono presenti ricevitori.

Rispondere alle seguenti domande:

1. Determinare l'impedenza caratteristica $Z_\infty (= \mathbf{100 \text{ } \Omega})$ e il tempo di propagazione $t_p (= \mathbf{1.67 \text{ ns}})$ della linea.
2. Determinare il tempo di trasmissione minimo T_{\min} e massimo T_{\max} per la transizione LH con margine di rumore $0,5 \text{ V}$:
 $T_{\min} = \mathbf{1.67 \text{ ns}}$, $T_{\max} = \mathbf{5.01 \text{ ns}}$.
3. Per la transizione HL con margine di rumore $0,5 \text{ V}$, determinare il tempo di trasmissione minimo $T_{\min} = \mathbf{1.67 \text{ ns}}$ e massimo $T_{\max} = \mathbf{1.67 \text{ ns}}$.
4. Se i flip-flop dei ricevitori hanno $T_{su} = 1,5 \text{ ns}$ e $T_h = 1 \text{ ns}$, determinare la durata del ciclo di scrittura con protocollo asincrono $T_{wr} = \mathbf{25.8 \text{ ns}}$.

$$\frac{0,17 \text{ V}}{2 \text{ mA}} \leq R_{OL} \leq \frac{0,26 \text{ V}}{2 \text{ mA}} \Rightarrow 85 \text{ } \Omega \leq R_{OL} \leq 130 \text{ } \Omega$$

$$\frac{V_{dd} - 4,31 \text{ V}}{2 \text{ mA}} \leq R_{OH} \leq \frac{V_{dd} - 4,18 \text{ V}}{2 \text{ mA}} \Rightarrow 95 \text{ } \Omega \leq R_{OH} \leq 160 \text{ } \Omega$$

1.

$$Z_\infty = \sqrt{\frac{L_U}{C_U}} = \sqrt{\frac{0.833 \cdot 10^{-6}}{83.3 \cdot 10^{-12}}} = 100 \text{ } \Omega$$

$$p = \frac{1}{\sqrt{L_U C_U}}, t_p = \frac{l}{p} = l \sqrt{L_U C_U} = 0.2 \sqrt{0.833 \cdot 10^{-6} \cdot 83.3 \cdot 10^{-12}} = 1.67 \text{ ns}$$

2. Per calcolare il tempo minimo dobbiamo considerare la resistenza minima, perché fa aumentare l'ampiezza del primo gradino:

$$V_B^{\max}(0) = V_{dd} \frac{Z_\infty}{R_{OH}^{\min} + Z_\infty} = 4,5 \text{ V} \cdot \frac{100 \text{ } \Omega}{95 \text{ } \Omega + 100 \text{ } \Omega} = 2,31 \text{ V}$$

All'estremo remoto aperto abbiamo $\Gamma_T = 1$ (circuito aperto), quindi il primo gradino è

$V_B^{\max}(0)(1 + \Gamma_T) = 2,31 \text{ V} \cdot 2 = 4,62 \text{ V} > V_{IH} + V_N = 3,15 \text{ V} + 0,5 \text{ V} = 3,65 \text{ V}$
supera la soglia, quindi

$$T_{\min} = t_p = 1,67 \text{ ns}$$

Per il tempo massimo dobbiamo invece considerare la resistenza massima:

$$V_B^{\min}(0) = V_{dd} \frac{Z_{\infty}}{R_{OH}^{\max} + Z_{\infty}} = 4,5 \text{ V} \cdot \frac{100 \Omega}{160 \Omega + 100 \Omega} = 1,73 \text{ V}$$

quindi il primo gradino alla terminazione è

$$V_B^{\min}(0)(1 + \Gamma_T) = 1,73 \text{ V} \cdot 2 = 3,46 \text{ V} < V_{IH} + V_N = 3,15 \text{ V} + 0,5 \text{ V} = 3,55 \text{ V}$$

Non supera la soglia più il margine di rumore e bisogna calcolare l'ampiezza del gradino che arriva dopo la prima riflessione al lato driver

$$V_B^{\min}(0)(1 + \Gamma_T + \Gamma_T \Gamma_G + \Gamma_T^2 \Gamma_G)$$

dove

$$\Gamma_G = \frac{R_{OH}^{\max} - Z_{\infty}}{R_{OH}^{\max} + Z_{\infty}} = \frac{160 \Omega - 100 \Omega}{160 \Omega + 100 \Omega} = 0,23$$

quindi l'ampiezza del secondo gradino diventa

$$1,73 \text{ V}(1 + 1 + 1 \cdot 0,23 + 1^2 \cdot 0,23) = 4,26 \text{ V} > 3,55 \text{ V}$$

e supera la soglia. Quindi, il tempo di propagazione massimo diventa

$$T_{\max} = 3t_p = 5,01 \text{ ns}$$

3. Si procede in modo simile per le transizioni HL:

$$V_B^{\max}(0) = -V_{dd} \frac{Z_{\infty}}{R_{OL}^{\min} + Z_{\infty}} = -4,5 \text{ V} \frac{100 \Omega}{85 \Omega + 100 \Omega} = -2,43 \text{ V}$$

All'estremo remoto aperto abbiamo il primo gradino

$$V_{dd} + V_B^{\max}(0)(1 + \Gamma_T) = 4,5 \text{ V} - 2,43 \text{ V} \cdot 2 = -0,36 \text{ V} < V_{IL} - V_N = 1,35 \text{ V} - 0,5 \text{ V} = 0,85 \text{ V}$$

che supera la soglia, quindi

$$T_{\min} = t_p = 1,67 \text{ ns}$$

$$V_B^{\min}(0) = -V_{dd} \frac{Z_{\infty}}{R_{OL}^{\max} + Z_{\infty}} = -4,5 \text{ V} \cdot \frac{100 \Omega}{130 \Omega + 100 \Omega} = -1,96 \text{ V}$$

quindi il primo gradino alla terminazione è

$$V_{dd} + V_B^{\min}(0)(1 + \Gamma_T) = 4,5 \text{ V} - 1,96 \text{ V} \cdot 2 = 0,59 \text{ V} < V_{IL} - V_N = 1,35 \text{ V} - 0,5 \text{ V} = 0,85 \text{ V}$$

Supera la soglia, quindi

$$T_{\max} = t_p = 1,67 \text{ ns}$$

4.

$$T_{SU} + T_H + T_K + 4T_{\max} = 1 \text{ ns} + 1,5 \text{ ns} + (5,01 \text{ ns} - 1,67 \text{ ns}) + 4 \cdot 5,01 = 25,8 \text{ ns}$$

16) Esercizio 3

Configurate il circuito in figura 1 per realizzare un divisore per 4 del segnale di clock (clk) sull'uscita Y.

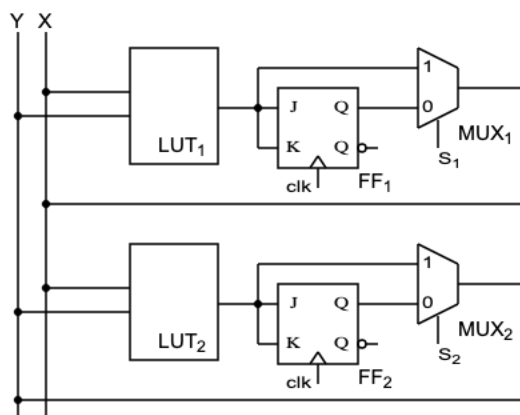


Figura 1.

- Definite le funzioni logiche che deve realizzare ciascuna delle LUT
 - $LUT_1 = 1$
 - $LUT_2 = X$

Nelle espressioni delle funzioni potete usare:

- i nomi delle uscite (X, Y)
 - costanti (0 e 1)
 - complemento logico indicato con un asterisco (*) inserito subito dopo il nome del segnale negato oppure subito dopo la parentesi chiusa che racchiude l'espressione negata
 - "OR" oppure "+" per indicare l'operazione logica OR
 - "AND" oppure nulla (concatenazione) per indicare l'operazione logica AND
 - nomi in maiuscole di altre funzioni logiche tra segnali.
- Definite il valore logico che deve essere impostato sull'ingresso di selezione di ciascuno dei MUX:
 - $S_1 = 0$
 - $S_2 = 0$

- Quante funzioni logiche distinte può realizzare ciascuna delle LUT in figura 1?

- 8

- 16

- 32

- 4

- Per realizzare un divisore per 4:

- FF₁ deve dividere per due il clock, quindi entrambi i suoi ingressi JK devono essere collegati a 1 logico. Quindi, LUT₁ deve realizzare la funzione $LUT_1 = 1$.
- FF₂ deve commutare ogni due fronti di salita del segnale di clock, quindi solo quando l'uscita X del FF₁ è a 1. Quindi, LUT₂ deve realizzare la funzione logica $LUT_2 = X$

2. Per un contatore sincrono a quattro bit dobbiamo usare tutti e due i flip-flop, quindi i multiplexer devono fare passare l'uscita dei FF, cioè l'ingresso 0.

3. Una LUT con 2 ingressi può realizzare $2^2 = 16$ funzioni logiche distinte.

17) Esercizio 4

Per la memoria in figura 1 si richiede:

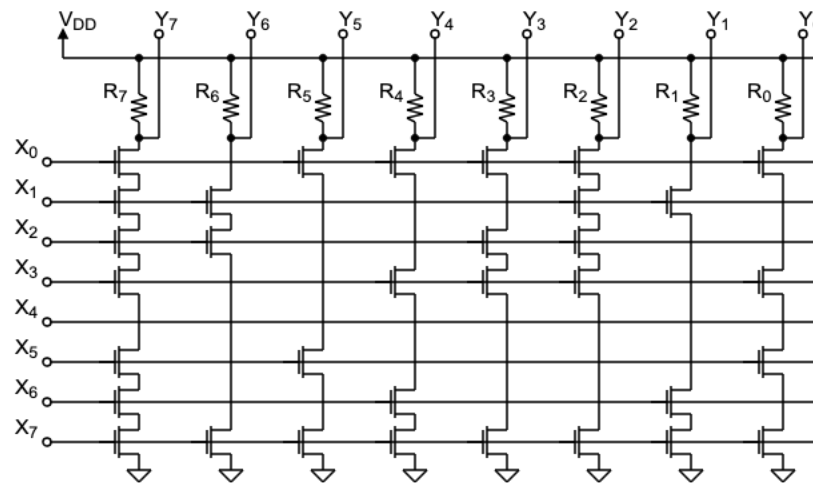


Figura 1.

1. Il tipo della memoria:

- FLASH - **ROM NAND** - EEPROM - ROM NOR

2. Cosa rappresentano i segnali Y_0 – Y_7 :

- Preload lines - **Bit lines** - Word lines - Address lines

3. Cosa rappresentano i segnali X_0 – X_7 :

- Preload lines - **Word lines** - Bit lines - Address lines

4. Come possono essere realizzate le resistenze R_0 – R_7 :

- **transistori PMOS con gate collegato a massa** - transistori NMOS con gate collegato ad alimentazione - transistori PMOS con gate collegato ad alimentazione - transistori NMOS con gate collegato a massa

5. Quante parole sono programmate nella memoria:

- 16 - 7 - **8** - 64

6. Quanti bits hanno le parole nella memoria:

- 64 - Variabile - **8**

7. Quanti bits sono memorizzati nella memoria:

- 8 - 33 - 31 - 64

8. Quale è il valore binario memorizzato all'indirizzo 4 nella memoria (il primo indirizzo è 0):
00000000

9. Con che livello di tensione si seleziona una word line nella memoria:

- **livello basso** - differenziale, livello alto sugli ingressi Y - differenziale, livello alto sugli ingressi X - livello alto

10. Quante linee di indirizzo servono per accedere a tutte le parole della memoria:

- 3 - 8 - 4 - 32

11. Calcolate la resistenza massima di uscita dei drivers delle word lines $R_O (= 218.2 \Omega)$ che assicura il raggiungimento della tensione di soglia dei transistori MOS della memoria $V_{TH} = 0,2 \text{ V}$ in un tempo massimo $t_R = 0,4 \text{ ps}$ durante una transizione della word line dallo stato inattivo (deselezionata) verso lo stato attivo (selezionata). Altri dati: tensione di alimentazione $V_{DD} = 1,5 \text{ V}$, capacità di gate di ciascun transistor MOS $C_G = 0,1 \text{ fF}$ e resistenza complessiva di una word line $R = 30 \Omega$. Utilizzate un modello a parametri RC concentrati per il calcolo.

1. È una ROM di tipo NAND.
2. I segnali Y_0-Y_3 sono le bitlines.
3. I segnali X_0-X_7 sono le wordlines.
4. Le resistenze di pull-up possono essere realizzate con dei transistori di pull-up, ovvero dei pMOS sempre attivi. Per renderli sempre attivi occorre collegarne i gate a GND.
5. La memoria ha 8 parole, quante le wordlines.
6. Ciascuna parola ha 8 bit
7. $8 \text{ word} \times 8 \text{ bit} = 64 \text{ bit}$ in tutto
8. All'indirizzo 4 (partendo da 0), attivato dalla wordline X_4 , è memorizzata la parola 00000000.
8. Una wordline diventa attiva quando blocca i transistor NMOS collegati ad essa, con un livello logico basso sui gate.
9. 3 linee di indirizzo possono attivare $2^3 = 8$ wordlines dopo il decoder di indirizzi.
10. Perché diventi attiva, una wordline deve abbassare il suo livello di tensione da V_{DD} fino almeno al livello di soglia dei transistori NMOS collegati ad essa, in modo da spegnere il transistor. Modellando l'uscita del driver, la wordline e i gate come una cella RC a parametri concentrati abbiamo:

$$V_w(t) = V_{DD} e^{-\frac{t}{RC}}$$

con $R = R_{OUT} + R_{WL}$ e $C = 8C_G$. Dobbiamo ottenere R_{OUT} conoscendo che a $t = t_R$: abbiamo $V_W = V_{TH}$:

$$R = \frac{t_R}{8C_G \ln \frac{V_{DD}}{V_{TH}}} = \frac{0,2 \cdot 10^{-12} \text{ s}}{8 \cdot 0,1 \cdot 10^{-15} \text{ F} \cdot \ln \frac{1,5 \text{ V}}{0,2 \text{ V}}} = 248.2 \Omega$$

quindi

$$R_{OUT} = R - R_{WL} = 248.2 \Omega - 30 \Omega = 218.2 \Omega$$