

Cognome
Nome
Matricola

Aula Per Elettronica Applicata e Misure: Scritto sostenuto e valutato
sufficiente nell'appello

Parte E-A – Elettronica - Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga “Punteggio totale”)

	Quesiti 1-6 per tutti						Quesiti 7-10 solo per Eln. Appl. AA17-18			
Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a		X					X			X
Risposta b								X	X	
Risposta c	X		X	X	X					
Risposta d						X				
Punteggio totale										

Quesito A.1

Un latch sensibile al livello basso ha il comando LE (latch enable) = 0; in questa condizione:

- a) l'uscita rimane sempre a 1
b) l'uscita non cambia anche se l'ingresso varia
c) l'uscita cambia stato seguendo l'ingresso
d) l'uscita rimane sempre a 0

Quesito A.2

Nel generatore di onda quadra realizzato con un inverter di tipo trigger di Schmitt, la tensione ai capi del condensatore ha andamento

- a) **esponenziale**
b) a onda quadra
c) lineare
d) a impulsi

Quesito A.3

In un D/A a resistenze pesate tutte le resistenze pesate sono affette da un errore del -2%. L'effetto sulla caratteristica del D/A è:

- a) un errore di offset
b) un errore di non linearità
c) un errore di guadagno
d) un errore di monotonicità

Quesito A.4

Quale delle seguenti condizioni comporta un NON CORRETTO interfacciamento tra porte logiche?

- a) $V_I > V_{IH}$
b) $V_I < V_{IL}$
c) $I_O > |I_{OH}|$
d) $I_O < |I_{OL}|$

Quesito A.5

Il rendimento (rapporto potenza uscita/potenza ingresso) di un regolatore serie lineare con ingresso V_i e uscita V_o è approssimativamente

- a) V_i/V_o
b) 0,5
c) V_o/V_i
d) $V_o/(V_i+V_o)$

Quesito A.6

Il coefficiente di riflessione di una terminazione adattata vale:

- a) -1
b) +1
c) 0.5
d) 0

QUESITI RISERVATI A ELETTRONICA APPLICATA AA 17-18

Quesito A.7

Se la frequenza di clock in un circuito CMOS raddoppia, la potenza dinamica:

- a) raddoppia b) si dimezza c) non varia d) quadruplica

Quesito A.8

Una cella di memoria DRAM è composta da

- a) un transistor a gate flottante b) un transistor MOS e un condensatore
c) sei transistori MOS d) un transistor NMOS e uno PMOS

Quesito A.9

Una Look-Up Table (LUT) a 3 ingressi di una FPGA contiene

- a) 3 celle di memoria SRAM b) 8 celle di memoria SRAM
c) 8 celle di memoria DRAM d) 3 transistor con soglia programmabile

Quesito A.10

In una memoria flash NAND, le unità elementari di cancellazione e programmazione sono

- a) blocco (cancellazione di più pagine) e pagina (scrittura)
b) pagina (cancellazione di più blocchi) e byte (scrittura)
c) blocco (cancellazione di più pagine) e byte (scrittura)
d) byte (cancellazione) e pagina (scrittura di più byte)

Parte E-B – Elettronica, Esercizio B.1

Un gruppo di 4 segnali analogici presenta (per ciascun canale) livelli da -0.5V a +0.5V, frequenza massima dei singoli canali $F_{\max,1} = 3$ kHz, $F_{\max,2} = 2,5$ kHz, $F_{\max,3} = 1$ kHz, $F_{\max,4} = 2$ kHz. Il convertitore A/D è un circuito a inseguimento con dinamica di ingresso da 0 a +10 V. La frequenza di campionamento complessiva F_s è pari a 2.5 volte quella minima.

- a) Tracciare lo schema a blocchi del sistema di conversione, utilizzando un singolo S/H e sfruttando al meglio le caratteristiche dell'A/D. Indicare le specifiche dell'amplificatore di condizionamento e uno schema dell'amplificatore realizzato con un amplificatore operazionale, indicando in valori delle resistenze. Si assuma di avere una tensione di riferimento $V_{REF}=+10V$.

Amplificatore di condizionamento: amplificazione $A_v=10$, offset +5V.

Circuito: sommatore non invertente

$$V_o = R_4 / (R_4 + R_3) (1 + R_2 / R_1) * V_{ref} + R_3 / (R_3 + R_4) (1 + R_2 / R_1) * V_i$$

$$R_4 / (R_4 + R_3) (1 + R_2 / R_1) = 1/2 \quad R_3 / (R_3 + R_4) (1 + R_2 / R_1) = 10$$

- b) Tracciare lo schema del convertitore A/D a inseguimento. Nell'ipotesi che il tempo di conversione massimo dell'A/D sia $8,5 \mu s$, specificare il massimo numero di bit per una frequenza di clock del convertitore pari a 250 MHz.

Assumendo che il convertitore lavori nella condizione di overload:

$$T_c = 2^N * T_{ck} = 8.5 \mu s \Rightarrow N = \log(8.5 * 250) / \log(2) = 11$$

Parte E-B – Elettronica, Esercizio B.2

Un driver alimentato a 3,3 V pilota una connessione con $Z_{\infty} = 60 \Omega$, velocità di propagazione $U = 0,7 \text{ C}$, lunghezza 15 cm, aperta all'estremo remoto. I ricevitori sono circuiti CMOS con $V_{il} = 1\text{V}$, $V_{ih} = 2,2 \text{ V}$. Tutte le domande si riferiscono alla transizione L-H.

a) Per un ricevitore all'inizio della linea con $R_o = 80 \Omega$, indicare se la commutazione dei ricevitori si verifica su onda riflessa o su onda incidente;

Per aver la commutazione su onda riflessa: $2 * Z_{\infty} / (Z_{\infty} + R_o) * V_{dd} > V_{ih}$

Per non avere la commutazione su onda incidente: $Z_{\infty} / (Z_{\infty} + R_o) * V_{dd} < V_{ih}$

$30\Omega < R_o < 120 \Omega \Rightarrow$ **onda riflessa**; disegnare il diagramma a traliccio va anche bene.

b) Per $R_o = 80 \Omega$, determinare i tempi di trasmissione e lo skew per un ricevitore collocato all'inizio della linea e per uno collocato alla fine della linea.

$T_p = 0.71 \text{ ns}$

Primo gradino: $V_B(0) = 1.4\text{V} > V_{il} \Rightarrow$

Per il ricevitore ad inizio linea:

$T_{txmin} = 0 \text{ ns}$ in quanto primo gradino $> V_{il}$

$T_{txmax} = 2t_p$ in quanto necessita onda riflessa per avere $> V_{ih}$

$T_k = 2t_p = 1.42 \text{ ns}$

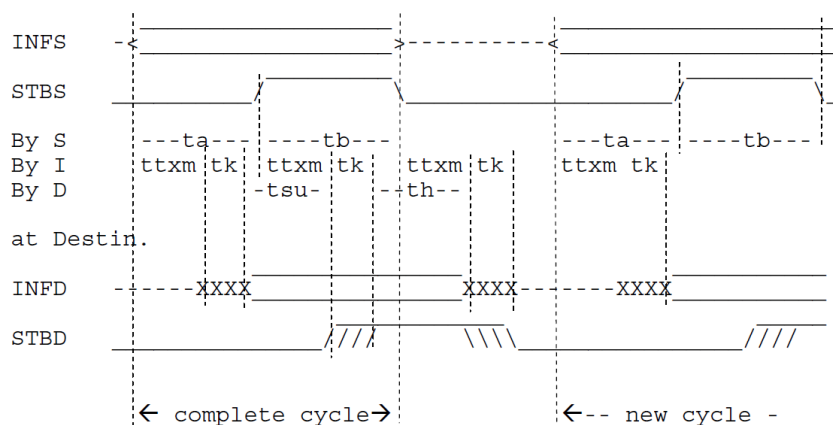
Per il ricevitore a fine linea: commuta sempre a T_p , l'onda riflessa genera tensione $> V_{ih}$

$T_{txmin} = T_{txmax} = t_p$

$T_k = 0 \text{ ns}$

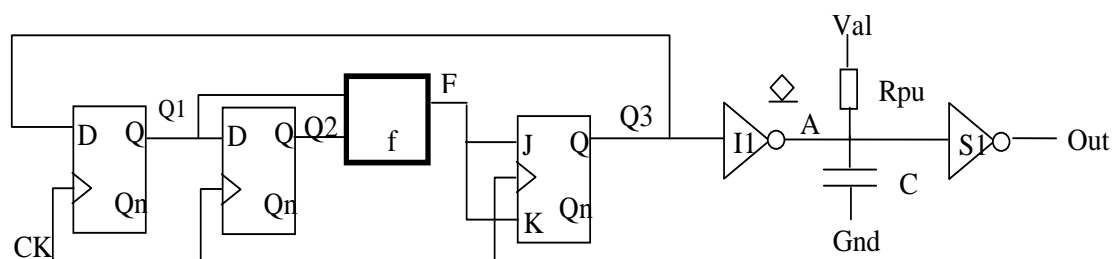
c) Questa connessione viene usata su un bus parallelo con protocollo sincrono. I registri del ricevitore hanno tempo di set-up $T_{su} = 5 \text{ ns}$ e tempo di hold $T_h = 2 \text{ ns}$. Tracciare i segnali STB, e DATA alla sorgente e alla destinazione per un ciclo di scrittura, e determinare la durata minima del ciclo (circuiti logici con ritardi nulli tra ingresso e uscita).

At Source



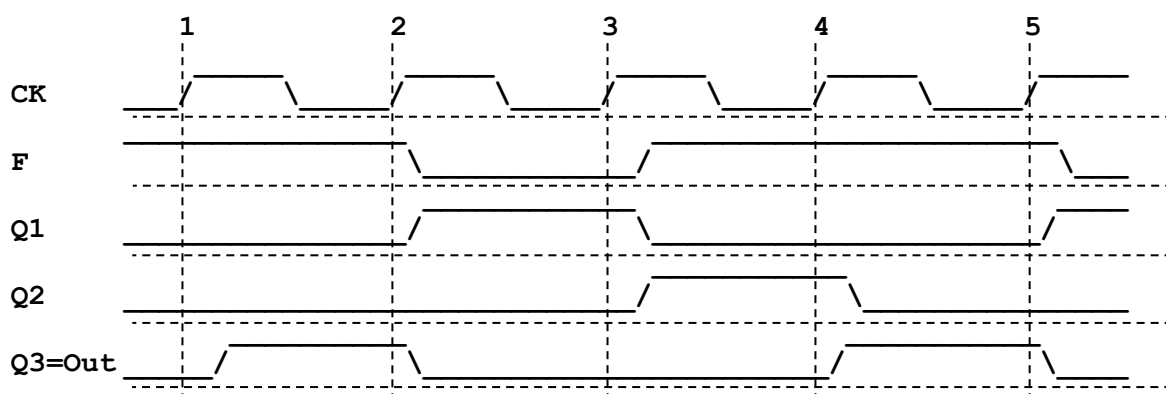
Durata ciclo = $2t_k + t_{su} + t_h = 2 * 1.42 + 5 + 2 = 9.84 \text{ ns}$

Parte E-B – Elettronica, Esercizio B.3



Si consideri lo schema in figura dove i FF hanno le uscite Q inizializzate a 0. Nell'ipotesi che sia $F = \text{not}(Q1 * \text{not}(Q2))$;

a) rappresentare le forme d'onda **senza ritardi** ai nodi Q1, Q2, Q3, F per i primi 5 colpi di clock.



b) Supponendo che il periodo di clock sia 50ns, calcolare la potenza dinamica media spesa per caricare il condensatore C di capacità 10pF, sapendo che Val=5V (considerare solo la potenza spesa per il condensatore, e null'altro).

Per caricare il condensatore allo stato alto:

$$P_d = C * f * Val^2 = 5mW$$

Siccome Q3 cambia una volta ogni 3 cicli di clock, questa potenza andrebbe divisa per 3, ma consideriamo corretti sia 5mW sia 1.7mW.

c) Qual è la massima frequenza operativa del circuito supponendo che i ritardi siano:

- FF di tipo D: $T_{ck \rightarrow Q} = 5 \text{ ns}$ (sia HL sia LH), $T_{su} = 4 \text{ ns}$;
- FF JK: $T_{ck \rightarrow Q} = 7 \text{ ns}$ (sia HL sia LH), $T_{su} = 6 \text{ ns}$;
- logica combinatoria f: $T_{LHf} = 4 \text{ ns}$, $T_{HLf} = 8 \text{ ns}$

Il caso peggiore è per il FF JK per cui

$$T_{ck \rightarrow QDFF} + T_{HLf} + T_{suJK} = 5 + 8 + 6 \text{ ns} = 19 \text{ ns} \quad f_{ckmax} = 52.6 \text{ MHz}$$

ESERCIZIO RISERVATO A ELETTRONICA APPLICATA AA 17-18

Parte E-B – Elettronica, Esercizio B.4

Si consideri una memoria DRAM con 8 bit di indirizzo (utilizzati tutti per la decodifica di riga) e word da 8 bit. Sapendo che i pass-transistor hanno capacità parassita di drain $C_d=0.2\text{fF}$ e tensione di soglia $V_{th}=0.1\text{V}$ e si utilizza tensione di alimentazione $V_{dd}=1\text{V}$, rispondere alle domande seguenti.

- a) Calcolare il numero di bitline, il numero di pass-transistor connessi ad una singola bit line ed il numero totale di pass-transistor della memoria.

Numero bitline: 8

Numero di righe: $2^8=256 \Rightarrow$ 256 pass transistor connessi ad ogni bit line

Numero totale di pass-transistor: $256 \cdot 8=2048$

- b) Calcolare la minima capacità di storage C_s per poter utilizzare un sense amplifier in grado di leggere variazioni di tensione superiori a 70mV.

La capacità parassita di ogni bitline è $C_{BL}=2^8 \cdot 0.2\text{fF}=51.2\text{fF}$

La variazione di tensione sulla bitline durante la lettura deve essere maggiore di 70mV \Rightarrow

$$\Delta V_{bl} = C_s / (C_s + C_{bl}) \cdot (V_{dd} - V_{th} - V_{dd}/2) > 70\text{mV} \Rightarrow C_s \geq 10.86\text{fF}$$

- c) Ripetere il punto (b) supponendo che gli 8 bit di indirizzo siano ora così suddivisi: 5 bit per la decodifica di riga e 3 bit per la decodifica di colonna.

In questo caso il numero di celle connesse ad una stessa BL si riduce a $2^5=32$ celle.

$$C_{bl}=32 \cdot 0.2\text{fF}=6.4\text{fF}$$

da cui: $C_{smin}=1.36\text{fF}$.