Nome, cognome, matricola

Calcolatori Elettronici (12AGA) - esame del 17.7.2018 - A

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).

Non è possibile consultare alcun tipo di materiale. Tempo: 15 minuti.

						1111 1	Attenz	none: il compito e su 2 facciate !!!!		
1	Si consideri un circuito sequenziale sincrono con 50 ingressi, 36 uscite e 100 stati. Qual è il numero minimo di flip flop necessari per la sua implementazione?					lè il nu	ımero			
								127 L L L 1447	г. т	
2	Dove è memorizzata la Interrupt Vector Table in un				upt Vect	or Table	ın un		A	
	sistema general purpose?							All'interno della memoria RAM	В	
								All'interno della memoria ROM	C	
								Nella Memory Management Unit	D	
3	Si consideri una cache con le seguenti				con	le seg	guenti		A	
	I ====================================							23 bit	В	
	• 256 line		•					24 bit	C	
	Meccan	ism	o set	associa	tive a	8 vie	con	25 bit	D	
	sostituz	ione	e LRU.							
	Assumend									
	siano su 32				ensione	del camp	o tag			
	associato a	ı og	ni linea	?						
4			eri	un'unità					A	
	microprog orizzontale	ram	ımata	(con n	nicro-pro	ogramma	zione	1000	В	
									С	
	composta da 1000 parole di 200 bit ciascuna. Qual è la dimensione del µPC?					Jasculia.	Quai	8	D	
	c la difficil	3101	ic dei µ	10.				<u> </u>		
5	Si conside	ri u	ın sister	na che ι	ıtilizza i	1 meccai	nismo	Quando la pagina richiesta dal processore non si trova in memoria	Α	
-	Si consideri un sistema che utilizza il meccanismo della memoria virtuale: quando si verifica il Page							secondaria		
	Fault?						Č	Quando la pagina richiesta dal processore non si trova in memoria	В	
								principale		
								Quando la pagina richiesta dal processore si trova in memoria	C	
								principale		
								Quando la pagina richiesta dal processore non si trova in cache	D	
6	Si scriva l'espressione booleana minimizzata per la									
	funzione nella mappa di Karnaugh rappresentata qui sotto.					rappres	ciiiaia			
	a b									
	c d 00 01 11 10				11	10				
	(00	0	1	0	0				
	()1	-	-	1	0				
	1	11	-	1	-	1				
	1	10	0	-	0	0				
	<u> </u>	•								
7	A che cosa serve il segnale IBF (input buffer full) nell'8255?				F (input	buffer f	ull)	Ad inviare un segnale di Interrupt all'8259	A	\neg
					\ 1 ···	_	,	A segnalare alla CPU che il dato è stato caricato nella porta dell'8255	В	\exists
								A segnalare al dispositivo periferico esterno che il dato è stato	С	\dashv
								caricato nella porta		
								A segnalare all'8255 che il dispositivo periferico esterno ha un dato	D	

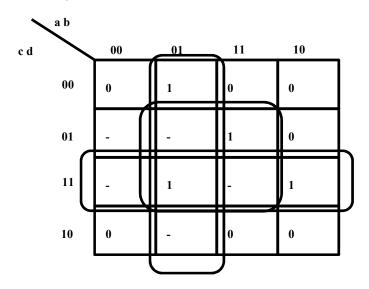
pronto

8	Quale tra le seguenti istruzioni x86 richiede il maggior numero di colpi di clock per essere		A
	eseguita?	DIV CX	В
		MOV [BX+4], CX	С
		PUSH BX	D
9	Si consideri un sistema a processore che adotta		A
	l'architettura Isolated I/O; se il processore ha uno spazio di indirizzamento di 2 ¹⁸ byte e il sistema	2 ¹⁸ byte – 1 Kbyte	В
	prevede uno spazio di indirizzamento per le periferiche pari a 1 Kbyte, quale sarà la dimensione	2 byte	С
	massima della memoria indirizzabile dal sistema?	2 ¹⁸ byte	D
10	Si scriva un frammento di codice in Assembler x86 che, dato un vettore VETT di DIM elementi interi con segno su 16 bit, azzeri tutti gli elementi maggiori di -1.		

Risposte corrette

1	2	3	4	5	6	7	8	9	10
7	В	В	С	В		С	В	D	

Domanda 6



a'b + bd + cd

Domanda 10 (esempio di soluzione)

```
MOV CX, DIM
MOV SI, 0
L1:
    CMP VETT[SI], -1
    JL L2
    MOV VETT[SI], 0
L2:
    ADD SI, 2
    LOOP L1
```

	Compito A
	Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale - Tempo: 40 minuti.
	Si descrivano i due meccanismi noti come Write-Back e Write-Through per la gestione delle operazioni di scrittura in una cache, elencando vantaggi e svantaggi di ciascuno dei due meccanismi.
122	Si disegni una memoria composta da 16 Mparole di 16 bit ciascuna, utilizzando moduli da 2Mparole da 8 bit ciascuna.

Nome, cognome, matricola

13	Si dissegni lo schema di connessione tra CPU, Interrupt Controller e Dispositivi periferici, riportando i principali segnali di intercomessione. Si disserivano le operazioni eseguite da una CPU a partire dal momento in cui un dispositivo periferico esterno manda un segnale di richiesta di interrupt e sino al momento in cui inizia l'esecuzione della Interrupt Service Routine corrispondente a tale richiesta.
14	Si descriva il significato dei segnali di RAS e CAS in una memoria di tipo RAM organizzata a matrice. Si descriva inoltre il meccanismo di lettura in modalità page mode.

Esercizio di programmazione

sino a 12 punti – è possibile consultare solamente l'instruction set Intel - tempo: 60 minuti

Sono date due matrici quadrate contenenti numeri con segno su 16 bit, memorizzate per righe, di DIMxDIM elementi. Si scriva una procedura variazione in linguaggio Assembly 8086 in grado di calcolare la variazione percentuale (troncata all'intero) tra gli elementi di indice corrispondente della $riga\ I$ della prima matrice ([I, 0], [I, 1], [I, 2]...) e della $colonna\ I$ della seconda ([0, I], [1, I], [2, I]...). Ad esempio, nel caso di due matrici 3x3 e con I=2:

il risultato è 0, -31, 3.

La variazione percentuale è calcolata come segue:

$$Variazione = (Val2 - Val1) \cdot 100 / Val1$$

La procedura riceve l'indirizzo delle due matrici e l'indice *I* mediante *stack*, mentre fornisce i risultati sulla porta C di un modulo Intel 8255 collegato al processore e accessibile a partire dall'indirizzo 0x80h, da considerarsi già programmato in modo 0-output per i gruppi A e B.

Non si devono usare variabili aggiuntive, né modificare i dati presenti in memoria.

Di seguito un esempio di programma chiamante.

```
DIM EQU 3
[...]
.data
mat1 dw
           4,
                -45, 15565
     dw 6458,
               4531,
                        124
     dw -548,
               2124, 31000
           6, -5421,
                      -547
mat2 dw
     dw
        -99, 4531,
                       1456
     dw 4592 , 118, 31999
.code
[...]
LEA AX, MAT1
LEA BX, MAT2
PUSH AX
PUSH BX
PUSH 2
call variazione
add sp, 6
```

[...]