

Cognome .....  
Nome .....  
Matricola .....

**COMPITO "A"**

Aula ..... Anno accademico di frequenza del laboratorio: .....

**Parte A – Domande a risposta multipla**

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a										
Risposta b										
Risposta c										
Risposta d										
Punteggio totale										

**Quesito A.1**

Un flip-flop JK ha gli ingressi  $J=1$  e  $K=0$ . Le uscite Q e Qn in corrispondenza del colpo di clock:

- a) assumono valore  $Q=1$  e  $Qn=0$       b) assumono valore  $Q=0$  e  $Qn=1$   
c) cambiano stato rispetto a prima      d) mantengono lo stesso valore di prima

**Quesito A.2**

In un ciclo di scrittura sincrono il segnale di STB deve restare alto per un ritardo minimo di:

- a)  $T_{su}+T_k$       b)  $T_h+T_k$   
c)  $T_k$       d)  $T_k+T_{txmin}$

**Quesito A.3**

Supponete che l'Effective Number of Bits (ENOB) di un sistema di acquisizione sia 9 bit. L'SNR per segnali sinusoidali è circa:

- a) 9 dB      b) 90 dB  
c) 56 dB      d) 54 dB

**Quesito A.4**

Un driver con resistenza di uscita  $R_o=Z_\infty$  ha una transizione da  $V_{ol}$  a  $V_{oh}$  all'ingresso di una linea con impedenza caratteristica  $Z_\infty$ . L'ampiezza del primo gradino è:

- a)  $V_{oh}$       b)  $(V_{oh}-V_{ol})/2$   
c)  $V_{ol}-V_{oh}$       d)  $V_{oh}-V_{ol}$

**Quesito A.5**

Un regolatore lineare con  $V_{out} = 5\text{ V}$  e  $V_{in} = 10\text{ V}$  ha un'efficienza pari a circa:

- a) 0,25      b) 0,5  
c) 1      d) 2

**Quesito A.6**

La tensione di picco in un raddrizzatore a doppia semionda con tensione di ingresso sinusoidale con tensione di picco  $V_{in}$  vale

- a)  $V_{in}$       b)  $2V_{in}$   
c)  $V_{in}-V_d$  (caduta su diodo)      d)  $V_{in}-2V_d$  (caduta su diodi)

**Quesito A.7**

Il tempo di propagazione in salita all'uscita di un inverter CMOS con resistenze  $R_{ol}=1\text{ k}\Omega$  e  $R_{oh}=1,5\text{ k}\Omega$  e capacità di carico  $100\text{ fF}$  vale:

- a) 220 ps                      b) 330 ps                      c) 550 ps                      **d) 100 ps**

**Quesito A.8**

Una cella di memoria CAM comprende:

- a) **una cella SRAM e alcuni MOS**                      b) una cella DRAM e alcuni MOS  
c) due celle SRAM e alcuni MOS                      d) una cella FAMOS e alcuni MOS

**Quesito A.9**

Indicare la sequenza corretta delle fasi di implementazione su FPGA (I = interconnessione, M = mappatura su LUT, P = piazzamento, S = sintesi logica):

- a) S, M, I, P                      b) M, S, I, P  
c) M, S, P, I                      **d) S, M, P, I**

**Quesito A.10**

Un chip di memoria DDR4 ha il bus clock a 2000 MHz e parallelismo 8 bit. Per ottenere un *rate* di trasferimento di 64 Gbit/s occorre usare:

- a) almeno 4 chip di memoria in parallelo                      b) un solo chip di memoria  
**c) almeno 2 chip di memoria in parallelo**                      d) almeno 8 chip di memoria in parallelo

**Parte -B – Problema B.1 (4 punti)**

**Considerate 4 segnali analogici multiplexati convertiti in digitale con un S/H e un A/D che hanno rispettivamente tempo di acquisizione di 4  $\mu$ s e tempo di conversione di 6  $\mu$ s.**

***Inserite ogni risposta numerica nel rettangolo corrispondente.***

a) Supponendo un fattore di sovracampionamento (oltre la frequenza di Nyquist)  $K=2,5$ , determinare la massima frequenza di ogni segnale.

5 KHz

b) Calcolare il numero di bit del convertitore per avere un errore di quantizzazione inferiore allo 0,2%.

N=8 oppure N=9

c) Calcolare il numero di poli del filtro antialiasing per avere un errore di aliasing uguale a quello di quantizzazione.

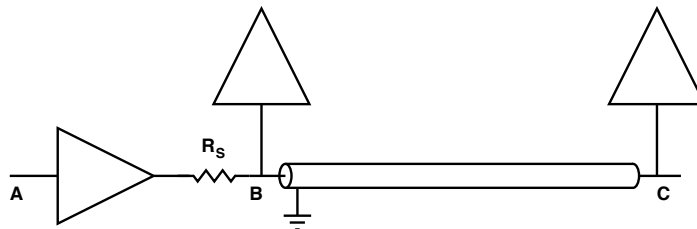
5

$$A_p = 6 * \log_2 (f_S - f_B) / f_B = 6 * \log_2 (25-5) / 5 = 12 \text{ dB}$$

$$N = \text{ceil}(6 * \log_2 (512) / 12) = \text{ceil}(4.5) = 5$$

**Parte-B – Problema B.2 (4 punti)**

Un driver CMOS alimentato a 3V e con resistenze di uscita trascurabili è collegato tramite una resistenza serie  $R_s$  a una linea di trasmissione con estremo remoto (punto C) aperto e ricevitori posizionati nei punti B e C. La linea è lunga 20cm, ha  $Z_0=80\Omega$  e la velocità di propagazione è  $0.5c$ . I ricevitori hanno  $V_{ih}=2,2V$  e  $V_{il}=1,4V$  e si vuole avere un margine di rumore di 0,2V.



- a) Indicare nel riquadro se con  $R_s = Z_0$  si è in condizioni di commutazione su onda incidente (IWS) o su onda riflessa (RWS) per la transizione L-H:

**RWS**

Ampiezza onda incidente =  $3V \cdot Z_0 / (Z_0 + R_s) = 1.5V$

Onda incidente non garantisce commutazione, onda riflessa di 3V fa commutare

- b) La linea viene usata in un bus in cui si impiega un protocollo di trasmissione asincrono. Determinare la durata minima di un ciclo se il tempo di setup è 2 ns e il tempo di hold è 1 ns.

**16.3ns**

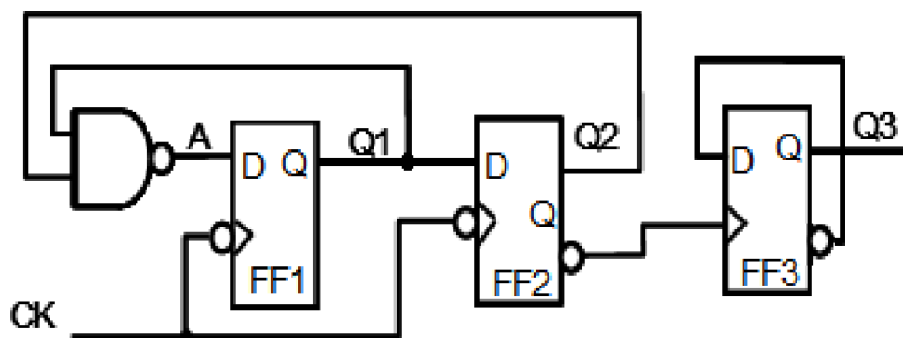
$$t_p = 20 / (30 \cdot 0.5) = 1.33ns$$

$$t_{TXmax} = 2 \cdot t_p = 2.66ns$$

$$t_K = 2 \cdot t_p = 2.66ns$$

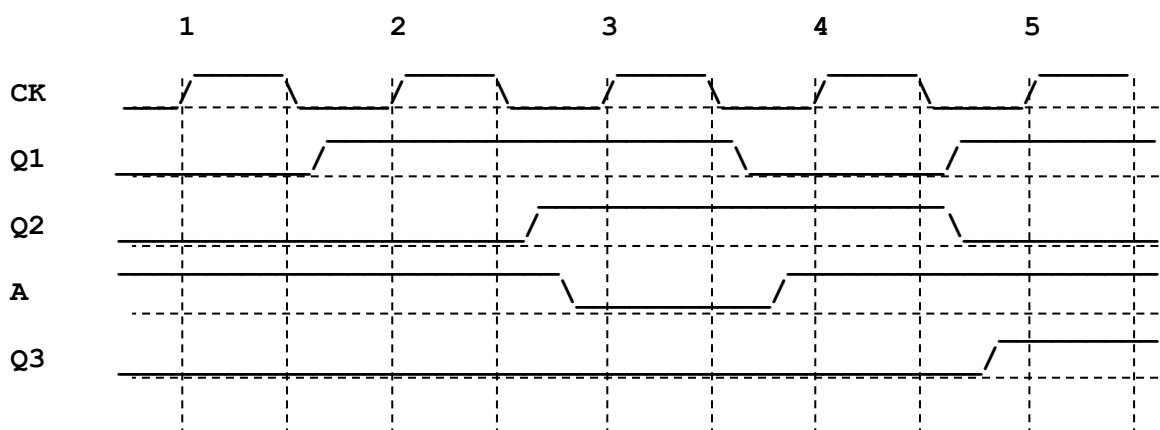
$$t_{ciclo} = t_K + t_{SU} + t_H + 4 \cdot t_{TXmax} = 2.66 + 1 + 2 + 4 \cdot 2.66 = 16.3ns$$

Parte B – Problema B.3 (5 punti)



Si consideri il circuito mostrato in figura, dove le uscite Q dei FF sono inizialmente a 0.

- a) Tracciare il diagramma temporale per le uscite Q1, Q2, A e Q3 e Out per 5 cicli di clock;  
**supponete che tutti i ritardi siano trascurabili.**



- b) Disegnare lo schema a transistor della porta NAND CMOS della figura sopra e calcolarne i ritardi di propagazione H-L e L-H sapendo che i MOS hanno una resistenza di  $1\text{ k}\Omega$  e la capacità nel nodo A è  $20\text{ fF}$ .

$T_{pH-L}$

27.6ps

$T_{pL-H}$

13.8ps

$$T_{pH-L} = 0.69 \cdot 2\text{k} \cdot 20\text{f} = 27.6\text{ps} \quad T_{pL-H} = 0.69 \cdot 1\text{k} \cdot 20\text{f} = 13.8\text{ps}$$

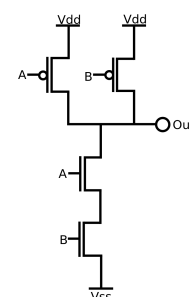
- c) Calcolare la massima frequenza di clock supponendo questi parametri:  
FF1, FF2 ed FF3:  $T_{ck \Rightarrow Q} = 50\text{ ps}$ ;  $T_h = 10\text{ps}$ ;  $T_{su} = 20\text{ps}$   
Porta NAND: ritardi calcolati al punto b)

Fmax:

10GHz

$$T_{min} = 50\text{ps} + 20\text{ps} + 27.6\text{ps} = 98\text{ps}$$

$$F_{ckmax} = 1/98\text{ps} = 10\text{GHz}$$



**Parte-B –Problema B.4 (4 punti)**

**Si consideri una memoria DRAM con 10 bit di indirizzo (utilizzati tutti per la decodifica di riga) e word da 8 bit. Sapendo che i pass-transistor hanno capacità parassita di drain  $C_d=0,1\text{fF}$  e tensione di soglia trascurabile, e che si utilizza tensione di alimentazione  $V_{dd}=1\text{V}$ , rispondere alle domande seguenti.**

- a) Calcolare il numero di bitline, il numero di pass-transistor connessi ad una singola bit line ed il numero totale di pass-transistor (PT) della memoria.

Num. bitline

8

Num. PT singola bitline

1024

Num. totale PT

8192

- b) Calcolare la minima capacità di *storage*  $C_s$  per poter utilizzare un sense amplifier in grado di leggere variazioni di tensione superiori a 50mV.

11fF

$$C_{\text{bitline}} = 1024 \cdot 0.1\text{fF} = 100\text{fF}$$

Pre-carica bitline a  $V_{dd}/2 = 0.5\text{V}$

$$\Delta V = (1 - 0.5) \cdot C_s / (100\text{fF} + C_s) = 50\text{mV}$$

$$C_s / (100\text{fF} + C_s) = 100\text{mV}$$

$$C_s = 100\text{m} \cdot 100\text{f} + 100\text{m} \cdot C_s$$

$$0.9C_s = 10\text{f}$$

$$C_s = 10 / 0.9\text{fF} = 11\text{fF}$$