

Cognome
Nome
Matricola

COMPITO "B"

Aula Laboratorio frequentato nell'anno accademico

Parte A – Domande a risposta multipla

(indicare con X la risposta corretta nella tabella – non scrivere nella riga "Punteggio totale")

Quesito	1	2	3	4	5	6	7	8	9	10
Risposta a										
Risposta b										
Risposta c										
Risposta d										
Punteggio totale										

Quesito A.1

In un flip-flop positive edge-triggered con reset (RST) asincrono attivo alto, se $RST = 1$:

- a) l'uscita rimane sempre a 0
b) l'uscita va a 0 se CK passa da 1 a 0
c) l'uscita va a 0 se CK passa da 0 a 1
d) l'uscita va a 0 se l'ingresso D è a 0

Quesito A.2

Nell'oscillatore a trigger di Schmitt, il valore massimo della tensione sul condensatore

- a) è pari alla soglia più grande della porta a trigger di Schmitt
b) è pari alla distanza tra le due tensioni di soglia della porta a trigger di Schmitt
c) è pari alla tensione di alimentazione
d) è pari alla soglia più piccola della porta a trigger di Schmitt

Quesito A.3

Se tutte le resistenze di un convertitore D/A realizzato con rete a scala R-2R sono più grandi del 2% rispetto al valore nominale, la caratteristica di conversione presenta

- a) una nonlinearità differenziale
b) una nonlinearità integrale
c) un errore di offset
d) un errore di guadagno

Quesito A.4

Un driver con resistenza di uscita $R_o = 1/3 Z_\infty$ pilota a livello alto una linea con impedenza caratteristica Z_∞ con terminazione *adattata* e tempo di propagazione t_p . Il transitorio si esaurisce su tutta la linea:

- a) dopo t_p
b) a tempo infinito
c) dopo $2 t_p$
d) dopo $3 t_p$

Quesito A.5

In un raddrizzatore a singola semionda, rispetto a quello a doppia semionda:

- a) la tensione di uscita di ripple raddoppia
b) la tensione di uscita in continua si dimezza
c) la tensione di uscita in continua raddoppia
d) la tensione di uscita di ripple si dimezza

Quesito A.6

Il rendimento di un regolatore lineare è circa:

- a) V_{in}/V_{out} b) $(V_{in}/V_{out})^2$ **c) V_{out}/V_{in}** d) 1

Quesito A.7

Una porta logica CMOS pilota un carico di capacità C. Dimezzando la capacità (C/2), il ritardo di propagazione cambia come:

- a) 2 **b) 1/2** c) 1/4 d) 4

Quesito A.8

Una cella di memoria DRAM comprende:

- a) Un floating gate MOS **b) Un MOS e una capacità**
c) 6 MOS d) un NMOS, un PMOS e due capacità

Quesito A.9

Se i costi non ricorrenti NRE per fabbricare un circuito integrato raddoppiano e il numero di chip venduti raddoppia:

- a) il costo per prodotto raddoppia b) il prezzo di vendita del chip raddoppia
c) il costo per prodotto rimane costante d) il costo unitario raddoppia

Quesito A.10

Una FPGA usa solo Look-up-Table (LUT) a 3 ingressi per realizzare funzioni logiche combinatorie. Per realizzare $O = A + (B \cdot C \cdot D) + E$ occorrono

- a) 4 LUT **b) 2 LUT**
c) 3 LUT d) non si possono realizzare funzioni con 5 input

Parte -B – Problema B.1 (6 punti)

Un sistema di acquisizione a 4 canali usa un convertitore A/D a 9 bit a inseguimento con frequenza di clock 200 MHz e un circuito Sample & Hold con tempo di acquisizione 0,5 μ s. Per ogni canale si vuole avere una frequenza di campionamento F_s pari a 4 volte la frequenza massima F_{max} del segnale e un filtro anti-aliasing a 6 poli.

Inserite ogni risposta numerica nel rettangolo corrispondente.

a) Tracciare uno schema a blocchi del sistema di conversione.

Solito schema....

b) Determinare la frequenza massima per canale F_{max} :

$$T_{conv}=512 \cdot 5ns=2,56\mu s$$

$$F_{conv}=1/(2,56+0,5\mu s)=327KHz$$

$$F_s=327KHz/4=82KHz$$

$$F_{max}= 82/4KHz=20KHz$$

c) Calcolare i rapporti segnale rumore di quantizzazione SNR_q per segnali sinusoidali, quello di aliasing SNR_a e quello totale SNR_{tot}

$$SNR_q=1.76+6 \cdot N_b \approx 56dB$$

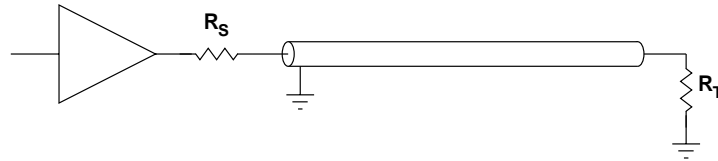
$$(F_s-F_b)/F_b=(82-20)/20 = 3$$

$$SNR_a=6 \cdot \log_2(3)=57dB$$

$$SNR_{tot}=20\log(1/(10^{(-57/20)}+10^{(-56/20)}))=20\log(1/(10^{-2.85}+10^{-2.8}))\approx 50dB$$

Parte-B – Problema B.2 (4 punti)

Un driver è collegato a una linea di trasmissione in figura. La linea è lunga 20cm, ha $Z_0=80\Omega$ e la velocità di propagazione è $0.6c$. La resistenza di terminazione R_T è adattata.



Parametri:

Driver: $V_{oh}=3.0V$; $V_{ol}=0V$; $V_{cc}=3.0V$ (R_{oh} e R_{ol} trascurabili)

Ricevitore: $V_{ih}=2V$; $V_{il}=0.5V$

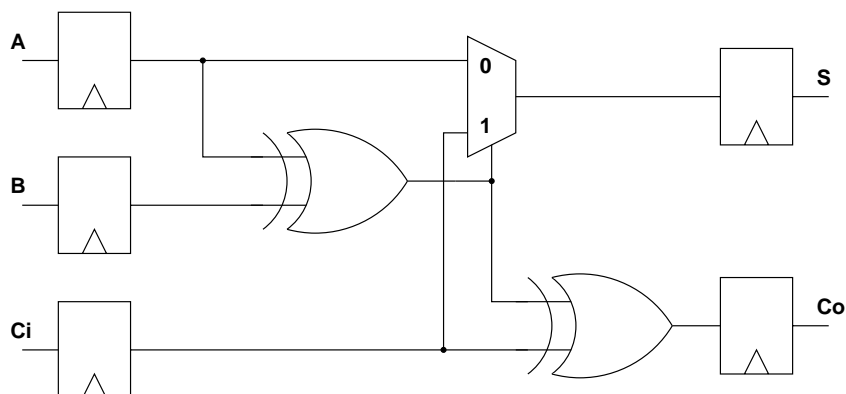
- a) Considerate la sola transizione LH e determinate il massimo valore della resistenza serie R_s che garantisce di lavorare in Incident Wave Switching con un margine di rumore $NM=0.4V$:

$$\begin{aligned} V_a &= 3 \cdot Z_{inf} / (R_s + Z_{inf}) \geq V_{ih} + NM \\ 3 \cdot 80 / (R_s + 80) &\geq 2 + 0.4V \\ 240 &\geq 2.4(R_s + 80) \\ (240 - 2.4 \cdot 80) / 2.4 &\geq R_s \\ R_s &\leq 20 \text{ Ohm} \end{aligned}$$

- b) La linea viene usata in un bus in cui si impiega un protocollo di trasmissione *asincrono*. Determinare la durata di un ciclo se il tempo di setup è 3 ns e il tempo di hold è 2 ns.

$$\begin{aligned} t_p &= 20 / (0.6 \cdot 30) \text{ ns} = 1.11 \text{ ns} \\ t_{wr} &= t_k + t_{su} + t_h + 4 \cdot t_p = 0 + 3 + 2 + 4 \cdot 1.11 = 9.44 \text{ ns} \end{aligned}$$

Parte B – Problema B.3 (4 punti)



Si consideri il circuito mostrato in figura, dove le porte logiche hanno i seguenti parametri:

XOR: $T_p=0,5$ ns per HL e $T_p=0,7$ ns LH

MUX: $T_p=0,2$ ns per entrambe le transizioni

FF: $T_{ckq}=0,2$ ns, $T_{su}=0,4$ ns, $T_h = 0,3$ ns

- a) Calcolare la massima frequenza di clock e indicare se sono presenti violazioni di hold (Sì/No)

Cammino più' lungo: A -> XOR->XOR->Co

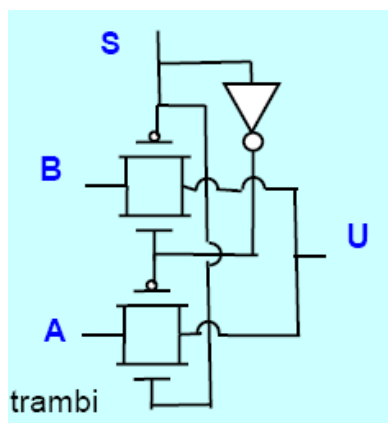
Cammino più' breve: A->MUX->S

$$T_{min}=T_{ckq}+T_{lcm}+T_{su}=0.2+0.7+0.7+0.4\text{ns}=2\text{ns}$$

$$F_{max} = 1/T_{min}=500\text{MHz}$$

Non c'e' violazione: cammino più' corto= $T_{ckq}+T_{mux}=0.4\text{ns}>T_h=0.3\text{ns}$

- b) Disegnare lo schema a transistori del multiplexer della figura sopra utilizzando transistori "pass gate"



Parte-B –Problema B.4 (3 punti)

**Considerate una SRAM con 16 wordline, ognuna che pilota 32 celle.
Supponete che ogni transistor abbia una capacità di gate di 0,5 fF e che la R_{on} dei transistor del decoder sia di 200 Ω**

- a) Calcolate il massimo ritardo di attivazione delle celle (solo il ritardo dell'ultimo stadio del decoder):

Supponendo che ci sia un inverter dopo la NAND del decoder:
 $t_p = 0.69 \cdot R_{on} \cdot 32 \cdot 2 \cdot C_g = 0.69 \cdot 200 \cdot 64 \cdot 0.5 \text{ fF} = 4.4 \text{ ps}$

- b) Disegnate lo schema del decoder di riga

Tipicamente c'è un inverter in uscita, per pilotare la word line (ma abbiamo considerato corretto anche questo circuito).

