

ARQ1 _ Aula_10

Tema: Introdução aos autômatos

Vídeos recomendados:

<https://www.youtube.com/watch?v=YebQtg-tTfI>

<https://www.youtube.com/watch?v=xKoldX6XBps>

<https://www.youtube.com/watch?v=SA2o7UnYqbw>

Orientação geral:

Apresentar uma forma de solução em formato gerado pelo JFLAP (.jff),
devidamente identificados, acompanhados (ou não),
de figuras equivalentes exportadas pela ferramenta no formato (.png).

Atividade: Circuitos sequenciais

Todos os circuitos deverão ser simulados no JFLAP.

- 01.) Projetar e descrever em JFLAP uma máquina de Mealy,
para implementar um comportamento semelhante ao descrito na tabela abaixo.

estado atual	entrada / (estado, saída)	
	x=0	x=1
> 0	(0, 0)	(3, 0)
1	(0, 0)	(0, 1)
2	(0, 0)	(1, 0)
3	(0, 0)	(2, 0)

Testar:

a.) 00110011

b.) 0001101111

- 02.) Projetar e descrever em JFLAP uma máquina de Moore
para implementar um comportamento semelhante ao descrito na tabela abaixo.
DICA: Ver modelo de Moore.

estado atual	entrada / estado		saída
	x=0	x=1	
> 0	0	2	0
1	2	1	0
2	3	0	0
3	1	1	1

Testar:

a.) 0010011

b.) 00010010101

- 03.) Projetar e descrever em JFLAP uma máquina de Turing, para complementar todos os bits de uma sequência.
DICA: Escrever o complemento de 1 do que for lido.

Testar:

- a.) 1101
- b.) 0100

- 04.) Projetar e descrever em JFLAP uma máquina de estados finitos (FSM), para identificar sequências de pares com valores iguais 0011 ou 1100.
DICA: Usar os estados para contar.

- 05.) Projetar e descrever em JFLAP um autômato de pilha (PDA), para implementar um reconhecedor de uma sequência igual a 1011.
DICA: Estado final deverá ter apenas o valor 1 no topo da pilha.

Testar:

- a.) 1011
- b.) 1101

Extras

- 06.) Projetar e descrever em JFLAP uma máquina de Mealy, para implementar um reconhecedor de sequência igual a 010, sem interseção.
Caso seja simulado por módulo no Logisim, apresentar *layout* do circuito e subcircuitos.

- 07.) Projetar e descrever em JFLAP uma máquina de Mealy, para implementar um reconhecedor de sequência igual a 010, com interseção.
Caso seja simulado por módulo no Logisim, apresentar *layout* do circuito e subcircuitos.