

Parcialito 8

1- Pasar a punto flotante IEEE 754 SP el decimal +132,8d con el menor error posible

Respuesta: 4304CCCDh

2-Representar en IEEE 754 la cifra -2^{-130}

Respuesta: 80080000h

3-El número $+101101 \times 2^{+329}$, ¿Qué representación en la IEEE 754 tendrá?

Respuesta: 7F800000h

4-Indicar qué valores tomará el exponente binario para las cifras IEEE 754 SP

.Desnormalizados 00h

.Infinitos y NotANumbers FFh

.Normalizados 01h-FEh

5-Indicar para cada tipo de representación IEEE 754 SP

.Desnormalizados → Se normalizan con "0,xxx....x",

.Normalizados → Se normalizan con "1,xxx....x"

6-La unidad de entrada/salida es...

.La que permite el intercambio de información entre la CPU y la MP con los dispositivos externos

7-Indicar las funciones de una unidad de E/S

.Instrumentar el control y la temporización

.Comunicarse con la CPU

.Comunicarse con los dispositivos

.Proveer almacenamiento temporal de datos

.Detección de errores

8-Si quiero indicarle un comportamiento específico a un dispositivo periférico lo haré...

.Escribiendo un puerto de Control

9-Un dispositivo puede tener solo una dirección de E/S para cada puerto

.Verdadero

10-Indicar el formato de instrucción para cada operación de E/S

.Lectura de 16 bits sobre un puerto de 8 bits (XXh) → IN AX, XX

.Lectura de 8 bits sobre un puerto de 8 bits (XXh) → IN AL, XX

.Lectura de 8 bits sobre un puerto de 16 bits (XXXXh) → MOV DX, XXXX --> IN AL, DX

.Lectura de 16 bits sobre un puerto de 16 bits (XXXXh) → MOV DX, XXXX --> IN AX, DX

Parcialito 9

1-Marcar todas las afirmaciones correctas respecto de las interrupciones por hardware

- .Son producidas por un evento externo a la CPU
- .Son impredecibles
- .Transfieren el control a una rutina llamada ISR
- .Guardan CS:IP y Flags en el stack

2-El ciclo de interrupción tiene las siguientes etapas, enunciándolas en forma cronológica:

- .Solicitud, Reconocimiento, Atención, Retorno

3-La solicitud de una interrupción se efectuará de la siguiente manera:

- .Un flanco ascendente en la entrada INTR del procesador

4-¿Qué significa que una interrupción por hardware no es incondicional ni inmediata?

- .Para ser reconocida, el Interrupt Flag debe estar en 1 y la solicitud será evaluada en el último pulso de reloj de la instrucción en curso

5-Durante el reconocimiento, la CPU efectuará un ciclo de lectura sobre el bus de datos que contendrá 1 byte identificando al dispositivo solicitante. ¿Que efectuará con ese dato?

- .Lo multiplicará x 4 y accederá a esa dirección de memoria para poder ubicar el puntero de la ISR correspondiente

6-¿Con qué instrucción se deberá finalizar una ISR para que devuelva el control a la rutina interrumpida?

- .IRET

7-Para no requerir anidamiento en la ejecución de una ISR ¿Qué debo hacer?

- .Nada, la CPU coloca el IF en cero antes de ejecutarla

8-Seleccionar las respuestas correctas respecto del IVT:

- .Cantidad de bytes por vector: → 4,
- .En cada vector se encuentra almacenado: → El puntero a la ISR correspondiente,
- .Se encuentra desde la dirección 00000h hasta la: → 003FFh,
- .Cantidad de vectores que posee: → 256

9-Indicar las afirmaciones correctas respecto a las pseudo-interrupciones.

- .Son instrucciones
- .Son predecibles
- .Siempre pueden anidarse
- .No ejecutan ciclo INTA
- .No están afectadas por el IF

10-Completar las afirmaciones con la opción correcta:

- .Si deseo ejecutar una ISR ante la aparición de un overflow luego de una operación colocaré lo siguiente luego de dicha operación: → INTO,
- .Si en la ALU se produce una excepción o error al dividir, se ejecutará las ISR del tipo: → 00h, Para ejecuta la ISR del tipo = XXh se utiliza: → INT XXh,
- .Si activo el flag de Trampa (TF=1), al terminarse de ejecutar una instrucción la UC ejecutara la ISR del tipo: → 01h,
- .Para insertar puntos de ruptura en rutinas que están siendo depuradas se utiliza: → INT 3h

Parcialito 10

1-Indique las afirmaciones correctas respecto del concepto de Acceso Directo a Memoria (DMA)

- .
- .Es una técnica para realizar transferencias de datos entre la MP y los periféricos sin intervención de la CPU,
- .La CPU cede los buses y pasa varios de sus pines al estado HZ (Alta impedancia),
- .Mientras se realiza una operación DMA, la CPU continúa realizando sus tareas internamente

2-Completar las afirmaciones con las opciones correctas

- .El pin HLDA del DMAC se conecta a la CPU a través del pin --> → HOLDA,
- .El pin HRQ del DMAC se conecta a la CPU a través del pin --> → HOLD,
- .La señal de otorgamiento del DMA de un dispositivo se conecta al DMA a través del pin --> → DACK,
- .La señal de solicitud de DMA de un dispositivo se conecta al DMA a través del pin --> → DREQ

3-Si digo que "La transferencia se realiza mientras DREQ permanece activo o hasta el rollover del TC o un EOP externo. Se pueden realizar todas las transferencias necesarias hasta agotar las posibilidades del dispositivo", ¿a qué modo de transferencia del DMAC 8237?

- .A demanda

4-Existirá un rollover del Terminal Count cuando su valor pase de ...

- .0000h a FFFFh

5-¿De qué manera puedo programar el DMA 8253 para que no haya "monopolización" del Canal 0 por tener la mayor prioridad?

- .Con prioridades rotativas