

Sistemas de Procesamiento de datos – Ejercitación Memorias

REFERENCIAS

MP = Memoria Principal

LD = Longitud del dato, tamaño de la palabra

B = Longitud de bloque o cantidad de palabras por bloque

QR = Cantidad de renglones de la memoria Caché

MC = Memoria Caché

#b = Número de bloque

Offset = Desplazamiento dentro de un bloque

#r = Número de renglón de la Caché

ET = Etiqueta de un bloque

1. Se tienen los siguientes datos para un ordenador con memoria caché Asociativa:

- Dirección de MP solicitada por la CPU = $9FCF7_h$
- LD en cada posición de MP = 8 bits = 1 byte
- B = 1024 palabras de MP
- QR = 8 renglones

Se pide:

- a. Cantidad de bits del bus de direcciones
- b. Cantidad de bits del bus de datos
- c. Capacidad de la MP (bytes)
- d. Capacidad de la MC (bytes)
- e. #b al que pertenece la dirección solicitada
- f. Offset al que pertenece la dirección solicitada

2. Se tienen los siguientes datos para un ordenador con memoria caché de Mapeo Directo:

- Dirección de MP solicitada por la CPU = $A90D_h$
- LD = 3 nibbles
- B = 512 palabras de MP
- QR = 16 renglones

Se pide:

- a. Cantidad de bits del bus de direcciones
- b. Cantidad de bits del bus de datos
- c. Capacidad de la MP (bytes)
- d. Capacidad de la MC (bytes)
- e. #b al que pertenece la dirección solicitada
- f. Offset al que pertenece la dirección solicitada
- g. #r donde se almacenará el dato en caché
- h. ET del bloque en caché

3. Se tienen los siguientes datos para un ordenador con memoria caché Asociativa:

- Ancho del bus de direccionamiento = 12 bits
- B = 16 palabras de MP
- Qr = 32 renglones
- LD = 1 byte
- La CPU direcciona $7FC_h$

Se pide:

- a. Capacidad de direccionamiento del bus
- b. Capacidad de la MP (bytes)
- c. Capacidad de la MC (bytes)
- d. Cantidad de bloques existentes en la MP
- e. Cantidad de bloques almacenados en Caché
- f. #b de la dirección pedida
- g. Offset de la dirección pedida

4. Se tienen los siguientes datos para un ordenador con memoria caché Mapeada en forma Directa:

- Cantidad de bits del bus de direcciones = 32 bits
- B = 1024 palabras de MP
- Qr = 256 renglones
- LD = 16 bits
- La CPU direcciona C9A05ED2_h

Se pide:

- a. Capacidad de direccionamiento del bus
- b. Capacidad de la MP (bytes)
- c. Capacidad de la MC (bytes)
- d. Cantidad de bloques en la MP
- e. Cantidad de bloques almacenados en Caché
- f. #b de la dirección pedida
- g. Offset de la dirección pedida
- h. #r de caché donde está la dirección buscada
- i. ET de caché donde está la dirección buscada

5. Se tienen los siguientes datos para un ordenador con memoria caché Asociativa:

- Capacidad máxima de MP = 16.777.216 bytes
- El dato de una posición de memoria que está en caché es 9C_h
- El bloque al que pertenece el dato es el C1D_h
- El dato dentro del bloque está en la octava posición (última) dentro del bloque

Se pide:

- a. Cantidad de bits del bus de direcciones
- b. Capacidad de direccionamiento del bus
- c. Cantidad de bits del bus de datos
- d. Offset del dato dentro del bloque
- e. Dirección de la MP en donde está el dato

6. Se tienen los siguientes datos para un ordenador con memoria caché Mapeada Directamente:

- Capacidad de MP = 2.147.483.648 bytes
- Dato de una posición de memoria que está en caché = 9F26_h
- El dato es el primero de los 2.048 datos del bloque
- ET = 4_h



- El dato está ubicado en el 4to renglón (empezando de 0) de caché de un total de 64

Se pide:

- a. Cantidad de bits del bus de direcciones
- b. Cantidad de bits del bus de datos
- c. Dirección de la MP en donde está el dato
- d. #b de la dirección buscada

7. Se tienen 2 chips de memoria de 1024 direcciones x 1 byte cada uno. El bus de direcciones posee 11 bits y el de datos de 8 bits y se desea que ambos chips posean sus direcciones en forma contigua dentro de ellos. Dibujar el esquema de conexión del bus de direcciones junto con los decodificadores.
8. Se tienen 8 chips de memoria de 4096 direcciones x 1 nibble cada uno. El bus de direcciones posee 13 bits y el de datos de 16 bits y se desea que las direcciones estén entrelazadas en los chips de memoria. Dibujar el esquema de conexión del bus de direcciones junto con los decodificadores.
9. Se tienen n chips de memoria de 4096 direcciones x 4 bits cada uno y se desea hacer un banco de memoria de 65.536x16 (65.536 direcciones por 16 bits cada una) con dos tableros. Los tableros deben estar entrelazados entre ellos y también las direcciones dentro de cada tablero también. Dibujar el esquema de conexión del bus de direcciones junto con los decodificadores.