Página Principal / Mis cursos / SISTEMAS DE PROCESAMIENTO DE DATOS-C-TI05 / Examenes / 2do Parcial Teórico SPD

Comenzado el miércoles, 10 de junio de 2020, 18:10
Estado Finalizado

Finalizado en miércoles, 10 de junio de 2020, 19:15

Tiempo 1 hora 4 minutos

empleado

Calificación 8,23 de 10,00 (82%)

Pregunta 1

Correcta

Puntúa 0,50 sobre 0,50

¿Con cuál de los siguientes conjuntos de valores la IEEE 754 indicará un overflow?

Seleccione una:

- a. Infinitos signados
- b. Cero
- c. Finitos normalizados
- d. Ceros signados
- e. NANs (Not A Numbers)
- f. Finitos desnomalizados

Respuesta correcta

La respuesta correcta es: Infinitos signados

Correcta

Puntúa 0,50 sobre 0,50

La cifra IEEE 754 Single Precission 1000F9CEh, ¿a qué conjunto de valores representables por la norma pertenece?

Seleccione una:

- a. Cero
- b. Desnormalizados finitos
- c. Normalizados finitos
- d. NANs (Not A Numbers)
- e. Ceros signados
- f. Infinitos signados

Respuesta correcta

La respuesta correcta es: Normalizados finitos

Pregunta 3

Correcta

Puntúa 0,50 sobre 0,50

La conversión del decimal -130,35d, al pasarlo a binario y nomalizarlo queda con un exponente de 2 a la +7

Al pasarlo a IEEE 754 Single Precission nos queda como signo de la mantisa el valor binario 1

Outro exponente el valor binario 1000-0110

y como mantisa el valor binario 000-0010-0101-1001-1001-1010

Respuesta correcta

La respuesta correcta es:

La conversión del decimal -130,35d, al pasarlo a binario y nomalizarlo queda con un exponente de 2 a la [+7]. Al pasarlo a IEEE 754 Single Precission nos queda como signo de la mantisa el valor binario [1], como exponente el valor binario [1000-0110] y como mantisa el valor binario [000-0010-0101-1001-1001)

Pregunta 4
Correcta
Puntúa 0,50 sobre 0,50

Indicar cuál de las siguientes NO es una función general de las unidades de Entrada / Salida

Seleccione una:

- a. Almacenamiento permanente de datos
- b. Comunicación con la CPU
- c. Comunicación con los dispositivos
- d. Detección de errores
- e. Control y temporización

Respuesta correcta

La respuesta correcta es: Almacenamiento permanente de datos

Pregunta **5**

Correcta

Puntúa 0,50 sobre 0,50

En nuestro procesador de estudio, la programación (en Assembler) para el acceso a los dispositivos de E/S es idéntica a la programación para el acceso a memoria (Principal) dado que ambos operan sincrónicamente con la CPU (y del programa en ejecución)

Seleccione una:

- Verdadero
- Falso ✓

La respuesta correcta es 'Falso'

Correcta

Puntúa 0,50 sobre 0,50

Responda seleccionando cualquier opción de la lista en cada caso.

En un puerto de Estados, la CPU...

Lee datos

En un puerto de Datos, la CPU...

Lee y escribe datos

En un puerto de Control, la CPU...

Escribe datos

Respuesta correcta

La respuesta correcta es: En un puerto de Estados, la CPU... \rightarrow Lee datos, En un puerto de Datos, la CPU... \rightarrow Lee y escribe datos, En un puerto de Control, la CPU... \rightarrow Escribe datos

Pregunta **7**

Correcta

Puntúa 0,50 sobre 0,50

¿Cuál de las siguientes afirmaciones es correcta?

Seleccione una:

- a. Una unidad de Entrada / Salida solo podrá tener una única dirección de Entrada / Salida
- b. Una unidad de Entrada / Salida solo podrá tener 1 puerto de Entrada / Salida de cada tipo
- c. A cada puerto de Entrada / Salida le corresponde una única dirección de Entrada / Salida
- d. Una dirección de Entrada / Salida puede corresponder a más de un puerto

Respuesta correcta

La respuesta correcta es: A cada puerto de Entrada / Salida le corresponde una única dirección de Entrada / Salida

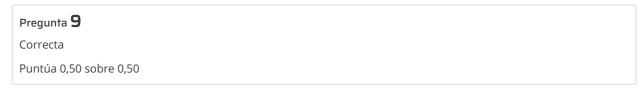
Incorrecta

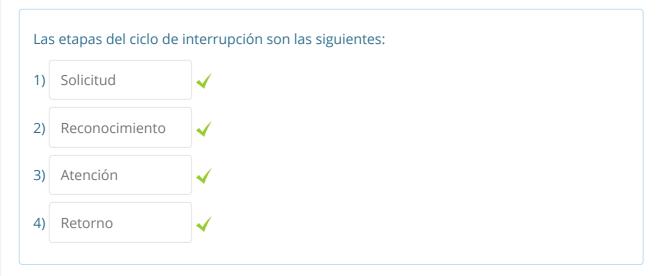
Puntúa 0,00 sobre 0,50

Respuesta incorrecta.

La respuesta correcta es:

Nuestro procesador de estudio gestiona o accede a las unidades de Entrada / Salida de la siguiente manera: el direccionamiento es mediante el Mapeo [Aislado] teniendo como espacios de memoria [1M direcciones de MP y 64K direcciones de E/S]. (M = Mega = 1.048.576 y K = Kilo = 1.024)





Respuesta correcta

La respuesta correcta es:

Las etapas del ciclo de interrupción son las siguientes:

- 1) [Solicitud]
- 2) [Reconocimiento]
- 3) [Atención]
- 4) [Retorno]

Parcialmente correcta

Puntúa 0,88 sobre 1,00

Para que la CPU acepte ser interrumpida por un evento externo, el <i>Interrupt Flag</i> debe			
estar en 1 🗸 y el ciclo de instrucción en curso en			
en el último ciclo de clock de la instrucción ✓. En estas condiciones, la señal entr	ante		
INTR v será aceptada y se iniciará el ciclo de reconocimiento a través de la señal	de		
salida !INTA	el		
bus de datos colocando la señal M/!IO en 1 X. El dato o <i>Interrupt Type</i> será			
multiplicado por 4	✓		
que está en la Memoria Principal.			

Respuesta parcialmente correcta.

Ha seleccionado correctamente 7.

La respuesta correcta es:

Para que la CPU acepte ser interrumpida por un evento externo, el *Interrupt Flag* debe estar en [1] y el ciclo de instrucción en curso en [en el último ciclo de clock de la instrucción]. En estas condiciones, la señal entrante [INTR] será aceptada y se iniciará el ciclo de reconocimiento a través de la señal de salida [!INTA]. La CPU procederá a realizar un ciclo de [lectura] sobre el bus de datos colocando la señal M/!IO en [0]. El dato o *Interrupt Type* será multiplicado por [4] y con el se accederá [al vector de interrupciones] que está en la Memoria Principal.

2do Parcial Teórico SPD Pregunta 11 Correcta Puntúa 1,00 sobre 1,00 El Tabla Vector de Interrupciones está situado a partir de la dirección 00000h Memoria Principal. Posee 256 vectores, de 4 ✓ bytes cada uno. En ellos se encuentra el puntero ✓ de la ISR correspondiente. Respuesta correcta La respuesta correcta es: El Tabla Vector de Interrupciones está situado a partir de la dirección [00000h] de la

Memoria Principal. Posee [256] vectores, de [4] bytes cada uno. En ellos se encuentra [el puntero] de la ISR correspondiente.

Pregunta 12

Correcta

Puntúa 0,50 sobre 0,50

La interrupción no enmascarable, o Non Maskable Interrupt es de tipo "2" (02h) y su atención es inevitable.

Seleccione una:

- Verdadero
- Falso

La respuesta correcta es 'Verdadero'

✓ de la

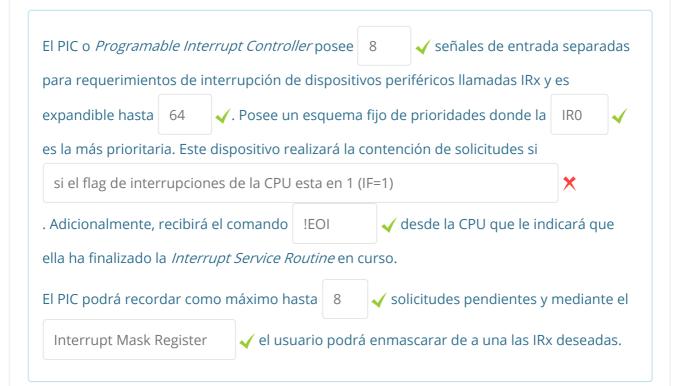
Pregunta 13	3
Incorrecta	
Puntúa 0,00	sobre 0,50
interrum	te la ejecución de una <i>Interrupt Service Routine</i> deseo que esta rutina pueda ser apida, la primera instrucción que debo utilizar es CLI (<i>Clear Interrupt Flag</i>). De otra sería imposible que esto suceda.
Seleccion	ne una:
Ver	dadero 🗙
O Fals	50
La respu	esta correcta es 'Falso'
Pregunta 14	
Parcialment Puntúa 0,25	
Funtua 0,23	Sobile 0,50
¿Cuál de	las siguientes son consideradas pseudo-interrupciones?
Seleccion	ne una o más de una:
a.	Por error (Tipo 00h) 🗸
b.	INT XXh (Tipo XXh)
✓ c. l	Por Trampa (Tipo 01h) 🗸
☐ d.	WAIT (Tipo 05h)
_ e.	STI (Tipo 03h)
☐ f. I	NTO (Tipo 04h)

Respuesta parcialmente correcta.

Ha seleccionado correctamente 2.

Las respuestas correctas son: INT XXh (Tipo XXh), INTO (Tipo 04h), Por error (Tipo 00h), Por Trampa (Tipo 01h)

Pregunta 15 Parcialmente correcta Puntúa 0,86 sobre 1,00



Respuesta parcialmente correcta.

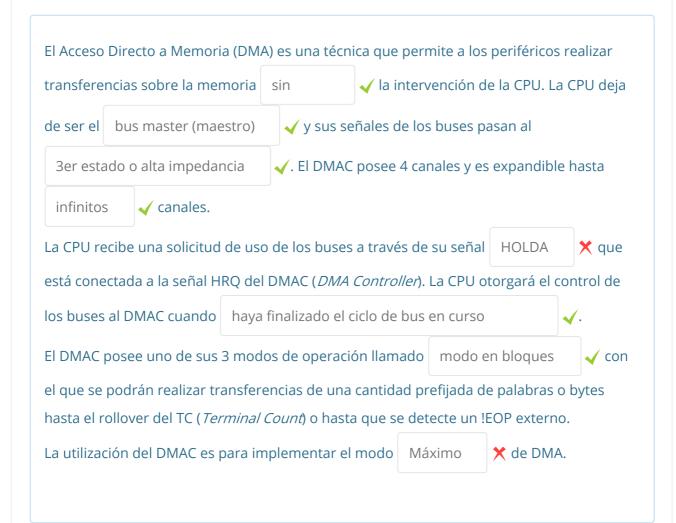
Ha seleccionado correctamente 6.

La respuesta correcta es:

El PIC o *Programable Interrupt Controller* posee [8] señales de entrada separadas para requerimientos de interrupción de dispositivos periféricos llamadas IRx y es expandible hasta [64]. Posee un esquema fijo de prioridades donde la [IR0] es la más prioritaria. Este dispositivo realizará la contención de solicitudes si [la interrupción atendida por la CPU es de mayor prioridad que la recibida]. Adicionalmente, recibirá el comando [!EOI] desde la CPU que le indicará que ella ha finalizado la *Interrupt Service Routine* en curso.

El PIC podrá recordar como máximo hasta [8] solicitudes pendientes y mediante el [Interrupt Mask Register] el usuario podrá enmascarar de a una las IRx deseadas.

Pregunta 16 Parcialmente correcta Puntúa 0,75 sobre 1,00



Respuesta parcialmente correcta.

Ha seleccionado correctamente 6.

La respuesta correcta es:

El Acceso Directo a Memoria (DMA) es una técnica que permite a los periféricos realizar transferencias sobre la memoria [sin] la intervención de la CPU. La CPU deja de ser el [bus master (maestro)] y sus señales de los buses pasan al [3er estado o alta impedancia]. El DMAC posee 4 canales y es expandible hasta [infinitos] canales.

La CPU recibe una solicitud de uso de los buses a través de su señal [HOLD] que está conectada a la señal HRQ del DMAC (*DMA Controller*). La CPU otorgará el control de los buses al DMAC cuando [haya finalizado el ciclo de bus en curso].

El DMAC posee uno de sus 3 modos de operación llamado [modo en bloques] con el que se podrán realizar transferencias de una cantidad prefijada de palabras o bytes hasta el rollover del TC (*Terminal Count*) o hasta que se detecte un !EOP externo.

La utilización del DMAC es para implementar el modo [Mínimo] de DMA.